

DESARROLLO DEL SISTEMA EMBEBIDO PARA EL CONTROL DIGITAL DE UN CONVERTIDOR DE POTENCIA DE UNA A TRES FASES

Presentado por

GABRIEL EDUARDO MEJIA RUIZ

Ingeniero de Control – Universidad Nacional de Colombia

Para optar al título de

Magister en Ingeniería

Director

Ph.D. Nicolás Muñoz Galeano

Codirector

Ph.D. Juan Bernardo Cano Quintero



Medellín

Universidad de Antioquia

Grupo de Manejo Eficiente de la Energía (GIMEL)

Facultad de Ingeniería

2014

DEDICATORIA

Deseo dedicar la culminación de este trabajo a mi hijo Juan Pablo y a mi madre Nohemy R., quienes con su ternura y amor son el mayor aliciente para afrontar con éxito los retos constantes de la vida.

AGRADECIMIENTOS

Quiero expresar mi más sincero agradecimiento a todas las personas que de una u otra forma han contribuido a la culminación de este trabajo. En especial, a mi director Nicolás Muñoz y a mi codirector Juan B. Cano por su guía y consejo, y a mi familia por su paciencia, comprensión y apoyo incondicional.

RESUMEN

Esta tesis presenta el desarrollo de un convertidor de potencia de una a tres fases, que permite el suministro de energía eléctrica a cargas trifásicas desde la red de distribución monofásica. También presenta el desarrollo de un restaurador dinámico de tensión (DVR, Dynamic Voltage Restorer) y propone un procedimiento para el diseño de los circuitos *snubber* RCD.

El convertidor de una a tres fases está compuesto por un convertidor AC-DC y un convertidor DC-AC trifásico. El convertidor AC-DC desarrollado permite aumentar el factor de potencia (PF) en la fuente hasta 0.99, reducir la distorsión armónica total en la corriente de la fuente (THD_i) hasta 3.9% y controlar el nivel del voltaje en el bus DC. En la fuente se satisfacen los requerimientos de los estándares de regulación de la calidad de la energía EN 61000-3-2 (IEC 1000-3-2) con potencias de operación de hasta 908W. La literatura técnica no reporta modelos matemáticos para esta topología. En esta tesis se propone el modelo matemático promedio de pequeña señal, que permite analizar el comportamiento dinámico del convertidor y diseñar el sistema de control en lazo cerrado. Se hace una descripción de los modos de operación del convertidor con base en los estados de conmutación de los interruptores de potencia.

El convertidor DC-AC trifásico desarrollado en esta tesis tiene dos modos de funcionamiento: 1) modo con control de la amplitud del voltaje: en este modo de funcionamiento es posible controlar la amplitud en lazo cerrado, y controlar la frecuencia y la fase en lazo abierto del voltaje AC trifásico suministrado a la carga. Es decir, la salida del convertidor puede ser usado como una fuente tensión trifásica variable. 2) Modo con control de la corriente AC: el convertidor DC-AC se comporta como una fuente de corriente controlada. Este modo de control es usado para la inyección de potencia activa y reactiva a la red de distribución y es ampliamente usado como interfaz entre las fuentes de energía renovables (eólica y fotovoltaica) y la red de distribución.

Para aumentar la eficiencia de los convertidores desarrollados, esta tesis propone un procedimiento novedoso para el diseño del *snubber* RCD en circuitos electrónicos de potencia. El procedimiento incluye un método para la determinación de los elementos parásitos en el circuito de conmutación y la deducción matemática de las ecuaciones de diseño. El procedimiento propuesto se constituye en una gran herramienta para el análisis y el diseño de los circuitos *snubber* RCD, aplicados en la mayoría de los circuitos electrónicos de potencia. Las ecuaciones de diseño deducidas permiten calcular teóricamente el valor del condensador y de la resistencia del *snubber* RCD en función de las reactancias parasitas del circuito implementado y del voltaje máximo de operación del interruptor, haciendo posible verificar mediante simulación el desempeño dinámico del circuito antes de la implementación experimental.

En esta tesis también se presentan los resultados de la investigación realizadas durante la pasantía en el Centro de Investigación y de Estudios Avanzados del Instituto Politécnico Nacional de México (CINVESTAV unidad Guadalajara). Durante la pasantía fue posible el desarrollo de un restaurador dinámico de voltaje para redes de distribución monofásicas. El aprendizaje logrado con el desarrollo del DVR permitió seleccionar el hardware adecuado para la implementación del convertidor de una a tres fases desarrollado en esta tesis.

Las técnicas de análisis y la metodología de diseño presentadas en esta tesis son conceptualmente aplicables a otros convertidores electrónicos de potencia.

Los convertidores de potencia implementados son verificados en el laboratorio, corroborando la coherencia del análisis teórico con los resultados experimentales. Finalmente, esta tesis presenta las conclusiones, aportaciones, líneas de trabajo futuro y las publicaciones derivadas de los resultados del trabajo de investigación.

TABLA DE CONTENIDO

MOTIVACIÓN, OBJETIVOS Y SUMARIO DE LA TESIS	9
Objetivo general	10
Objetivos específicos.....	10
1. INTRODUCCIÓN.....	1
1.1. TOPOLOGIAS CON CANTIDAD REDUCIDA DE CONPONENTES	3
1.1.1. Topologías con una cantidad reducida de semiconductores	3
1.1.2. Topologías que eliminan el condensador del bus DC.....	9
1.2. TOPOLOGIAS CON UNA CANTIDAD GRANDE DE COMPONENTES.....	11
1.3. COMPARACION GENERAL DE LAS TOPOLOGIAS DE LOS CONVERTIDORES DE UNA A TRES FASES	13
1.4. TOPOLOGIA DEL CONVERTIDOR DE UNA A TRES FASES PROPUESTA EN ESTA TESIS	14
2. DESARROLLO DEL CONVERTIDOR AC-DC ELEVADOR SIN PUENTE.....	15
2.1. TOPOLOGIAS DE LOS CONVERTIDORES AC-DC ELEVADORES CON CORRECCION DEL FACTOR DE POTENCIA	17
2.1.1. Convertidor AC-DC elevador convencional.....	18
2.1.2. Convertidor elevador AC-DC intercalado	19
2.1.3. Convertidor AC-DC elevador sin puente.....	20
2.2. COMPARACIÓN DE LAS TOPOLOGIAS DE LOS CONVERTIDORES AC-DC ELEVADORES CON PFC	21
2.3. PRINCIPIO DE OPERACIÓN Y MODELO MATEMATICO DEL RECTIFICADOR AC-DC ELEVADOR SIN PUENTE	22
2.4. PRINCIPIO DE OPERACIÓN DEL CONVERTIDOR DE POTENCIA AC-DC ELEVADOR SIN PUENTE.....	22
2.5. MODELO MATEMATICO DEL CONVERTIDOR AC-DC ELEVADOR SIN PUENTE	28
2.5.1. Modelo en espacio de estados promedio	29
2.5.2. Modelo en espacio de estados de pequeña señal	30
2.5.3. Modelo lineal en espacio de estados de pequeña señal.....	31
2.5.4. Funciones de transferencia del convertidor AC-DC elevador sin puente	31
2.6. CALCULO DEL VALOR DE LOS COMPONENTES DEL CONVERTIDOR DE POTENCIA AC-DC ELEVADOR SIN PUENTE	33
2.6.1. Cálculo del valor de las inductancias.....	33
2.6.2. Cálculo del valor del condensador.....	34
2.7. SISTEMA DE CONTROL PARA EL CONVERTIDOR AC-DC ELEVADOR SIN PUENTE ...	35
2.8. SISTEMAS DE CONTROL DE CORRIENTE REPORTADOS EN LA LITERATURA	36
2.8.1. Sistema de control de la corriente pico	36
2.8.2. Sistema de Control de la corriente promedio.....	37

2.8.3.	Sistema de control predictivo de la corriente.....	37
2.8.4.	Sistema de control de la corriente por histéresis.....	38
2.8.5.	Sistema de control lineal de corriente.....	39
2.9.	SISTEMA DE CONTROL EN LAZO CERRADO DEL CONVERTIDOR AC-DC ELEVADOR SIN PUENTE	39
2.9.1.	Función de transferencia del modulador PWM	40
2.9.2.	Función de transferencia del filtro pasa bajas.....	41
2.9.3.	Diseño del sistema de control de corriente	41
2.9.4.	Diseño del sistema de control de voltaje	45
2.10.	RESULTADOS DE LAS SIMULACIONES DEL CONVERTIDOR AC-DC CON PFC Y CONTROL REALIMENTADO.....	49
2.11.	ENSAYOS Y RESULTADOS EXPERIMENTALES DEL CONVERTIDOR AC-DC ELEVADOR CON CONTROL REALIMENTADO	58
2.11.1.	Ensayos realizados al convertidor AC-DC cambiando la potencia de operación.....	59
2.11.2.	Ensayos realizados al convertidor AC-DC cambiando la frecuencia de conmutación.....	65
2.11.3.	Ensayos realizados al convertidor AC-DC cambiando la carga	67
2.11.4.	Ensayos realizados al convertidor AC-DC cambiando el voltaje de referencia	72
2.12.	CONCLUSIONES DELCAPITULO.....	74
3.	DESARROLLO DEL CONVERTIDOR DE POTENCIA DC-AC (INVERSOR) TRIFÁSICO DE DOS NIVELES	75
3.1.	CONVERTIDOR TRIFASICO COMO FUENTE DE VOLTAJE (VSC TRIFASICO).....	76
3.2.	MODULACION PWM.....	77
3.3.	TRANSFORMADA DE CLARK Y TRANSFORMADA DE PARK	78
3.3.1.	Transformada de Clark directa	78
3.3.2.	Transformada de Clark Inversa	79
3.3.3.	Transformada de Park directa.....	79
3.3.4.	Transformada de Park inversa	80
3.4.	PRINCIPIO DE FUNCIONAMIENTO, MODELO MATEMATICO Y DISEÑO DEL SISTEMA DE CONTROL DEL VSC TRIFASICO DE DOS NIVELES	81
3.4.1.	Principio de operación del inversor de medio puente	82
3.4.2.	Modelo promedio del inversor de medio puente	83
3.4.3.	Principio de operación del VSC trifásico.....	85
3.4.4.	Modelo del VSC trifásico de dos niveles en el marco de referencia $\alpha\beta$	86
3.4.5.	Modelo del VSC trifásico de dos niveles en el marco de referencia dq	86
3.4.6.	Sistema de control del VSC en el marco de referencia $\alpha\beta$ con conexión a la red	87
3.4.7.	Sistema de control del VSC en el marco de referencia dq con conexión a la red.....	89
3.4.8.	Sistema de control de la amplitud del voltaje a la salida del VSC trifásico.....	95
3.5.	FILTROS DE RED.....	98

3.5.1.	Normas que regulan la conexión del DR a la red de distribución.....	98
3.5.2.	Topologías de los filtros de red	99
3.5.3.	Diseño de los parámetros del filtro pasivo de red LCL	101
3.6.	LAZO DE ENGANCHE DE FASE (PLL).....	103
3.6.1.	Principio de operación del SF-PLL	103
3.6.2.	Modelo en lazo cerrado del sistema PLL.....	105
3.7.	ENSAYOS Y RESULTADOS EXPERIMENTALES DEL DESARROLLO DEL CONVERTIDOR DC-AC TRIFÁSICO	106
3.7.1.	Ensayos realizados al sistema PLL del convertidor DC-AC trifásico de dos niveles.....	108
3.7.2.	Ensayos realizados al filtro LCL del convertidor DC-AC trifásico de dos niveles	109
3.7.3.	Ensayos realizados al sistema de control de corriente en el convertidor DC-AC trifásico de dos niveles con inyección de potencia a la red de distribución.....	111
3.7.4.	Ensayos realizados al sistema de control de la amplitud del voltaje en el convertidor DC-AC trifásico de dos niveles	112
3.8.	CONCLUSIONES DELCAPITULO	114
4.	PROCEDIMIENTO NOVEDOSO PARA EL DISEÑO DE SNUBBERS RCD Y DEDUCCIÓN MATEMÁTICA DE LAS ECUACIONES	115
4.1.	PROBLEMAS ASOCIADOS AL APAGADO DEL INTERRUPTOR DE POTENCIA	116
4.2.	PRINCIPIO DE FUNCIONAMIENTO DEL <i>SNUBBER</i> RCD.....	118
4.3.	DEDUCCION MATEMATICA DE LAS ECUACIONES DE DISEÑO	119
4.3.1.	Deducción de las ecuaciones para calcular las reactancias parasitas en el circuito de conmutación	119
4.3.2.	Deducción de las ecuaciones para calcular el valor de la capacitancia y de la resistencia del Snubber RCD	121
4.4.	PROCEDIMIENTO PARA EL DISEÑO DEL <i>SNUBBER</i> RCD	123
4.5.	SIMULACIONES Y RESULTADOS EXPERIMENTALES	123
4.5.1.	Determinación de las reactancias parasitas.....	124
4.6.	VALIDACIÓN DE LAS ECUACIONES DE LAS ECUACIONES DE CÁLCULO DE LOS ELEMENTOS DEL <i>SNUBBER</i> RCD	125
4.7.	CONCLUSIONES DELCAPITULO.....	127
5.	DESARROLLO DEL RESTAURADOR DINÁMICO DE VOLTAJE.....	128
5.1.	PRINCIPIO DE OPERACIÓN DEL DVR.....	129
5.1.1.	Métodos de detección del DVR	129
5.1.2.	Métodos de compensación del DVR	129
	La figura 122 muestra que el voltaje inyectado por el DVR (.....	130
5.2.	IMPLEMENTACIÓN DEL DVR CON EL MÉTODO DE COMPENSACIÓN EN FASE.....	131
5.3.	RESULTADOS EXPERIMENTALES DEL DVR	134
5.4.	CONCLUSIONES DELCAPITULO.....	137

6. APORTACIONES, LÍNEAS DE TRABAJO FUTURO, Y PUBLICACIÓN DE RESULTADOS.....	138
6.1. APORTACIONES	138
6.2. LINEAS DE TRABAJO FUTURO	139
6.3. PUBLICACIÓN DE RESULTADOS.....	140
7. REFERENCIAS	141
APÉNDICE 1.....	151
APÉNDICE 2.....	154
APÉNDICE 3.....	158
APÉNDICE 4.....	163
APÉNDICE 5.....	167

MOTIVACIÓN, OBJETIVOS Y SUMARIO DE LA TESIS

MOTIVACIÓN

Las redes de distribución eléctrica han evolucionado de manera significativa en los últimos 20 años. Sin embargo, aproximadamente dos mil millones de personas en el mundo carecen del servicio de electricidad. En Colombia la cifra es de 1.14 millones de habitantes sin servicio de electricidad, la mayoría de ellos en las zonas aisladas de los conglomerados urbanos. Estos habitantes ocupan el 66% del territorio nacional. Las zonas no interconectadas (ZNI) están definidas como aquellas que no tienen acceso al servicio de electricidad a través del Sistema de Interconexión Nacional (SIN).

La instalación de las redes de distribución trifásicas es más costosa que la instalación de las redes de distribución monofásicas. Razón por la cual, del 34% del territorio Colombiano conectado al SIN, solo los habitantes que están ubicados en las zonas industriales disponen de energía eléctrica trifásica. Por consiguiente, los usuarios de las zonas residenciales y rurales de todo el país conectados al SIN disponen en su gran mayoría de energía eléctrica monofásica en sus hogares y granjas. No obstante, las máquinas industriales modernas operan con base en energía eléctrica trifásica. Debido a que, las máquinas trifásicas son más eficientes, seguras y económicas que las máquinas monofásicas. En este contexto, el suministro de energía eléctrica para las máquinas agroindustriales modernas requiere de un medio de conversión confiable entre la energía eléctrica monofásica de la que se dispone en las granjas del país y la energía eléctrica trifásica que se necesita.

El desarrollo económico y social de una región está directamente relacionado con el acceso a la energía eléctrica. No obstante, el 31,6% de los colombianos viven en zonas rurales y solo disponen de energía eléctrica a través de la red de distribución monofásica o no disponen de una red de distribución de energía. El convertidor de potencia de una a tres fases permite suministrar la energía eléctrica trifásica que requieren las máquinas agroindustriales desde la red de distribución monofásica. Las zonas donde no se dispone de energía eléctrica a través del SIN pueden acceder a la energía eléctrica, usando fuentes de energía renovables como: la energía eólica y la energía fotovoltaica. El suministro de energía a las máquinas trifásicas desde las fuentes de energía renovables requieren de un inversor trifásico que controle la frecuencia y la amplitud del voltaje que se suministra a la carga. Adicionalmente, en las zonas donde se cuenta con la red de distribución trifásica el inversor trifásico puede ser conectado a la red, controlando la corriente inyectada.

OBJETIVOS

Para el suministro de energía eléctrica a las cargas trifásicas desde la red de distribución monofásica, esta tesis propone el uso del convertidor de potencia de una a tres fases con el control activo del factor de potencia en la fuente, el control del nivel de voltaje en el bus DC y el control de la amplitud, la frecuencia y la fase del voltaje trifásico generado. Esta tesis también presenta el desarrollo del convertidor DC-AC trifásico con control de la corriente, controlando la potencia activa y reactiva inyectada a la red de distribución. Los objetivos planteados en esta tesis se presentan a continuación.

Objetivo general

Desarrollar un sistema embebido para el control digital de un convertidor de potencia de una fase a tres fases.

Objetivos específicos

- Determinar las especificaciones funcionales del sistema embebido usado en el controlador digital.
- Desarrollar el firmware y el hardware del sistema embebido de control digital.
- Integrar el software y el hardware del sistema embebido.
- Verificar el rendimiento del sistema de control digital implementado.

SUMARIO

La tesis de maestría presenta la siguiente estructura:

El capítulo 1 expone la necesidad del convertidor de una a tres fases en las zonas donde solo se dispone de redes de distribución monofásicas, mostrando las ventajas de usar maquinas eléctricas trifásicas en comparación con las maquinas eléctricas monofásicas. También presenta una revisión bibliográfica de las topologías reportadas por la literatura técnica para los convertidores de una a tres fases, clasificándolas de acuerdo a la cantidad de elementos del convertidor. En este apartado se propone una topología para el convertidor de una a tres fases con corrección del factor de potencia y eficiencia alta.

El capítulo 2 presenta el desarrollo del convertidor de potencia AC-DC elevador sin puente con control automático del factor de potencia en la fuente y del nivel de voltaje en el bus DC. Para el desarrollo del convertidor de potencia AC-DC, se propone un modelo en variables de estado promedio de pequeña señal que permita conocer el comportamiento dinámico del convertidor electrónico y el diseño del sistema de control digital. El desarrollo incluye simulaciones en el software Matlab - Simulink, la implementación del hardware de los circuitos de medición, excitación, protección y accionamiento. Además en este capítulo se presentan las pruebas de laboratorio realizadas al convertidor AC-DC que permiten corroborar la coherencia del análisis teórico con los resultados experimentales.

En el capítulo 3 se presenta el desarrollo del convertidor de potencia DC-AC (inversor) de dos niveles trifásico con control del voltaje para alimentar cargas trifásicas y control de la corriente para la conexión del inversor a la red de distribución. Para el desarrollo del convertidor se propone un modelo promedio que desacopla las corrientes directas y en cuadratura. Este modelo permite reducir la complejidad del diseño del sistema de control. Este capítulo también presenta un procedimiento para el diseño de los filtros de red LCL, la deducción de las transformadas de Clark y de Park y los resultados de las pruebas experimentales realizadas al prototipo de laboratorio.

En el capítulo 4 se propone un novedoso procedimiento de diseño para el circuito *snubber* RCD en circuitos electrónicos de potencia. El procedimiento incluye un método para la determinación de los elementos parásitos en el circuito de conmutación y la deducción matemática de las ecuaciones de diseño. Las ecuaciones de diseño deducidas permiten calcular teóricamente el valor del condensador y de la resistencia del *snubber* RCD en función de las reactancias parasitas del circuito implementado y del voltaje máximo de operación del interruptor, haciendo posible verificar mediante simulación el desempeño dinámico del circuito antes de la implementación experimental. Estos resultados están sometidos a revisión por la revista chilena “Información tecnológica” para su posterior publicación.

En el capítulo 5 se presenta el desarrollo de un DVR para redes de distribución monofásicas. El DVR presentado en este capítulo permite proteger las cargas sensibles ante eventos como: los *sags* y los *swells*. La efectividad del DVR propuesto es verificada y validada a través de simulaciones y pruebas experimentales. Los resultados de este desarrollo se presentaron en el congreso “2014 IEEE Power Energy (PES) General Meeting” realizado en Washington-USA.

Finalmente, esta tesis presenta las conclusiones, aportaciones al área de estudio, líneas de trabajo futuro y las publicaciones científicas derivadas de los resultados del trabajo de investigación. Además, se recogen las referencias bibliográficas utilizadas en la presente tesis.

El apéndice 1 presenta el artículo de revisión bibliográfica “Dispositivos y Metodologías de Diseño para el Desarrollo de Sistemas Embebidos en Convertidores de Potencia” presentado en la cumbre internacional de ingeniería del 2013 en México. Los apéndices de 2 a 6 muestran los diagramas esquemáticos, los circuitos impresos, los algoritmos de control y los algoritmos de la interfaz hombre-máquina programados en LabView del convertidor de potencia de una a tres fases.

1. INTRODUCCIÓN

En los sistemas de distribución de energía eléctrica, la red monofásica ha sido considerada como una alternativa para las áreas rurales. Debido a su bajo costo en comparación con las redes de distribución trifásicas [1], [2]. No obstante, las maquinas trifásicas son más eficientes, seguras y económicas que las maquinas monofásicas. En particular, los motores trifásicos pueden ser de menor tamaño, de construcción más simple, y están sometidos a menor cantidad de vibraciones que los motores monofásicos [3]–[5]. Razón por la cual, en las zonas rurales se requiere de un medio de conversión confiable entre la energía eléctrica monofásica de la que se dispone y la energía eléctrica trifásica que se necesita.

En el pasado, los sistemas de conversión de una a tres fases eran implementados mediante la conexión de elementos pasivos (condensadores y bobinas) con un autotransformador [6]. Sin embargo este tipo de sistema tiene numerosas desventajas como: desbalance de la potencia, eficiencia energética baja, calentamiento excesivo, entre otras [7]. En la actualidad, la fabricación de los convertidores con base en dispositivos semiconductores permiten mejorar el desempeño de los convertidores de potencia de una a tres fases [8]–[12].

Usualmente, la implementación del convertidor de potencia de una a tres fases implica la rectificación de la fuente AC. El proceso de rectificación convencional causa distorsión armónica en la corriente de la fuente, reduciendo el factor de potencia y la eficiencia del convertidor. Los convertidores AC-DC con corrección del factor de potencia permiten reducir la distorsión armónica en la corriente de la fuente y aumentar el factor de potencia. En la corrección del factor de potencia se puede usar elementos pasivos como bobinas y condensadores, o sistemas de control automáticos con interruptores de potencia controlados.

Dos topologías pueden ser consideradas como convencionales. La topología conformada por un puente rectificador de diodos y un inversor trifásico, mostrada en la figura 1(a), y la topología compuesta por dos puentes de interruptores controlados, mostrada en la figura 1(b). La topología mostrada en la figura 1(a) es una solución económica, pero no permite corregir el factor de potencia en la fuente de alimentación y tampoco permite controlar el nivel de voltaje en el bus DC. La topología compuesta por dos puentes de interruptores controlados, mostrada en la figura 1(b), permite controlar el factor de potencia en la fuente y el nivel de voltaje del bus DC. Esta topología también permite controlar la frecuencia, la amplitud y la fase en el convertidor DC-AC.

Una revisión del estado del arte de las topologías usadas en la conversión de una a tres fases se presenta a continuación. La literatura técnica reporta dos tendencias principales en el desarrollo de los convertidores de una a tres fases: 1) las topologías con una cantidad reducida de componentes, y 2) las topologías con una cantidad grande de componentes. Las topologías con una cantidad reducida de componentes fueron las más usadas por varias décadas, debido a los altos costos económicos de los interruptores de potencia. En la actualidad, las topologías con mayor cantidad de componentes son una alternativa viable, debido a la reducción paulatina de los costos de los dispositivos semiconductores. La figura 2 muestra la clasificación para las topologías de los convertidores de una a tres fases.

Las topologías de los convertidores de una a tres fases presentados en este aparte del capítulo serán renombradas para facilitar su comparación. Por ejemplo, la topología mostrada en la figura 1(a) se nombrara como C_1 y la topología mostrada en la figura 1(b) se nombrara C_2.

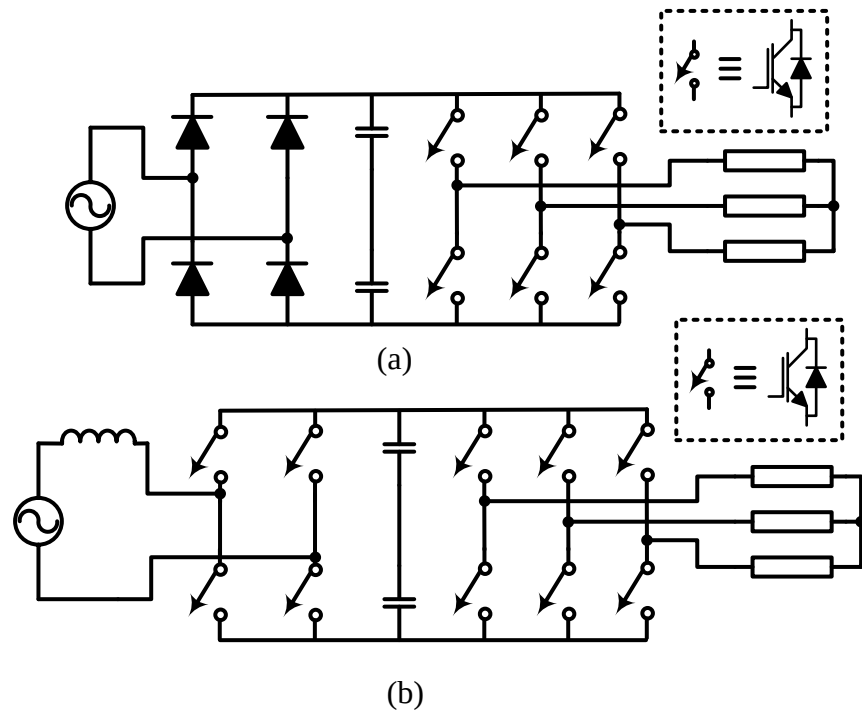


Figura 1. Convertidor de una a tres fases convencional. (a) Topología con el puente de diodos en la entrada (C_1). (b) Topología con el rectificador controlado en la entrada (C_2)

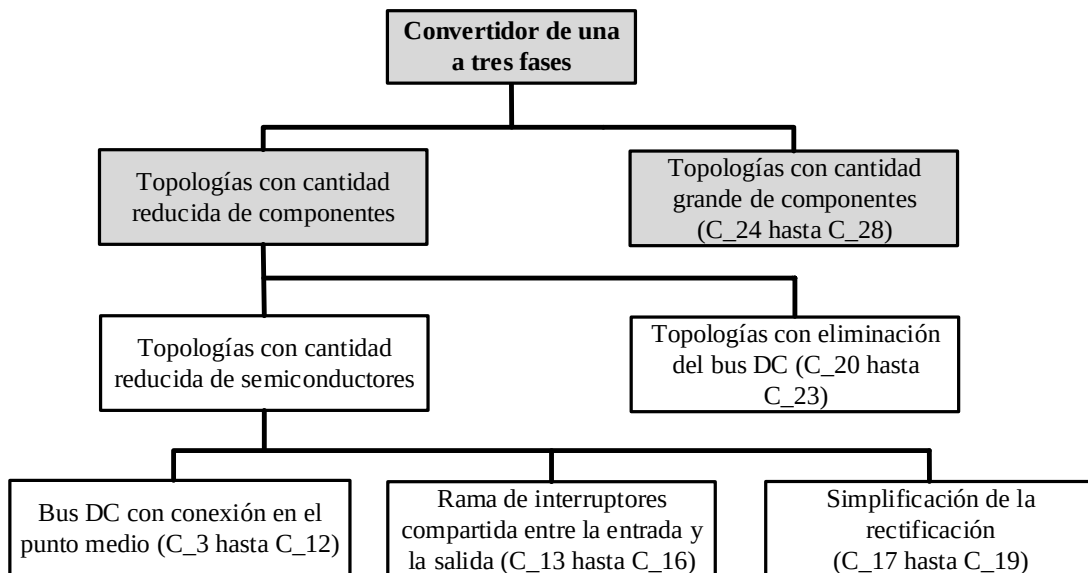


Figura 2. Clasificación de los convertidores de una a tres fases

1.1. TOPOLOGÍAS CON CANTIDAD REDUCIDA DE COMPONENTES

La reducción de la cantidad de componentes en el convertidor de potencia es uno de los objetivos del diseñador. No obstante en la mayoría de los casos, la reducción de los componentes implica la reducción de la calidad de la potencia suministrada por el convertidor. Uno de los criterios de selección para la topología del convertidor es seleccionar la topología que tenga la menor cantidad de componentes y que permita satisfacer las especificaciones funcionales buscadas, reduciendo el costo económico en la fabricación del convertidor.

1.1.1. Topologías con una cantidad reducida de semiconductores

A. Topologías con conexión entre la entrada y la salida en el punto medio del bus DC

La conexión en el punto medio del bus DC es ampliamente usada para reducir la cantidad de interruptores de potencia. Esta conexión permite reducir el costo económico del convertidor. Sin embargo, la frecuencia de salida del convertidor debe ser igual a la frecuencia del voltaje en la fuente. Los convertidores C_3 y C_4 presentados en [13] y [14] reducen significativamente la cantidad de componentes usados en la implementación del convertidor comparados con las topologías C_1 y C_2. No obstante, C_3 y C_4 presentan las siguientes desventajas: los interruptores de potencia están sometidos a picos de voltaje de gran magnitud, la tasa de VA de los condensadores en el bus DC es mayor que la presentada en C_1 y C_2 y la corrección del factor de potencia no se puede implementar.

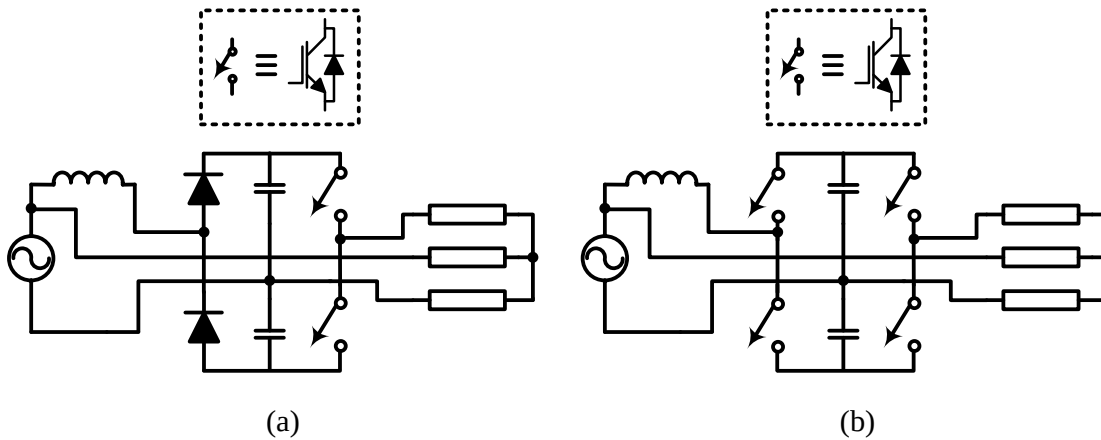


Figura 3. Topologías de costo económico bajo con propósitos de frecuencia fija en la salida [13], [14]. (a) Topología de medio puente sin corrección activa de la forma de onda en la corriente de entrada (C_3). (b) topología de medio puente con corrección activa de la forma de onda en la corriente de entrada (C_4)

La topología mostrada en la figura 4 se presenta en los trabajos [15] y [16]. Esta topología es referenciada como la alternativa para el control de motores en áreas rurales.

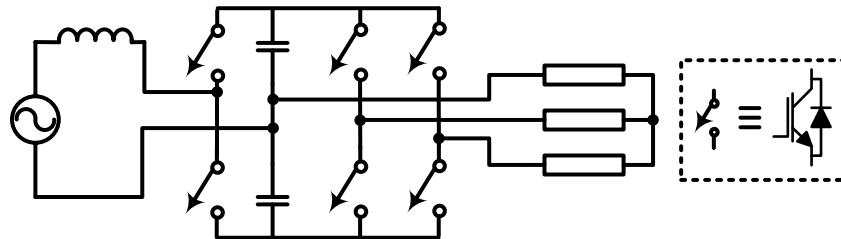


Figura 4. Convertidor de seis interruptores (C_5) [15], [16]

Una configuración con dos conexiones en el punto medio es presentada en [17]. Este circuito, mostrado en la figura 5, funciona con conmutación suave y con un enlace de aislamiento de alta frecuencia. Las principales características de esta topología son: conmutación a voltaje cero, control del factor de potencia y flujo de potencia reversible.

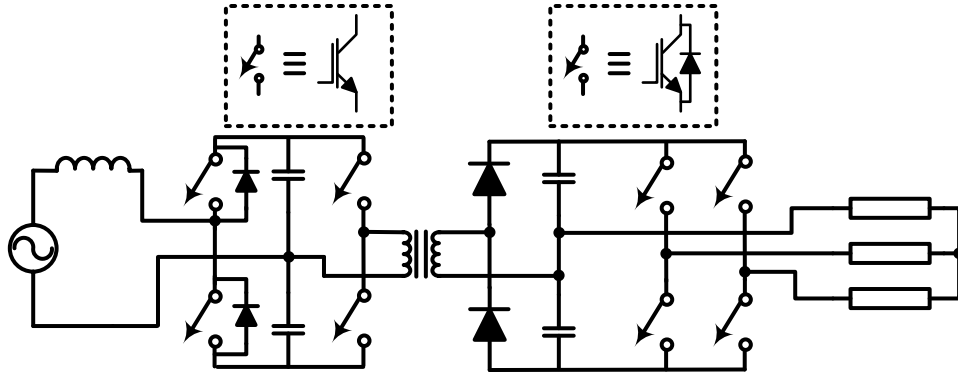


Figura 5. Convertidor con aislamiento de alta frecuencia (C_6) [17]

Un convertidor de una a tres fases con seis interruptores de potencia y una rama de diodos es presentada en [18] (ver la figura 6). En [2] se propone un convertidor de una a tres fases con cuatro hilos y conexión en el punto medio del bus DC (ver la figura 7).

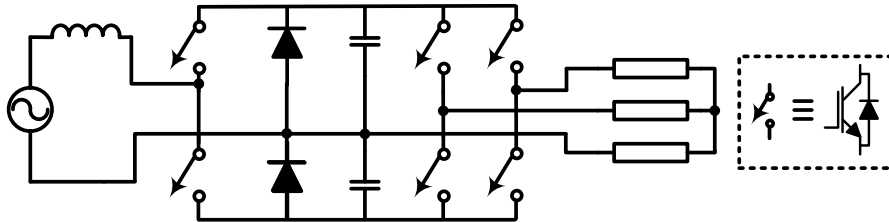


Figura 6. Convertidor de una fase a tres fases bidireccional con seis interruptores y una rama de diodos (C_7) [18]

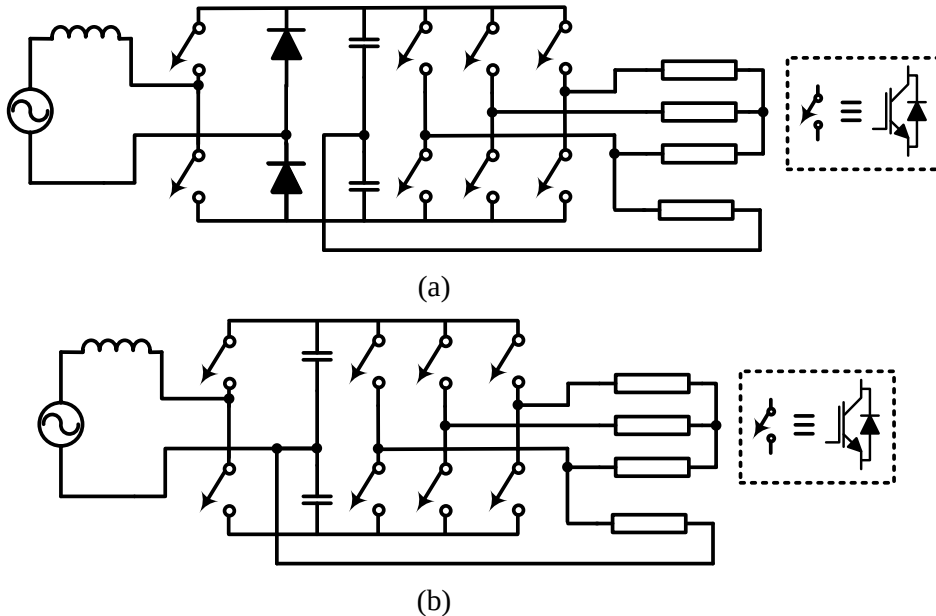


Figura 7. Convertidor de una a tres fases con rectificador semi-controlado PWM (C_8 y C_9) [2]

El trabajo presentado en [19] muestra cuatro posibles interconexiones de la topología B4 (mirar la

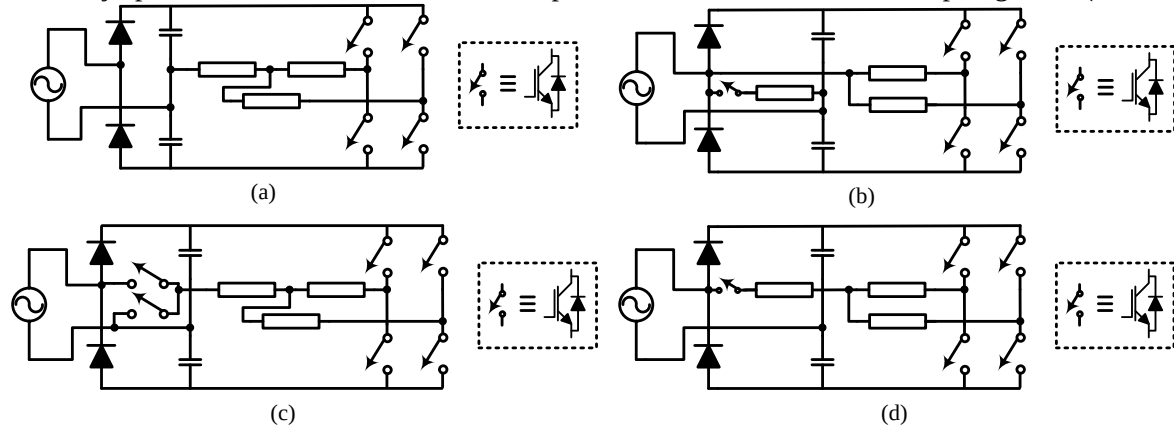


Figura 8 (figura 8). Esta topología permite suministrar energía a una maquina trifásica con la frecuencia del voltaje fija o variable.

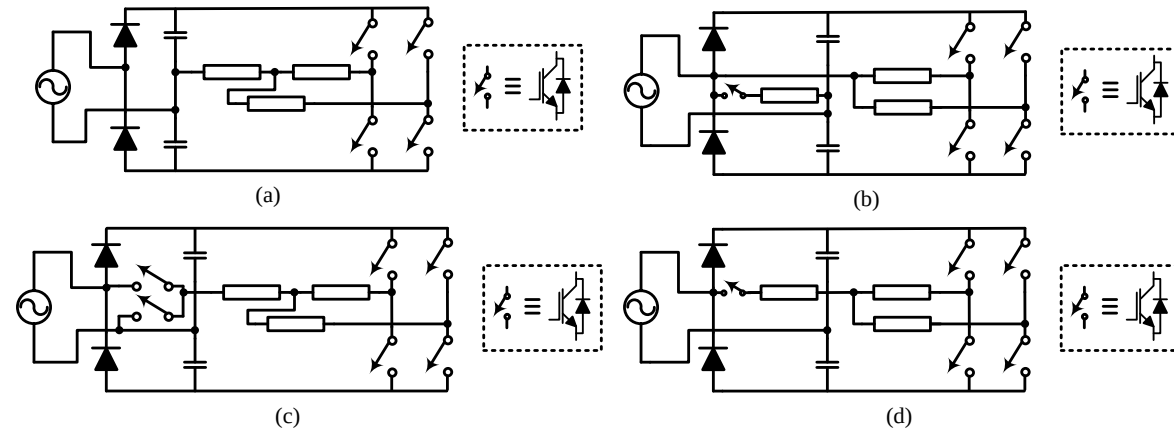


Figura 8. convertidor B4 (C_10) [19]

Las topologías mostradas en la figura 9 se obtienen a partir de modificar las posiciones de las ramas de los interruptores en la topología C_5 (figura 4). Estas topologías permiten el flujo bidireccional de potencia. Estas topologías también permiten controlar la corriente en la entrada, corregir el factor de potencia y controlar el voltaje en la salida.

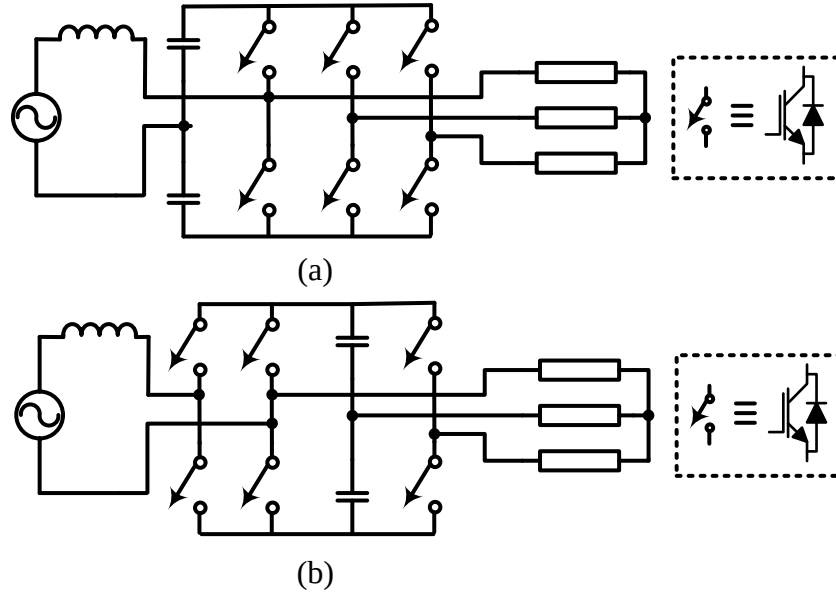


Figura 9. Topologías propuestas [20] y [21] (C_11)

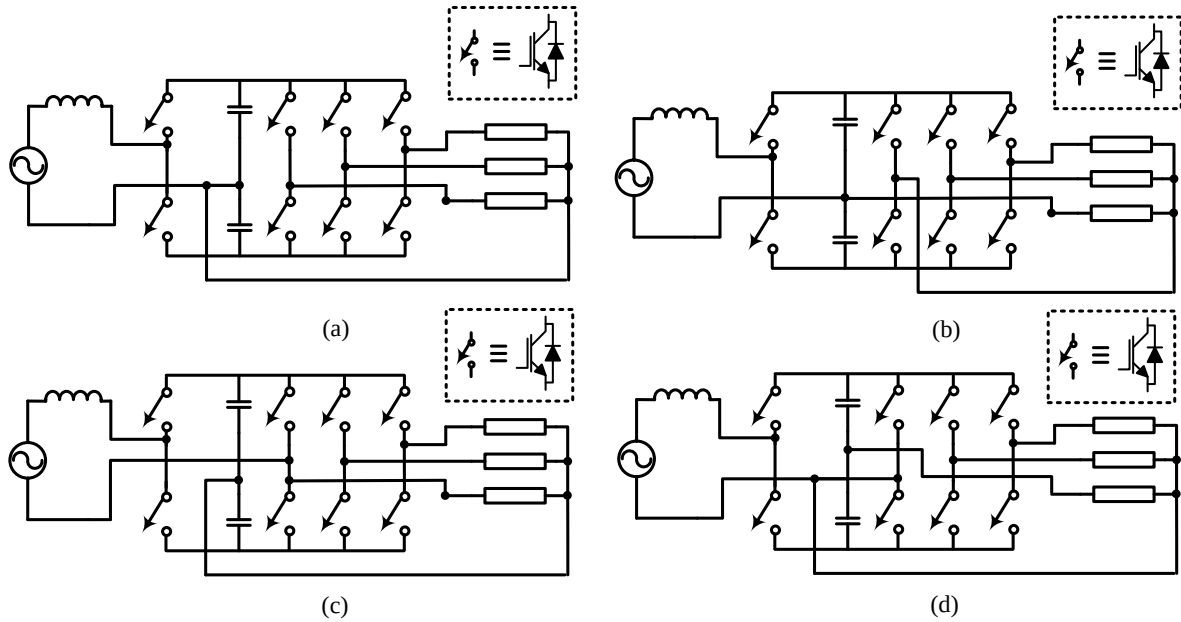


Figura 10. Topología propuesta en [22] (C_12)

B. Rama de interruptores compartida entre la entrada y la salida del convertidor

La conexión en el punto medio del bus DC crea una corriente extra de baja frecuencia con la corriente de 60Hz que fluye a través de los capacitores del bus DC. Este tipo de conexión debe ser seleccionada cuando la vida útil, el estrés eléctrico y las fluctuaciones de voltaje en los condensadores son especificaciones de diseño críticas. Una alternativa para la conexión en el punto medio del bus DC es la conexión a una de las ramas de interruptores.

La

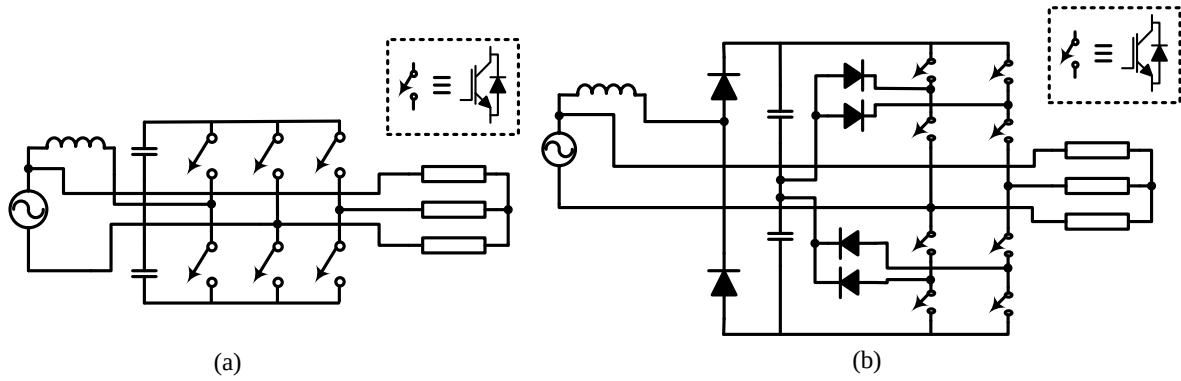


Figura 11 muestra la topología propuesta en [14]. Esta topología debe tener la frecuencia de salida fija e igual a la de la fuente. La ventaja de esta topología es el flujo de potencia bidireccional, permitiendo ser usada para la recuperación de energía en el frenado regenerativo de motores.

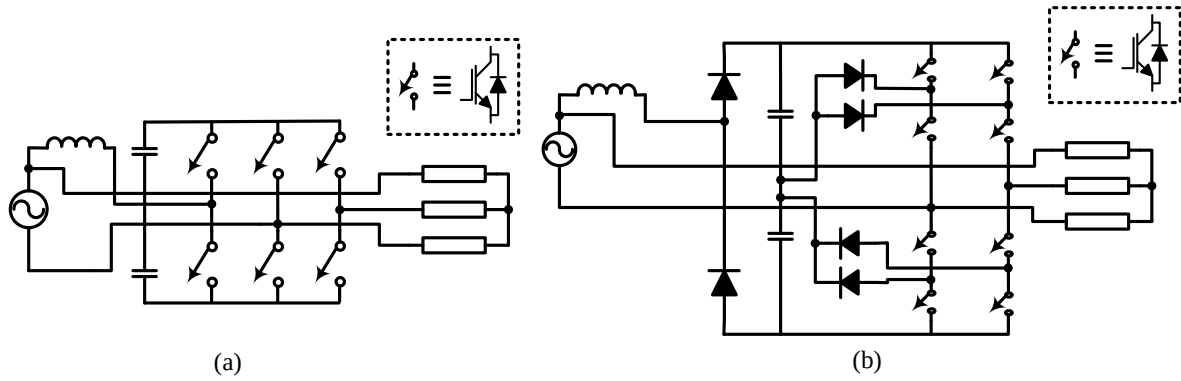


Figura 11. Topología del convertidor de una a tres fases sin bus DC, conexión en el punto medio propuesta en [14]. (a) Puente completo con corrección activa del factor de potencia (C_13). (b) Topología NPC (Neutral Point Clamped) (C_14)

En [23] se propone la topología mostrada en la figura 12. Esta topología tiene la desventaja que la frecuencia de operación debe ser igual en la entrada y en la salida.

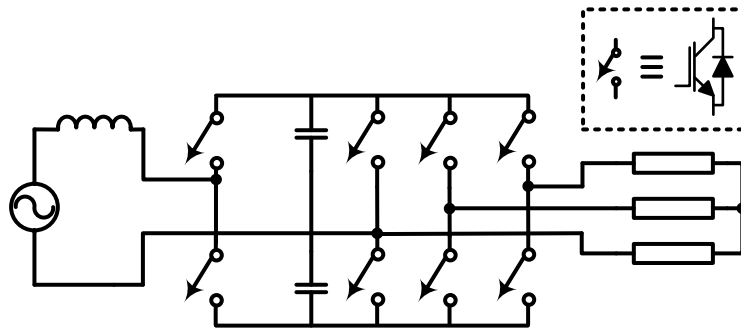


Figura 12. Topología del convertidor de una a tres fases con una rama compartida entre la entrada y la salida (C_15) [23]

En [24] se presenta la topología del convertidor de una a tres fases mostrada en la figura 13. Esta topología se caracteriza por permitir el flujo de potencia bidireccional entre la entrada y la salida.

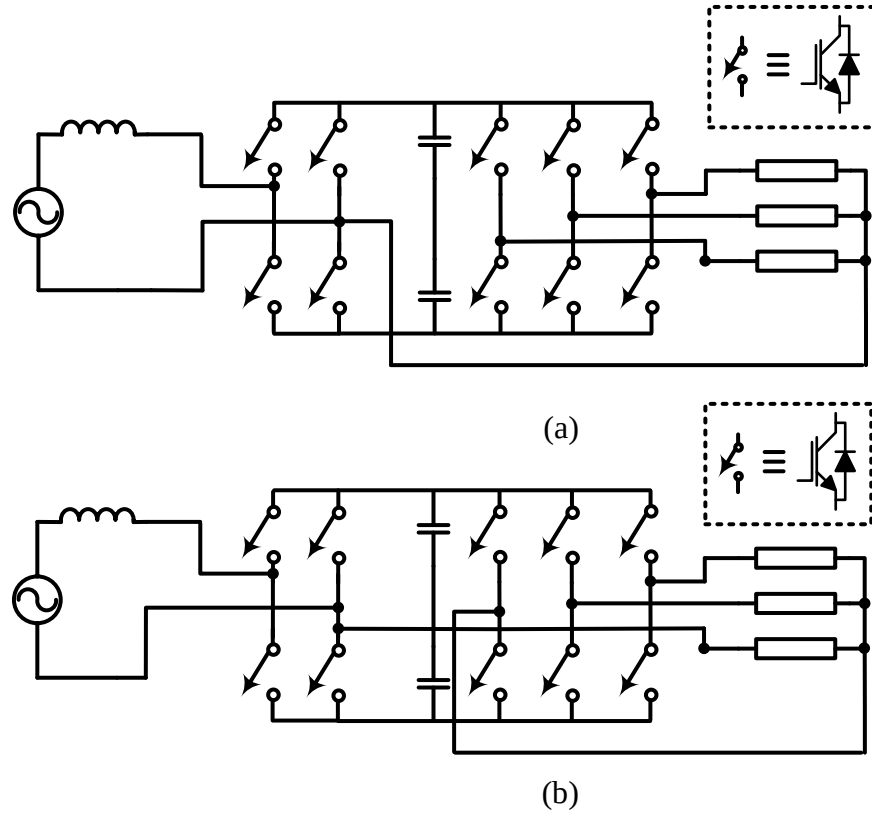


Figura 13. Topología propuesta en [24] (C_16)

C. Rectificación simplificada

Simplificar el circuito de rectificación es otra estrategia que permite reducir el número de elementos en el convertidor de una a tres fases. El trabajo presentado en [25] propone dos sistemas para el control de motores AC alimentados de la red monofásica (ver figura 14). Estas topologías tienen el neutro de la máquina conectado directamente al neutro de la red, con $1/3$ de la corriente de la red circulando en cada fase de la máquina. Estas corrientes incrementan las pérdidas de potencia en la máquina, pero no afectan las corrientes dq .

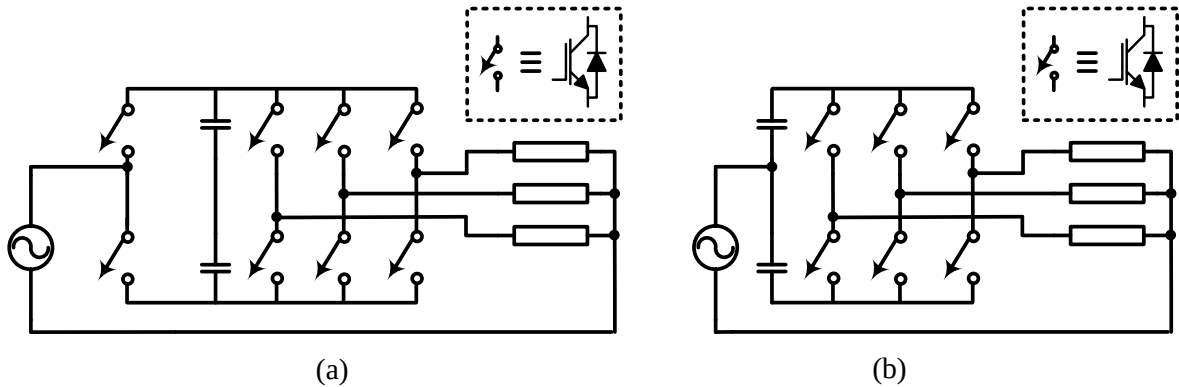


Figura 14. Convertidor de una a tres fases sin inductor en la entrada propuesto en [25] (C_17 y C_18)

El convertidor de una a tres fases y cuatro hilos, mostrado en la figura 15, se caracteriza por permitir el control de las corrientes del neutro [2].

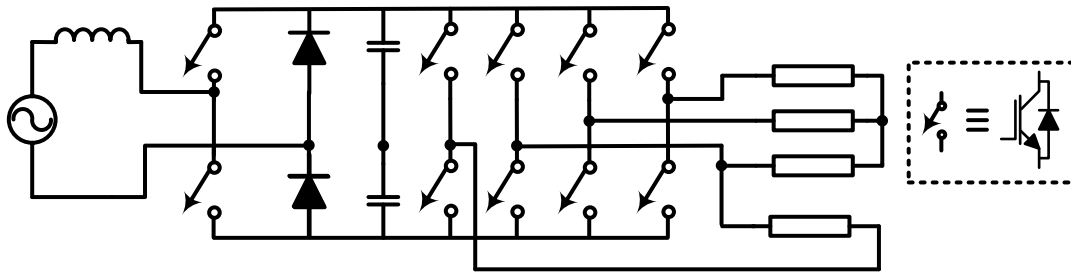


Figura 15. Topología propuesta en [2] (C_19)

1.1.2. Topologías que eliminan el condensador del bus DC

El convertidor matricial es una topología que permite la conversión directa desde la fuente AC hasta la carga AC, eliminando el bus DC. La topología C_20, mostrada en la figura 16 (a), se caracteriza por permitir hacer el control voltaje-frecuencia y la corriente en la fuente tiene distorsión armónica baja. Sin embargo, el componente del tercer armónico está presente en el voltaje de salida y la utilización del nivel de voltaje en la entrada es bajo.

La topología C_21, mostrada en la figura 16 (b), reduce 33% la cantidad de semiconductores necesarios en la implementación. Esta topología permite controlar la amplitud y la frecuencia de alimentación de motores trifásicos. No obstante, la desventaja de esta topología es que la relación de voltaje entre la entrada y la salida es baja (63%) y el voltaje a la salida presenta armónicos de baja frecuencia.

El convertidor matricial convencional de la figura 17 puede usar técnicas de modulación PWM que reducen la cantidad de conmutaciones de los interruptores, disminuyendo las pérdidas de potencia en la conmutación.

La topología C_23 de la figura 18 reduce la distorsión armónica en la corriente y en el voltaje si se compara con la topología C_22. Esta topología tiene interruptores bidireccionales y un reactor compuesto por bobinas.

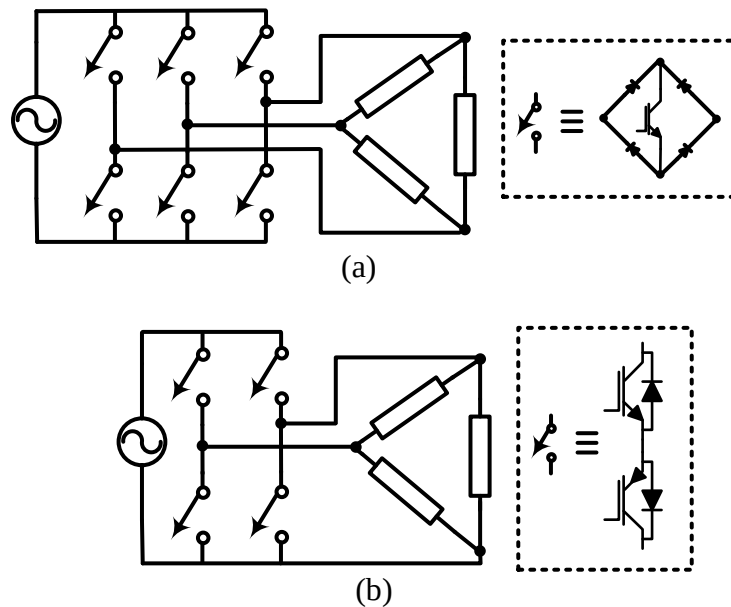


Figura 16. Convertidor matricial de una a tres fases. (a) propuesto en [7] (C_20) y (b) propuesto en [26] (C_21)

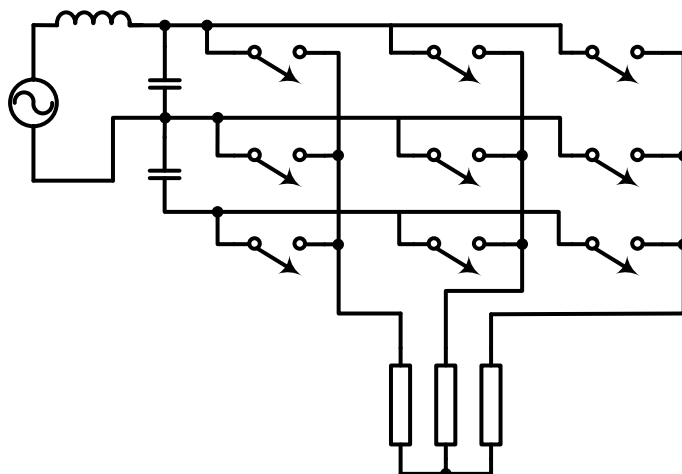


Figura 17. Convertidor matricial de una a tres fases propuesto en [27] (C_22)

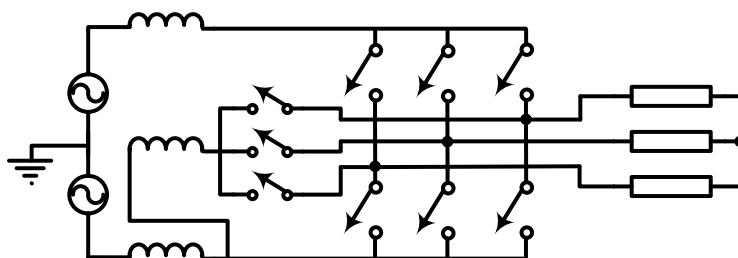


Figura 18. Convertidor matricial de una a tres fases propuesto en [28] (C_23)

1.2. TOPOLOGÍAS CON UNA CANTIDAD GRANDE DE COMPONENTES

El incremento en la cantidad de componentes del convertidor de potencia aumenta los costos de fabricación. No obstante, la calidad de la potencia suministrada a la carga y consumida por el convertidor puede ser mejorada. Los autores de [29] y [30] proponen las topologías mostradas en la figura siguiente. Estas topologías permiten reducir el rizado en el voltaje del condensador del bus DC. La principal ventaja de esta topología es que permite reducir el tamaño del condensador en el bus DC, en comparación con la topología del convertidor de una a tres fases convencional C_2.

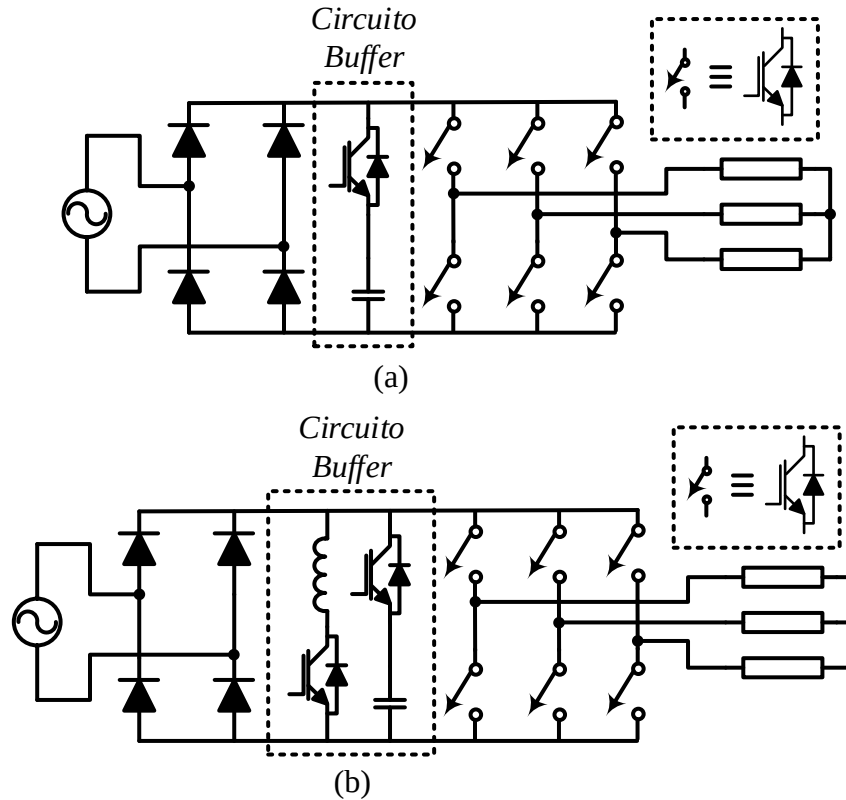


Figura 19. Convertidor de una a tres fases con buffer activo. (a) propuesto en [29] (C_24). (b) propuesto en [30] (C_25)

La topología C_26, mostrada en la figura 20, tiene dos rectificadores conectados en paralelo. Las ventajas comparativas de esta topología son: la reducción de la corriente en el rectificador, la reducción de la distorsión armónica total en la corriente de la fuente y la reducción del estrés eléctrico en el capacitor del bus DC.

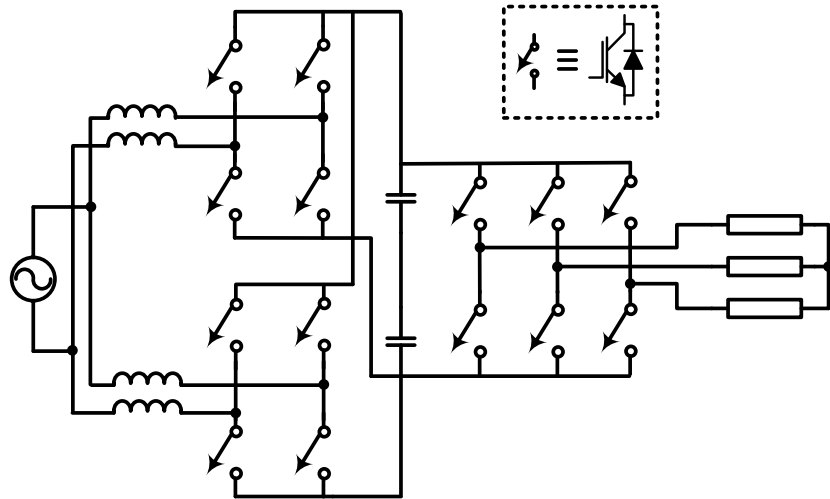


Figura 20. Rectificador de doble estado propuesto en [31] y en [32] (C_26)

En [33] se propone la topología del convertidor de una a tres fases C_27. Esta topología está compuesta por dos rectificadores de una fase en paralelo y con una rama compartida en la entrada y la salida del convertidor. En esta aplicación, la frecuencia del voltaje en la entrada y la salida deben ser iguales. Las características de esta topología son: la potencia manejada por cada interruptor en el rectificador es menor y el rectificador tiene mayor tolerancia a fallas.

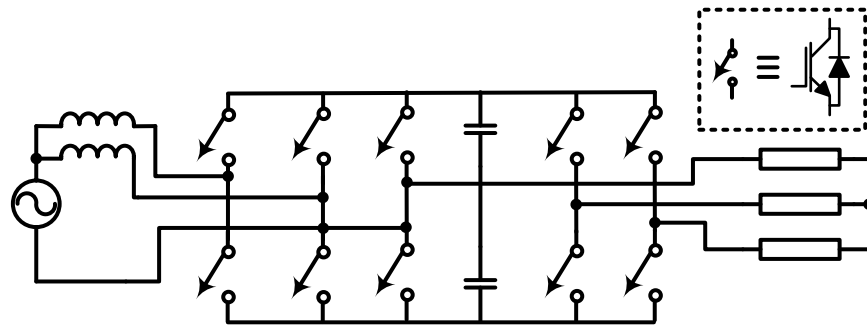


Figura 21. Rectificador paralelo con una rama compartida propuesto en [33] (C_27)

La topología C_27 de la figura 22 emplea la conexión en paralelo de dos convertidores de una a tres fases, permitiendo alimentar cargas de potencia mayor con interruptores de costo y tamaño reducido.

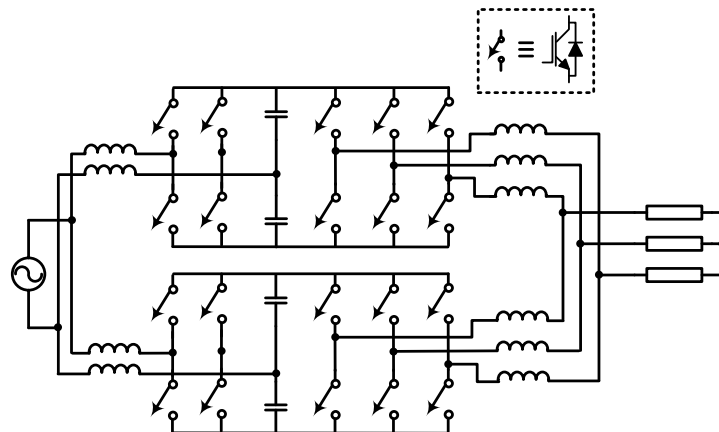


Figura 22. Convertidor de una a tres fases paralelo propuesto [34] (C_28)

1.3. COMPARACION GENERAL DE LAS TOPOLOGIAS DE LOS CONVERTIDORES DE UNA A TRES FASES

La tabla 1 muestra un resumen de las características de los convertidores C_1 hasta C_28 presentados anteriormente.

Tabla 1. Resumen de las características de los convertidores de una a tres fases

	Cantidad interruptores	Cantidad diodos	Cantidad de bus DC	Inductores en el elevador	Corrección del factor de potencia	Frecuencia de salida fija	Reducción del rizado en el bus DC
C_1	6	4	1	0	No	No	No
C_2	10	0	1	1	Si	No	No
C_3	2	2	1	0	No	Si	No
C_4	4	0	1	1	Si	Si	No
C_5	6	0	1	1	Si	No	No
C_6	8	2	2	1	Si	No	No
C_7	6	2	1	1	Si	No	No
C_8	8	2	1	1	Si	No	No
C_9	8	0	1	1	Si	No	No
C_10	4	2	1	0	No	Si	No
C_11	6	0	1	1	Si	No	No
C_12	8	0	1	1	Si	No	No
C_13	6	0	1	1	Si	Si	No
C_14	8	6	1	0	No	Si	No
C_15	8	0	1	1	Si	No	No
C_16	10	0	1	1	Si	No	No
C_17	8	0	1	0	Si	No	No
C_18	6	0	1	0	Si	No	No
C_19	10	2	1	1	Si	No	No
C_20	0	0	0	0	No	No	No
C_21	0	0	0	0	No	No	No
C_22	0	0	0	0	Si	No	No
C_23	0	0	0	0	Si	No	No
C_24	7	4	0	0	No	No	Si
C_25	8	5	0	0	No	No	Si
C_26	14	0	1	4	Si	No	No
C_27	10	0	1	2	Si	No	No
C_28	20	0	2	2	Si	No	No

1.4. TOPOLOGIA DEL CONVERTIDOR DE UNA A TRES FASES PROPUESTA EN ESTA TESIS

La topología del convertidor de una a tres fases que se propone en esta tesis puede verse en la figura 23. Esta topología está compuesta por un convertidor AC-DC elevador sin puente y un inversor trifásico de dos niveles. Esta topología permite corregir el factor de potencia en la fuente de alimentación y reducir la distorsión armónica total. Esta topología también permite controlar el voltaje en el bus DC y controlar la amplitud, la frecuencia y la fase del voltaje generado por el inversor trifásico.

El filtro EMI en la entrada del convertidor permite reducir el ruido eléctrico conducido desde el convertidor hacia la fuente y desde la fuente hacia el convertidor. El filtro LCL es un filtro pasivo pasa bajas compuesto por inductores y condensadores. Este filtro permite reducir los armónicos de alta frecuencia presentes en el voltaje de salida del inversor trifásico. Razón por la cual, el voltaje de salida se aproxima a una señal sinusoidal pura de 60 Hz.

El inversor trifásico también es usado en esta tesis para inyectar potencia activa y reactiva a la red de distribución, para esto es utilizado un sistema de control de corriente lineal.

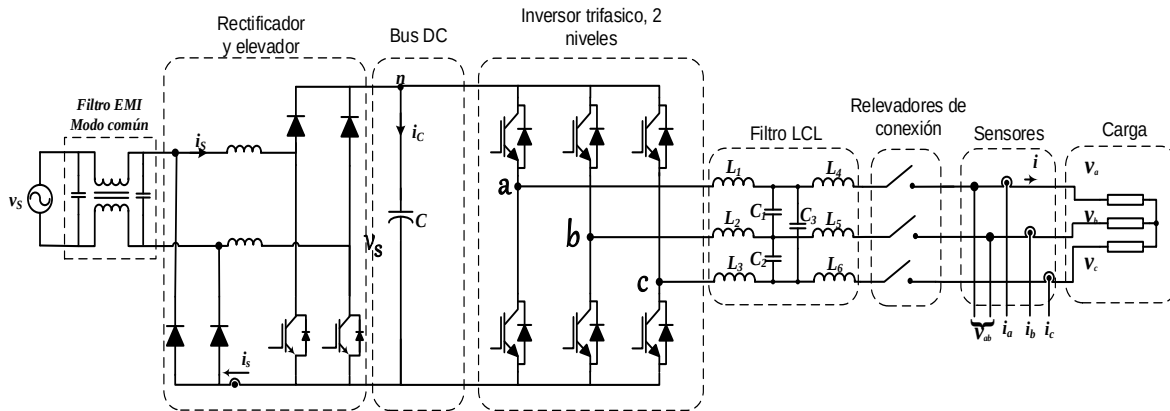


Figura 23. Convertidor de una a tres fases paralelo propuesto en esta tesis

2. DESARROLLO DEL CONVERTIDOR AC-DC ELEVADOR SIN PUENTE

El convertidor AC-DC desarrollado en esta tesis permite aumentar el factor de potencia (PF) en la fuente hasta 0.99, reducir la distorsión armónica total en la corriente de la fuente (THD_i) hasta 3.9% y controlar el nivel del voltaje en el bus DC. En la fuente se satisfacen los requerimientos de los estándares de regulación de la calidad de la energía EN 61000-3-2 (IEC 1000-3-2) con potencias de operación de hasta 908W. La literatura técnica no reporta modelos matemáticos para esta topología. En esta tesis se propone el modelo matemático promedio de pequeña señal, que permite analizar el comportamiento dinámico del convertidor y diseñar el sistema de control en lazo cerrado. Se hace una descripción de los modos de operación del convertidor con base en los estados de conmutación de los interruptores de potencia.

Los convertidores de potencia AC-DC, también conocidos como rectificadores, se usan para obtener corriente continua desde una fuente de corriente alterna. Los rectificadores son ampliamente usados en aplicaciones como: fuentes de alimentación conmutadas, fuentes de potencia ininterrumpidas y sistemas de carga para vehículos híbridos [35], [36]. Usualmente, los rectificadores convencionales, como el mostrado en la figura 24, son desarrollados con base en diodos y condensadores. Estos rectificadores son fiables y fáciles de diseñar. No obstante, los rectificadores convencionales causan alta distorsión armónica en la señal de corriente de la red (THD_i , Total Harmonic Distortion).

La introducción de armónicos en la corriente de la red tiene numerosos efectos perjudiciales, dentro de los que se destacan:

- el aumento de las pérdidas de potencia en los cables, en los transformadores y en los generadores de la red
- la aparición de corrientes resonantes en el sistema de distribución
- la aparición de fallas en los dispositivos de protección
- la degradación de la forma de onda de la tensión, particularmente en el caso de las redes con impedancia de línea grande

Usualmente, la energía eléctrica es suministrada a los circuitos electrónicos mediante un rectificador de onda completa con filtro capacitivo como el mostrado en la figura 24(a). En este tipo de circuitos, la corriente i_s no es sinusoidal, presentando picos de corta duración que coinciden con los valores máximos y mínimos del voltaje de la red v_s , como se muestra en la figura 24(b). Los picos de corriente producen distorsión armónica en i_s , causando bajo factor de potencia (PF , Power Factor) e ineficiencia en el sistema eléctrico de distribución [35].

Las topologías de los convertidores AC-DC presentados en este aparte del capítulo serán renombradas para facilitar su comparación. Por ejemplo, la topología mostrada en la figura 24(a) se nombrará como CR_1.

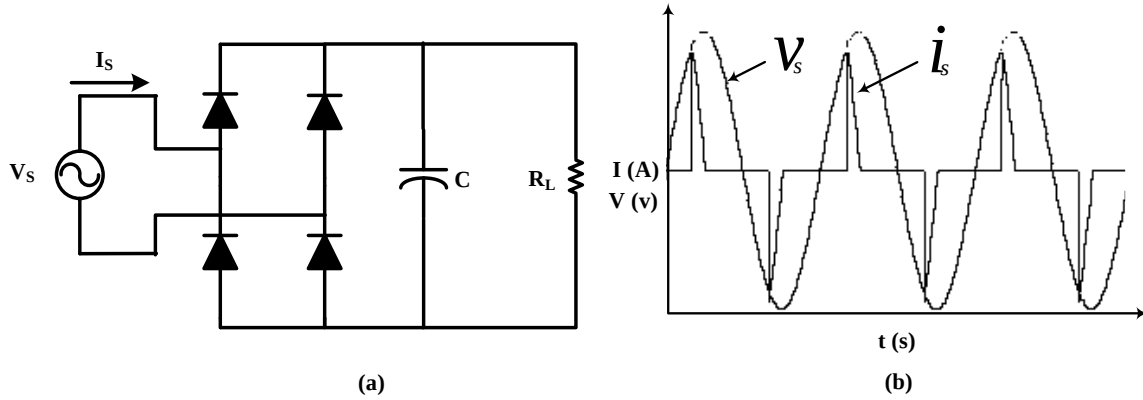


Figura 24. (a) Diagrama esquemático del rectificador de puente completo (CR_1), (b). Formas de onda del voltaje en la fuente v_s y de la corriente en la fuente i_s

La THD_i se define en la ecuación (1).

$$THD_i = \frac{\sqrt{\sum_{n=2}^{\infty} I_n^2}}{I_1} \quad (1)$$

Donde I_n es el n-esimo valor rms del componente armónico de la señal de corriente y I_1 es el valor rms del componente fundamental.

La ecuación (2) define el PF de la fuente en función de la THD_i . Donde, θ_1 es la diferencia de fase entre los armónicos fundamentales del voltaje y de la corriente en la fuente.

$$PF = \frac{1}{\sqrt{1 + THD_i^2}} * \cos(\theta_1) \quad (2)$$

La ineficiencia en el sistema eléctrico causada por la THD_i puede ser analizada desde la transferencia de potencia activa (P_s) desde la fuente hacia la carga. P_s depende del PF , como lo muestra la ecuación (3).

$$P_s = PF S \quad (3)$$

Donde S es la potencia aparente.

Las ecuaciones (1), (2) y (3) muestran que, la transferencia de potencia activa desde la red hacia carga depende de la THD_i . Cuando el THD_i aumenta el PF la P_s disminuye, reduciendo la eficiencia del sistema eléctrico. La ecuación (1) permite observar que el componente armónico de la corriente I_1 es el único que contribuye al suministro de potencia activa desde la red hacia la carga. Es decir, los componentes armónicos superiores al fundamental aumentan el valor eficaz de la corriente y la THD_i sin aportar potencia activa a la carga.

El cumplimiento de los estándares de regulación de calidad de potencia como el estándar IEEE 519-2012 “IEEE Recommended Practices and Requirements for Harmonic Control in Electrical Power Systems” [37] y el estándar IEC 61000-3-2 “Limits for harmonic current emissions (equipment input current <16A per phase)” [38] sugieren disminuir la THD_i en la señal de corriente de la fuente del convertidor, aumentando el factor de potencia y disminuyendo las interferencias electromagnéticas.

La reducción del contenido de armónicos en la corriente y el aumento del factor de potencia en la fuente pueden ser logrados usando filtros pasivos o rectificadores controlados. Usualmente, los filtros pasivos son filtros LC sintonizados, que representan una solución robusta. Sin embargo, los condensadores e inductores usados en los filtros tienen un costo, volumen y peso elevado. En consecuencia, esta solución es poco recomendable en la mayoría de las aplicaciones. Por otro lado, los rectificadores controlados son más eficientes que los filtros pasivos. Estos rectificadores operan con base en interruptores de potencia y disponen de uno o varios sistemas de control en lazo cerrado. Los rectificadores controlados pueden regular el factor de potencia, el contenido de armónicos y el nivel del voltaje DC en la carga [39].

2.1. TOPOLOGIAS DE LOS CONVERTIDORES AC-DC ELEVADORES CON CORRECCIÓN DEL FACTOR DE POTENCIA

La robustez, densidad de potencia, eficiencia, THD_i , EMI, tamaño, costo y complejidad son algunos de los aspectos importantes en la selección de la topología adecuada para el convertidor AC-DC [40]. Dentro de este contexto, la literatura técnica reporta numerosas topologías de convertidores AC-DC elevadores de voltaje con corrección del factor de potencia (PFC, Power Factor Correction). La revisión que se presenta a continuación se enfoca en las topologías de los convertidores AC-DC elevadores con corrección del factor de potencia que tengan alta densidad de potencia, alta eficiencia y bajo costo [36], [40], [41].

La figura 25 muestra una clasificación de las diferentes topologías que pueden ser usadas para la corrección del factor de potencia en la corriente de la fuente en convertidores AC-DC.

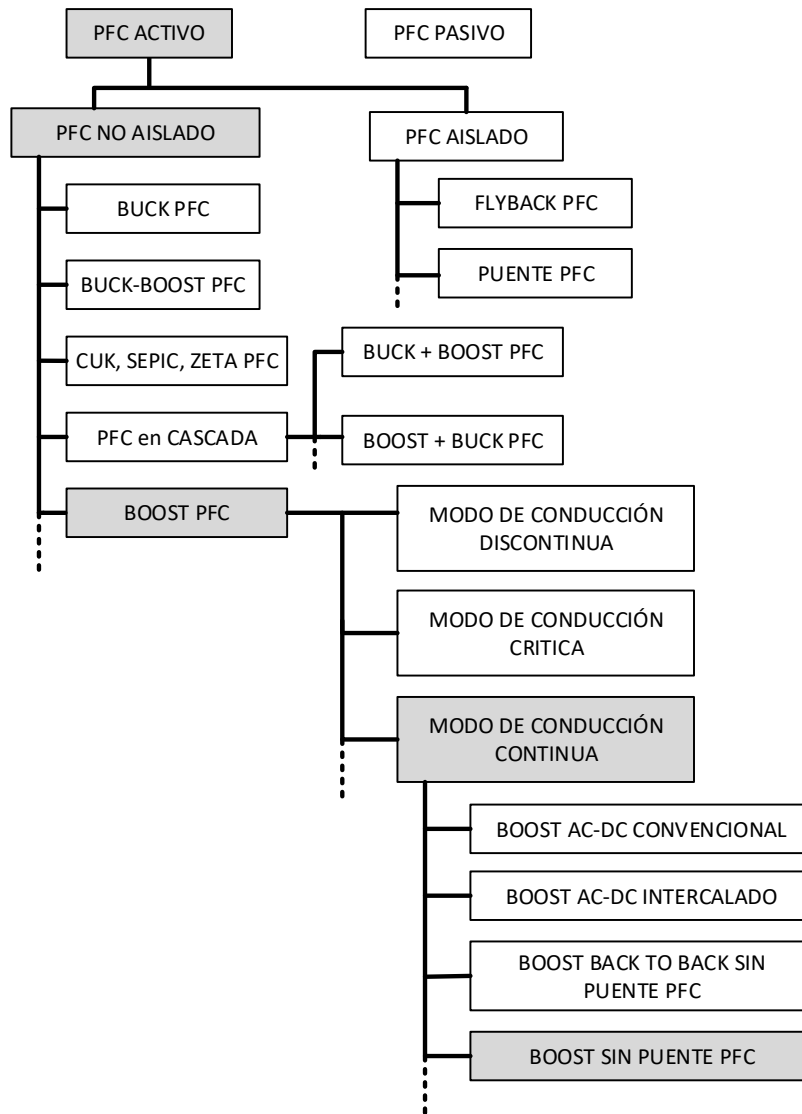


Figura 25. Clasificación de los convertidores con corrección del factor de potencia

2.1.1. Convertidor AC-DC elevador convencional

El convertidor AC-DC elevador convencional, mostrado en la figura 26, se compone del puente de diodos que rectifica la señal de la fuente de voltaje (v_s), la sección de rectificación es seguida por el convertidor DC-DC elevador. Este convertidor permite alcanzar niveles bajos de THD_i y PF alto [42]. Sin embargo, La corriente debe circular desde la fuente hacia la carga a través de tres elementos semiconductores, presentando pérdidas de potencia en conducción no despreciables en comparación con la topología del convertidor elevador AC-DC sin puente mostrada en la figura 29[43]. Además, el convertidor AC-DC elevador convencional requiere frecuencias de conmutación altas para disminuir la THD_i de la fuente cuando se suministra potencia alta a la carga.

En la topología del convertidor AC-DC elevador convencional, la corriente del capacitor de salida presenta rizado alto. Esto corresponde a la diferencia entre la corriente del diodo (I_{D_b}) y la corriente de salida hacia la carga (I_L). También, el inductor del convertidor AC-DC elevador convencional requiere un diseño especial. Debido a que, el inductor es ubicado en el lado de corriente directa [41]. La topología del convertidor AC-DC elevador convencional es recomendable en aplicaciones de hasta

1 KW. Los arreglos de semiconductores discretos en paralelo son necesarios en aplicaciones de alta potencia [35].

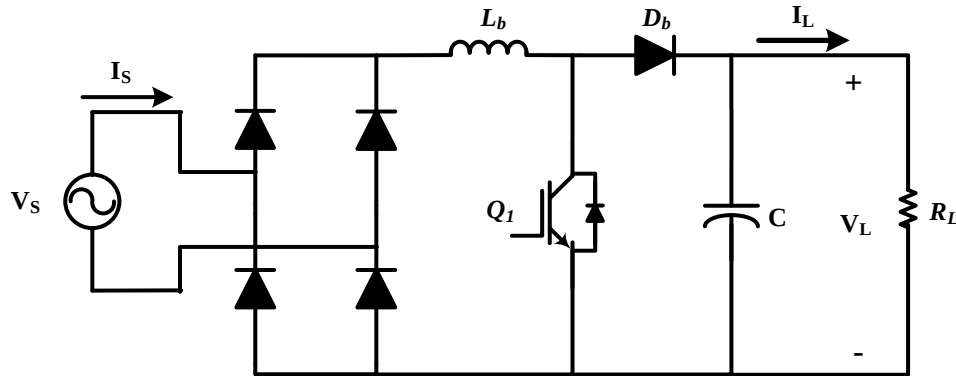


Figura 26. Diagrama esquemático del convertidor AC-DC elevador convencional (CR_2)

2.1.2. Convertidor elevador AC-DC intercalado

La topología del convertidor AC-DC intercalado, mostrada en la figura 27, está compuesto por dos convertidores elevadores AC-DC convencionales en paralelo. La modulación de los interruptores Q_1 y Q_2 se produce con 180° de desfase. La ventaja de esta topología es que permite aumentar la potencia suministrada por el convertidor, utilizando semiconductores de menor tamaño. Esto comparando la topología del convertidor AC-DC intercalado con la topología del convertidor AC-DC elevador convencional (Figura 26) [44]

Usualmente, el convertidor AC-DC intercalado se utiliza en aplicaciones de alta potencia, disminuyendo el tamaño del convertidor y las interferencias electromagnéticas. Este convertidor dobla la frecuencia efectiva de conmutación, reduciendo significativamente el rizado en el voltaje del condensador y el rizado en la corriente de la fuente. El tamaño de los condensadores e inductores necesarios para la implementación de convertidor pueden ser reducidos usando el convertidor AC-DC intercalado [44], [45]. Sin embargo, el funcionamiento de cada etapa del convertidor debe ser sincronizada, aumentando la complejidad de la implementación del sistema de control [35], [46].

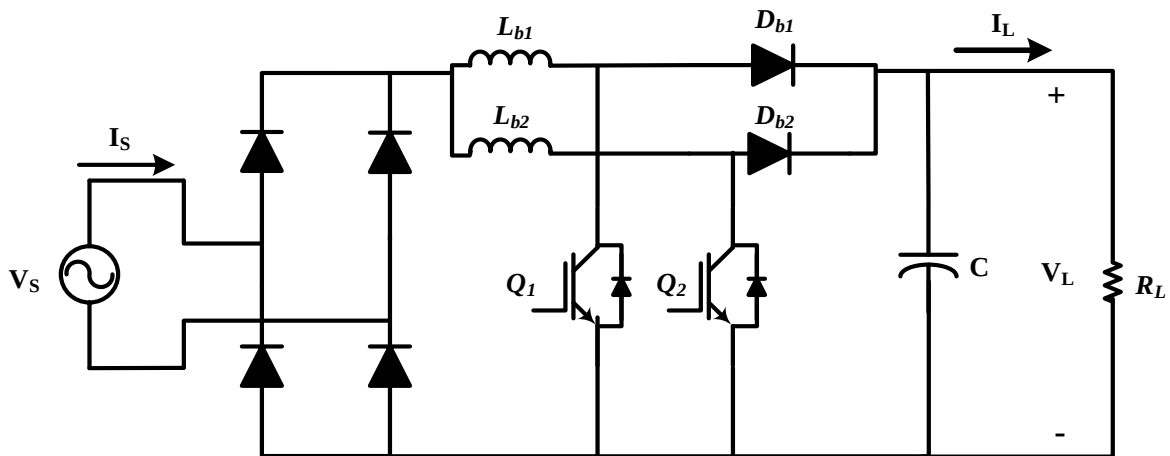


Figura 27. Diagrama esquemático del convertidor elevador AC-DC intercalado (CR_3)

2.1.3. Convertidor AC-DC elevador sin puente

La topología básica del convertidor AC-DC elevador sin puente se muestra en la figura 28 [47]. Esta topología elimina un diodo en la trayectoria de la corriente desde la fuente hacia la carga, comparada con el convertidor AC-DC elevador convencional mostrado en la figura 26. La eliminación del diodo en la trayectoria de la corriente permite reducir las pérdidas de potencia en conducción [48]. Además, Esta topología reduce el problema de calentamiento del puente rectificador que se observa en la topología del convertidor AC-DC elevador convencional. Sin embargo, el convertidor AC-DC elevador sin puente de la figura 28 tiene mayor ruido de modo común que el convertidor AC-DC elevador convencional y los sensores necesarios para medir el voltaje y la corriente en la fuente deben ser aislados, representando costo y complejidad mayor [48]–[51].

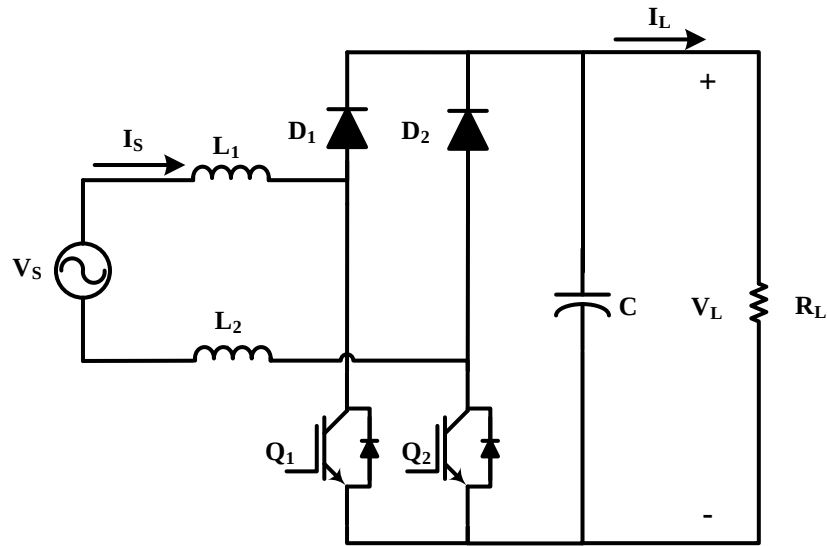


Figura 28. Diagrama esquemático del convertidor elevador AC-DC sin puente (CR_4)

La salida del convertidor AC-DC elevador convencional está conectada a la tierra de la fuente a través del puente rectificador en todos los modos de operación del convertidor. Por el contrario, la salida del convertidor AC-DC elevador sin puente está conectada a la tierra de la fuente solo durante el semi-ciclo positivo de la señal de fuente. La señal de salida está fluctuando con frecuencia alta respecto a la fuente en el semi-ciclo negativo y con la amplitud del voltaje en la salida del convertidor. Las pulsaciones de voltaje de frecuencia alta cargan y descargan las capacitancias parasitas equivalentes entre la tierra de la salida del convertidor y la tierra de la fuente, incrementando significativamente el ruido de modo común [50]. La reducción del ruido de modo común del convertidor AC-DC elevador sin puente de la figura 29 se logra adicionando 2 diodos convencionales a la trayectoria de la corriente del circuito, como se muestra en la figura 29, proporcionando una trayectoria de baja frecuencia entre la tierra de la fuente y la tierra de la carga. La topología de la figura 29 corresponde a dos convertidores DC-DC elevadores, uno para cada semi-ciclo de la fuente [48].

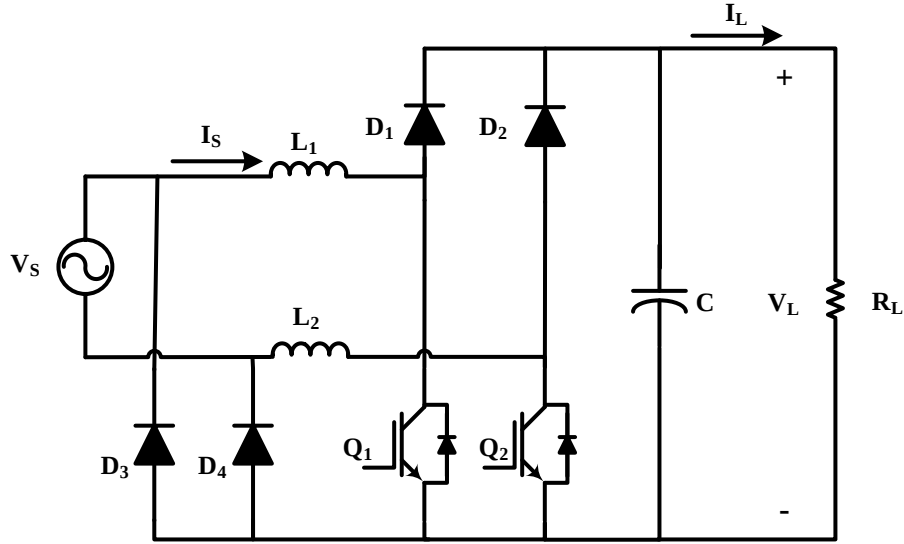


Figura 29. Diagrama esquemático del convertidor elevador AC-DC sin puente (Reducción del ruido de modo común) (CR_5)

Los interruptores Q_1 y Q_2 del convertidor AC-DC elevador sin puente mostrado en la figura 29 pueden ser controlados por la misma señal de disparo. Además, los circuitos de excitación no requieren circuitos *bootstrap* [52] o fuentes de alimentación independientes. Debido a que, las compuertas de los interruptores Q_1 y Q_2 están referenciados a la misma tierra. Sin embargo, la topología mostrada en la figura 29 requiere de un inductor adicional, incrementando el peso, tamaño y costo del circuito [48].

2.2. COMPARACIÓN DE LAS TOPOLOGÍAS DE LOS CONVERTIDORES AC-DC ELEVADORES CON PFC

Estudios experimentales realizados a las topologías de los convertidores AC-DC elevador convencional, intercalado y sin puente en [35], [48], [53] proveen los datos cualitativos necesarios para la selección correcta de la topología que se probaran mediante simulación. Los resultados de las simulaciones proveen la información necesaria para seleccionar la topología correcta a implementar en el prototipo de laboratorio. Los resultados de estos estudios, presentados en la

Tabla 2 La tabla 2 y en la tabla 3 indican que la topología del convertidor AC-DC elevador sin puente tiene las siguientes ventajas respecto a los convertidores AC-DC elevadores convencional e intercalado [41]:

- la eficiencia es alta
- el rizado en el voltaje del condensador y el rizado en la corriente de la fuente son bajas
- el tamaño de los inductores necesarios es pequeño
- puede suministrar hasta 3,5 KW de potencia en la carga
- las EMI y el ruido son menores que en el convertidor AC-DC elevador convencional
- los inductores están ubicados en el lado de corriente alterna, facilitando su diseño y ayudando el filtrado de EMI.

Los resultados presentados en la tabla 3 indican que el convertidor AC-DC elevador sin puente es más eficiente que el convertidor AC-DC elevador convencional.

Tabla 2. Resultados de las pruebas experimentales a los convertidores AC-DC con PFC [35], [53]

Topología	Convertidor AC-DC elevador convencional (CR_2)	Convertidor AC-DC intercalado (CR_3)	Convertidor AC-DC Sin puente (CR_5)
Capacidad de potencia	< 1 KW	< 3,5 KW	< 3,5 KW
Control EMI/Ruido	Bajo	Medio	Medio
Rizado en el condensador	Alto	Medio	Bajo
Rizado en la corriente de entrada	Alto	Medio	Bajo
Tamaño de los inductores	Grande	Mediano	Pequeño
Eficiencia	Baja	Alta	Media
Costo	Bajo	Medio	Medio

Tabla 3. Resultados de la eficiencia de los convertidores AC-DC elevador convencional y sin puente [48]

Topología	Eficiencia η (%)
Convertidor AC-DC elevador convencional (CR_2)	94.36
Convertidor AC-DC elevador sin puente (CR_5)	94.82

2.3. PRINCIPIO DE OPERACIÓN Y MODELO MATEMÁTICO DEL RECTIFICADOR AC-DC ELEVADOR SIN PUENTE

Este aparte del capítulo presenta el principio de funcionamiento y el modelo matemático del convertidor AC-DC elevador sin puente. El modelo matemático representa la relación de las variables físicas en el convertidor de potencia, permitiendo analizar las dinámicas que dominan su comportamiento. Los interruptores en los convertidores de potencia operan en la región de corte y saturación. En consecuencia, los convertidores de potencia exhiben un comportamiento dinámico no lineal y discontinuo.

Las representaciones en espacio de estados promedio y de pequeña señal permiten modelar el comportamiento dinámico y estático del convertidor de potencia. La representación en espacio de estados promedio consiste en obtener el sistema de ecuaciones que represente el comportamiento promedio del convertidor en un periodo de conmutación, partiendo de las ecuaciones diferenciales que modelan el convertidor en cada uno de los estados de conmutación de los interruptores (encendido y apagado). El modelo de pequeña señal se obtiene a partir del modelo en espacio de estados promedio, introduciendo señales pequeñas de perturbación que representan las variaciones AC en las señales de entrada. El modelo de pequeña señal puede linealizarse alrededor de un punto de operación, simplificando su análisis en comparación con el modelo no lineal. El modelo lineal puede ser estudiado con la técnica de la transformada de Laplace, observando el comportamiento y las propiedades del sistema cuando funciona alrededor de un punto de operación [54]–[56]

La obtención del modelo matemático requiere conocer cómo funciona el convertidor, como se relacionan las corrientes y los voltajes en el circuito y como fluye la energía desde la fuente hacia la carga. A continuación, se describe el principio de operación del convertidor de potencia AC-DC elevador sin puente.

2.4. PRINCIPIO DE OPERACIÓN DEL CONVERTIDOR DE POTENCIA AC-DC ELEVADOR SIN PUENTE

La figura 30 muestra el diagrama esquemático del convertidor de potencia elevador sin puente. El convertidor de potencia AC-DC elevador sin puente se compone de dos interruptores de potencia Q_1

y Q_2 , dos diodos de conmutación rápida D_1 y D_2 , dos diodos rectificadores convencionales D_3 y D_4 , dos inductores de igual valor L_1 y L_2 y el condensador C .

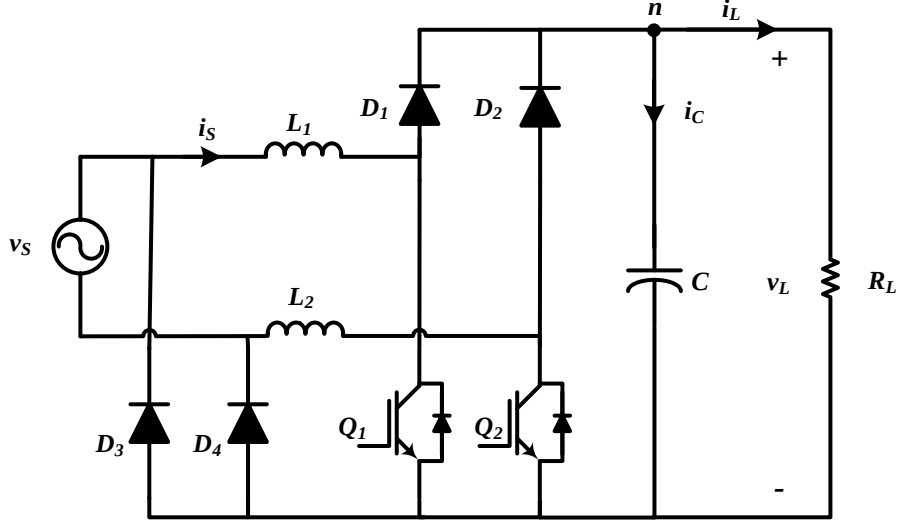


Figura 30. Diagrama esquemático del convertidor elevador AC-DC sin puente (Reducción del ruido de modo común)

La expresión matemática entre la frecuencia de la señal de conmutación (f_{conm}), el periodo de conmutación (T_{conm}), el tiempo de encendido (t_{enc}) y el tiempo de apagado (t_{apag}) de los interruptores Q_1 y Q_2 se muestra en las ecuaciones (4), (5) y (6)

$$T_{conm} = \frac{1}{f_{conm}} = t_{enc} + t_{apag} \quad (4)$$

El tiempo de encendido se define en la ecuación (5)

$$t_{enc} = D T_{conm} \quad (5)$$

Donde D es el ciclo útil de conmutación de los interruptores. El tiempo de apagado se obtiene al operar matemáticamente en las ecuaciones (4) y (5), como se muestra en la ecuación (6).

$$t_{apag} = (1 - D) T_{conm} = D' T_{conm} \quad (6)$$

Usualmente, la magnitud de los voltajes en las terminales de los interruptores en saturación y las resistencias parasitas de las reactancias en el circuito (condensador e inductores) son menores a 2 voltios. Por el contrario, la magnitud del voltaje de la fuente (v_s) y el voltaje de la carga (v_L) suele ser mayor a 150 voltios. Además el convertidor AC-DC funciona en el modo conducción continua (CCM, por sus siglas en ingles) y las variaciones de la amplitud v_s no son significativas en el periodo de conmutación T_{conm} . En consecuencia, los cálculos matemáticos se pueden realizar haciendo las siguientes suposiciones: 1) la magnitud de los voltajes en las terminales de los interruptores en saturación y las resistencias parasitas de las reactancias en el circuito se puede obviar sin introducir errores significativos en los cálculos, y 2) la amplitud del voltaje v_s se asume constante en T_{conm} .

A. Modo de operación 1

El modo de operación 1, mostrado en la figura 31, ocurre cuando voltaje v_s en la entrada es positivo y los interruptores de potencia Q_1 y Q_2 están encendidos.

En el modo de operación 1, la corriente i_s fluye desde la fuente v_s a través del interruptor Q_1 , cargando la inductancia L_1 y de regreso hacia la fuente a través del diodo D_4 . En este lapso de tiempo el capacitor de almacenamiento C se descarga, proporcionando corriente a la carga R_L . Las ecuaciones (8) y (11) representan la relación de los voltajes y las corrientes en el circuito equivalente mostrado en la figura 31.

La dirección de las corrientes de referencia se muestra con una flecha, indicando la caída de potencial eléctrico positivo para las ecuaciones de cálculo. Esta dirección de la flecha no siempre coincide con la dirección real de la corriente en el funcionamiento del circuito.

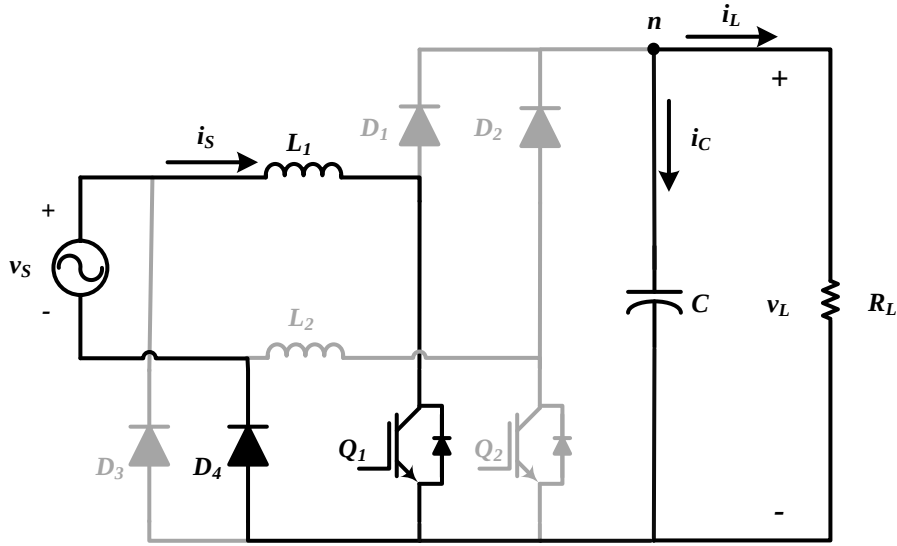


Figura 31 . Diagrama esquemático del circuito equivalente del convertidor AC-DC elevador sin puente, semi-ciclo positivo de la fuente v_s y Q_1 y Q_2 en corte (apagados).

La sumatoria de voltajes alrededor de la malla izquierda en el circuito de la figura 31 puede ser representada mediante la siguiente ecuación.

$$-v_s + L_1 \frac{di_s}{dt} = 0 \quad (7)$$

Operando matemáticamente se obtiene

$$\frac{di_s}{dt} = \frac{v_s}{L_1} \quad (8)$$

La sumatoria de corrientes en el nodo n del circuito de la figura 31 se describe en la siguiente ecuación

$$i_L = -C \frac{dv_c}{dt} \quad (9)$$

Donde v_c es el voltaje en las terminales del condensador C . El voltaje en las terminales de la carga es igual al voltaje en las terminales del condensador C . En consecuencia, la relación entre la corriente y el voltaje en la carga pueden ser descritos mediante la ecuación (10)

$$v_L = v_c = i_L R_L \quad (10)$$

La expresión que describe el cambio del voltaje en el condensador respecto al tiempo, en función de la variable v_c se presenta en la ecuación (11)

$$\frac{dv_c}{dt} = -\frac{v_c}{R_L C} \quad (11)$$

B. Modo de operación 2

El modo de operación 2, mostrado en la figura 32, ocurre cuando la entrada de voltaje v_s es positivo y los interruptores de potencia Q_1 y Q_2 están apagados. En el modo de operación 2, la corriente i_s fluye desde la fuente v_s a través del diodo de conmutación rápida D_1 , cargando el condensador C y alimentando la carga R_L . La corriente i_s regresa hacia la fuente a través del diodo D_4 . En este lapso de tiempo el inductor L_1 y la fuente suministran energía a la carga. Las ecuaciones (12) a (19) muestran la relación de los voltajes y de las corrientes en el circuito equivalente mostrado en la figura 32.

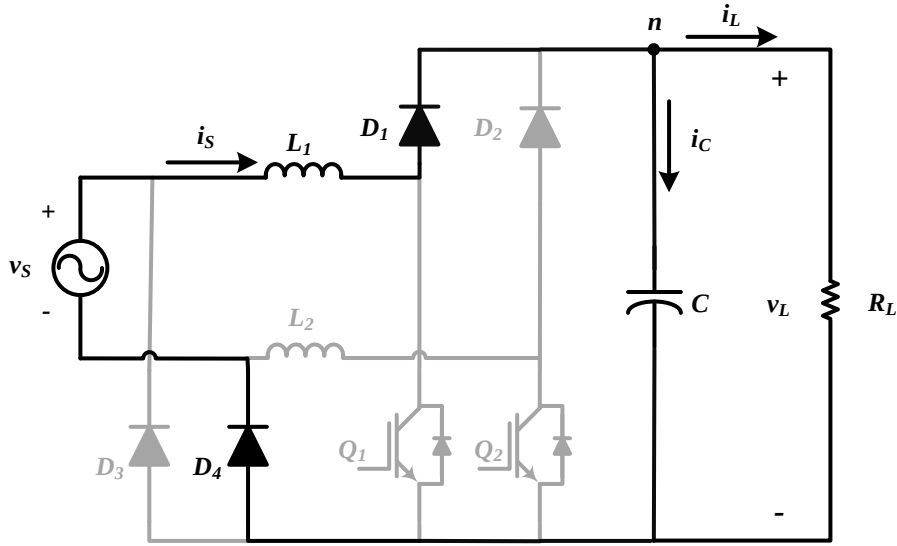


Figura 32. Diagrama esquemático del circuito equivalente del convertidor AC-DC elevador sin puente, semi-ciclo positivo de la fuente v_s y Q_1 y Q_2 en corte (apagados).

La sumatoria de voltajes alrededor de la malla izquierda en el circuito de la figura 32 puede ser representada mediante la siguiente ecuación.

$$-v_s + L_1 \frac{di_s}{dt} + v_c = 0 \quad (12)$$

Operando matemáticamente se obtiene

$$\frac{di_s}{dt} = \frac{1}{L_1} (v_s - v_c) \quad (13)$$

La sumatoria de corrientes en el nodo n da como resultado

$$i_s = i_c + i_L \quad (14)$$

La expresión que describe la corriente a través del capacitor C está dada por

$$i_c = C \frac{dv_c}{dt} \quad (15)$$

El voltaje en las terminales de la carga es igual al voltaje en las terminales del condensador, como se muestra en la siguiente expresión

$$v_c = v_L \quad (16)$$

La relación entre la corriente y el voltaje en la carga pueden ser descritos mediante la ecuación (17)

$$v_L = v_c = i_L R_L \quad (17)$$

Operando matemáticamente y con base en la ecuación (14), se puede encontrar la expresión para la corriente i_c , como se muestra a continuación

$$i_c = i_s - \frac{v_c}{R_L} \quad (18)$$

La expresión que describe el cambio del voltaje en el condensador respecto al tiempo, en función de las variables v_c y i_s se da en la ecuación (19)

$$\frac{dv_c}{dt} = \frac{i_s}{C} - \frac{v_c}{R_L C} \quad (19)$$

C. Modo de operación 3

El modo de operación 3, mostrado en la figura 33, ocurre cuando la entrada de voltaje v_s es negativa y los interruptores de potencia Q_1 y Q_2 están encendidos. En el modo de operación 3, la corriente i_s fluye desde la fuente v_s a través del interruptor Q_2 , cargando la inductancia L_2 y de regreso hacia la fuente a través del diodo D_3 . En este lapso de tiempo el capacitor de almacenamiento C se descarga, proporcionando corriente a la carga R_L . Las ecuaciones (20) y (21) representan la relación de los voltajes y corrientes en el circuito equivalente mostrado en la figura 30, reemplazando el inductor por L_2 . Como se muestra en las siguientes ecuaciones.

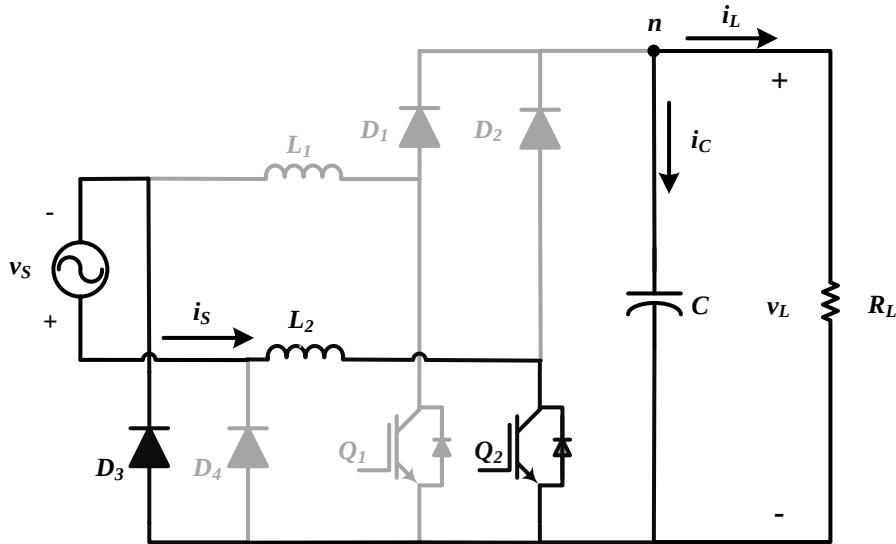


Figura 33. Diagrama esquemático del circuito equivalente del convertidor AC-DC elevador sin puente, semi-ciclo negativo de la fuente v_s y Q_1 y Q_2 en saturación (encendidos).

$$\frac{di_s}{dt} = \frac{v_s}{L_2} \quad (20)$$

$$\frac{dv_c}{dt} = -\frac{v_c}{R_L C} \quad (21)$$

Los diagramas esquemáticos de los circuitos equivalentes en el modo de operación 1 y en el modo de operación 3, figuras 31 y 33 respectivamente, permiten observar que el interruptor Q_1 funciona en el semi-ciclo positivo y el interruptor Q_2 funciona en el semi-ciclo negativo. Razón por la cual, los interruptores Q_1 y Q_2 pueden ser accionados por la misma señal de conmutación.

D. Modo de operación 4

El modo de operación 4, mostrado en la figura 34, ocurre cuando la entrada de voltaje v_s es negativa y los interruptores de potencia Q_1 y Q_2 están apagados. En el modo de operación 4, la corriente i_s fluye desde la fuente v_s a través del diodo de conmutación rápida D_2 , cargando el condensador C y alimentando la carga R_L . La corriente i_s regresa hacia la fuente a través del diodo D_3 . En este lapso de tiempo el inductor L_2 y la fuente suministran energía a la carga. Las ecuaciones (22) y (23) muestran la relación de los voltajes y corrientes en el circuito equivalente mostrado en la Figura 32, reemplazando el inductor por L_2 . La ecuación (22) muestra la ecuación que modela el cambio del voltaje v_c en función del tiempo, mientras transcurre el modo de operación 4. La ecuación (23) muestra el cambio de la corriente en la fuente respecto al tiempo.

$$\frac{di_s}{dt} = \frac{1}{L_2} (v_s - v_c) \quad (22)$$

$$\frac{dv_c}{dt} = \frac{i_s}{C} - \frac{v_c}{R_L C} \quad (23)$$

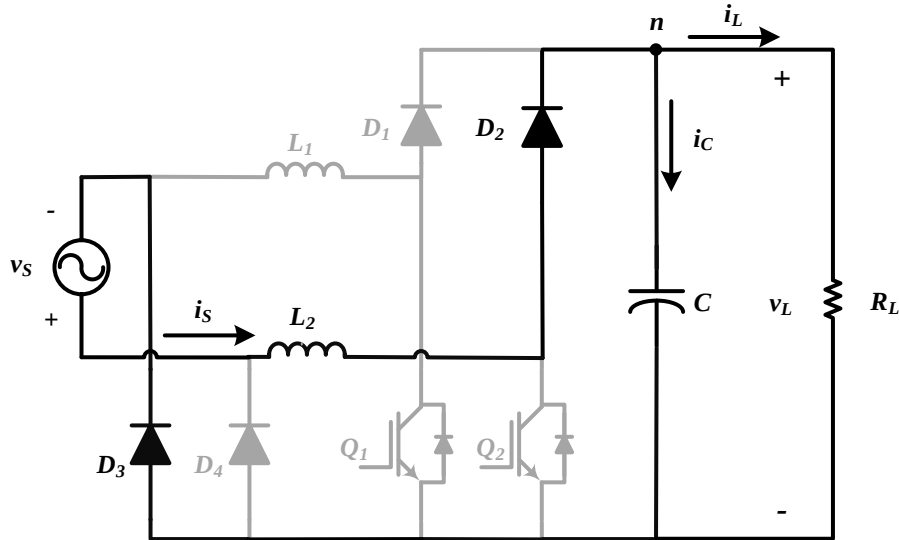


Figura 34. Diagrama esquemático del circuito equivalente del convertidor AC-DC elevador sin puente. Semi-ciclo negativo de la fuente v_s , Q_1 y Q_2 apagados.

2.5. MODELO MATEMÁTICO DEL CONVERTIDOR AC-DC ELEVADOR SIN PUENTE

La representación en espacio de estados permite describir de forma canónica las ecuaciones diferenciales que modelan el sistema. Las variables físicas de estado en el modelo del convertidor AC-DC elevador sin puente son la corriente que circula a través de los inductores L_1 y L_2 , es decir (i_s), y el voltaje en las terminales del condensador C (v_c).

Las variables independientes del sistema pueden ser seleccionadas como las variables de estado. El número de elementos que almacenan energía en el convertidor determinan el orden del sistema. El convertidor AC-DC elevador sin puente puede ser modelado por un sistema de segundo orden. Debido a que, en el semi-ciclo positivo de la fuente de voltaje, el inductor L_2 de la figura 30 está inactivo y en el semi-ciclo negativo de la fuente de voltaje, L_1 está inactivo. Los inductores L_1 y L_2 tienen el mismo valor. Razón por la cual, $L_1 = L_2 = L$ en los análisis posteriores. Las variables de estado se muestran en la ecuación (24) [54].

$$x(t) = \begin{bmatrix} i_s \\ v_c \end{bmatrix} \quad (24)$$

$$u(t) = v_s \quad (25)$$

La ecuación (25) muestra el vector de entradas ($u(t)$) del sistema. El convertidor puede ser descrito independientemente por ecuaciones de estado para cada intervalo de conmutación. En t_{enc} el modelo en espacio de estados del convertidor puede ser representado por la siguiente expresión [57].

$$\frac{dx(t)}{dt} = A_1 x(t) + b_1 u(t) \quad (26)$$

Donde A_1 y b_1 son las matrices de coeficientes del sistema.

La descripción del sistema en espacio de estados en el modelo AC de pequeña señal requiere hallar las ecuaciones que describen el sistema en cada intervalo de conmutación. Las ecuaciones (8), (11), (20) y (21) describen el comportamiento dinámico del convertidor AC-DC elevador sin puente en los modos de operación 1 y 3, es decir, cuando Q_1 y Q_2 están encendidos. La representación en espacio de estados en el encendido de los interruptores se muestra en la ecuación (24). Asumiendo que, $L_1 = L_2 = L$

$$\frac{d}{dt} \begin{bmatrix} i_s \\ v_c \end{bmatrix} = \begin{bmatrix} 0 & 0 \\ 0 & -\frac{1}{R_L C} \end{bmatrix} \begin{bmatrix} i_s \\ v_c \end{bmatrix} + \begin{bmatrix} 1 \\ 0 \end{bmatrix} \frac{1}{L} v_s \quad (27)$$

Donde las matrices de coeficientes A_1 y b_1 estan dadas por

$$A_1 = \begin{bmatrix} 0 & 0 \\ 0 & -\frac{1}{R_L C} \end{bmatrix}, b_1 = \begin{bmatrix} 1 \\ 0 \end{bmatrix} \frac{1}{L} \quad (28)$$

En el periodo de apagado de los interruptores Q_1 y Q_2 , las ecuaciones (13), (19), (22) y (23) describen el comportamiento dinámico del convertidor AC-DC elevador sin puente. En los modos de operación 2 y 4, el sistema se puede representar en espacio de estados mediante las ecuaciones (29) y (30).

$$\frac{dx(t)}{dt} = A_2 x(t) + b_2 u(t) \quad (29)$$

$$\frac{d}{dt} \begin{bmatrix} i_s \\ v_c \end{bmatrix} = \begin{bmatrix} 0 & -\frac{1}{L} \\ \frac{1}{C} & -\frac{1}{R_L C} \end{bmatrix} \begin{bmatrix} i_s \\ v_c \end{bmatrix} + \begin{bmatrix} 1 \\ 0 \end{bmatrix} v_s \quad (30)$$

Donde las matrices de coeficientes A_2 y b_2 estan dadas por

$$A_2 = \begin{bmatrix} 0 & -\frac{1}{L} \\ \frac{1}{C} & -\frac{1}{R_L C} \end{bmatrix}, b_2 = \begin{bmatrix} 1 \\ 0 \end{bmatrix} \quad (31)$$

2.5.1. Modelo en espacio de estados promedio

Las ecuaciones de estado que describen el comportamiento del convertidor en cada uno de los estados de conmutación, mientras transcurre el tiempo t_{enc} y el tiempo t_{apag} , pueden representarse por un solo sistema de ecuaciones que represente el comportamiento promedio del convertidor en un periodo de conmutación T_{conm} . El modelo promedio en espacio de estados se obtiene multiplicando las ecuaciones obtenidas en el periodo t_{enc} por D y las ecuaciones obtenidas en el periodo t_{apag} por $(1 - D)$, resultando en el siguiente conjunto de ecuaciones [57].

$$\frac{d\bar{X}}{dt} = A \bar{X} + b v_s \quad (32)$$

Donde $\bar{X}$ denota el promedio de la señal x en el intervalo de longitud T_{conm} , A y b se definen como se muestra en la siguiente ecuación.

$$A = D A_1 + D' A_2 ; b = D b_1 + D' b_2 \quad (33)$$

El error del modelo promedio en sistemas electrónicos de potencia es bajo cuando la frecuencia de corte del sistema f_c es mucho menor que la frecuencia de conmutación f_{conm} , es decir, ($f_c \ll f_{conm}$). El rizado de las señales de corriente y de voltaje se remueve del modelo promedio, promediando el valor de las señales en un periodo de conmutación [56].

Con base en las ecuaciones (6), (28), (32), (33) y (31) se obtiene el modelo promedio de convertidor de potencia AC-DC elevador sin puente, como se muestra en la ecuación (34)

$$\frac{d}{dt} \begin{bmatrix} \bar{i}_s \\ \bar{v}_c \end{bmatrix} = \begin{bmatrix} 0 & -\frac{D'}{L_1} \\ \frac{D'}{C} & -\frac{1}{R_L C} \end{bmatrix} \begin{bmatrix} \bar{i}_s \\ \bar{v}_c \end{bmatrix} + \begin{bmatrix} 1 \\ 0 \end{bmatrix} v_s \quad (34)$$

De la ecuación (34) se deduce que

$$A = \begin{bmatrix} 0 & -\frac{D'}{L_1} \\ \frac{D'}{C} & -\frac{1}{R_L C} \end{bmatrix}, b = \begin{bmatrix} \frac{1}{L_1} \\ 0 \end{bmatrix} \quad (35)$$

El ciclo de trabajo en cada periodo de conmutación es constante e independiente del tiempo. En consecuencia el sistema mostrado en la ecuación (34) es un sistema lineal y el principio de superposición puede ser aplicado al sistema, introduciendo perturbaciones pequeñas en las entradas [57]. Las perturbaciones en las entradas causan perturbaciones en el vector de estados, como se muestra en la ecuación (37).

$$v_s = \bar{V}_s + \hat{v}_s ; x = \bar{X} + \hat{x} \quad (36)$$

Donde $\bar{V}_s$ y $\bar{X}$ corresponden al valor en estado estable de la señal, es decir, el valor de la señal en el punto de operación. La superposición de las perturbaciones en el sistema de ecuaciones de estado da como resultado:

$$\frac{d\hat{x}(t)}{dt} \triangleq A \bar{X} + b \bar{V}_s + A \hat{x} + b \hat{v}_s \quad (37)$$

La separación de los términos en estado estable (DC) de los términos dinámicos (AC), permite obtener el modelo en estado estable del convertidor, que se muestra en la siguiente ecuación:

$$0 = A \bar{X} + b \bar{V}_s \quad (38)$$

La solución del vector de estados en estado estable (DC) mostrada en la ecuación (38), depende del ciclo útil de conmutación D y de la carga, pero no de los elementos que almacenan energía en el circuito (L y C).

$$\bar{X} = -A^{-1}b \bar{V}_s \quad (39)$$

$$\bar{X} = \begin{bmatrix} \bar{i}_s \\ \bar{v}_c \end{bmatrix} = \begin{bmatrix} \frac{\bar{V}_s}{R_L (1-D)^2} \\ \frac{\bar{V}_s}{(1-D)} \end{bmatrix} \quad (40)$$

2.5.2. Modelo en espacio de estados de pequeña señal

Suponiendo ahora que el ciclo útil de conmutación puede ser actualizado en cada periodo de conmutación, es decir

$$d(t) = D + \hat{d} \quad (41)$$

La ecuación resultante luego de aplicar el principio de superposición con el término mostrado en la ecuación (41) a la ecuación (37) se muestra a continuación:

$$\frac{d\hat{x}(t)}{dt} \triangleq A \bar{X} + b \bar{V}_s + \underbrace{(A \hat{x} + b \hat{v}_s)}_{\text{NO LINEAL}} \hat{d} \quad (42)$$

La ecuación de estado del convertidor de potencia AC-DC elevador sin puente, (ecuación (42)), tiene términos no lineales que describen la presencia del producto de dos variables. La aplicación de las técnicas de control lineal requiere el modelo lineal alrededor de un punto de operación.

2.5.3. Modelo lineal en espacio de estados de pequeña señal

La amplitud de la señal de perturbación es pequeña, comparándola con el valor de la señal en estado estable, es decir

$$\bar{V}_s \gg \hat{v}_s, \quad \bar{X} \gg \hat{x}, \quad D \gg \hat{d} \quad (43)$$

El sistema de ecuaciones de estado mostrado en la ecuación (42) puede ser aproximado por un sistema lineal de segundo orden, usando la ecuación (43). La parte estática (DC) puede ser separada de la parte dinámica (AC) en el modelo [57]. La ecuación (44) muestra el resultado de la parte dinámica.

$$\frac{d\hat{x}(t)}{dt} \triangleq A \hat{x} + b \hat{v}_s + f \hat{d} \quad (44)$$

Donde f se define en la ecuación (45), A y b son definidas en la ecuación (35)

$$f = (A_1 - A_2) \bar{X} + (b_1 - b_2) \bar{V}_s \quad (45)$$

El modelo lineal de pequeña señal del convertidor AC-DC elevador sin puente se muestra en la ecuación (46).

$$\frac{d}{dt} \begin{bmatrix} \hat{v}_s(t) \\ \hat{v}_c(t) \end{bmatrix} \triangleq \underbrace{\begin{bmatrix} 0 & -\frac{D'}{L} \\ \frac{D'}{C} & -\frac{1}{R_L C} \end{bmatrix}}_A \begin{bmatrix} \hat{v}_s(t) \\ \hat{v}_c(t) \end{bmatrix} + \underbrace{\begin{bmatrix} \frac{1}{L} \\ 0 \end{bmatrix}}_b \hat{v}_s + \underbrace{\begin{bmatrix} \frac{\bar{V}_s}{L(1-D)} \\ -\frac{\bar{V}_s}{R_L C(1-D)^2} \end{bmatrix}}_f \hat{d} \quad (46)$$

2.5.4. Funciones de transferencia del convertidor AC-DC elevador sin puente

Las ecuaciones (44) y (46) corresponden al modelo de pequeña señal a baja frecuencia del convertidor AC-DC elevador sin puente. Las funciones de transferencia de convertidor de potencia se pueden obtener a partir del modelo de pequeña señal lineal presentado en la ecuación (46). La relación entre las variables de estado y la salida puede ser obtenida mediante la ecuación (47).

$$\frac{\hat{X}(S)}{\hat{V}_s(S)} = (SI - A)^{-1}b, \quad \text{con } \hat{d} = 0 \quad (47)$$

La relación entre las variables de estado y el ciclo de trabajo útil se obtiene mediante la ecuación (48).

$$\frac{\hat{X}(S)}{\hat{d}(S)} = (SI - A)^{-1}f, \quad \text{con } \hat{v}_s = 0 \quad (48)$$

En las ecuaciones (49), (50), (51), (52) y (53) se muestran las ecuaciones diferenciales que modelan el sistema en función del ciclo de trabajo útil.

$$\frac{\hat{X}(S)}{\hat{d}(s)} = \frac{\left[\frac{\hat{I}_s(S)}{\hat{V}_c(S)} \right]}{\hat{d}(s)} \triangleq \frac{1}{S^2 + \frac{S}{R_L C} + \frac{D'^2}{LC}} \left[\begin{aligned} &\left(S + \frac{1}{R_L C} \right) \left(\frac{\bar{V}_s}{L D'} \right) + \frac{\bar{V}_s D'}{R_L L C D'^2} \\ &\frac{\bar{V}_s}{LC} - \frac{\bar{V}_s S}{R_L C D'^2} \end{aligned} \right] \quad (49)$$

$$\left. \frac{\hat{v}_c(S)}{\hat{d}(s)} \right|_{\hat{v}_s(s)=0} \triangleq \frac{\bar{V}_s}{(1-D)^2} \frac{\left(1 - \frac{L}{R_L(1-D)^2} S \right)}{\frac{LC}{(1-D)^2} S^2 + \frac{L}{R_L(1-D)^2} S + 1} \quad (50)$$

$$\left. \frac{\hat{I}_s(S)}{\hat{d}(s)} \right|_{\hat{v}_s(s)=0} \triangleq \frac{\bar{V}_s}{R_L(1-D)^3} \frac{(2 + R_L C S)}{\frac{LC}{(1-D)^2} S^2 + \frac{L}{R_L(1-D)^2} S + 1} \quad (51)$$

$$\left. \frac{\hat{v}_c(S)}{\hat{v}_s(s)} \right|_{\hat{d}(s)=0} \triangleq \frac{1}{(1-D)} \frac{1}{\frac{LC}{(1-D)^2} S^2 + \frac{L}{R_L(1-D)^2} S + 1} \quad (52)$$

$$\left. \frac{\hat{I}_s(S)}{\hat{v}_s(s)} \right|_{\hat{d}(s)=0} \triangleq \frac{1}{R_L(1-D)^2} \frac{1 + R_L C S}{\frac{LC}{(1-D)^2} S^2 + \frac{L}{R_L(1-D)^2} S + 1} \quad (53)$$

2.6. CALCULO DEL VALOR DE LOS COMPONENTES DEL CONVERTIDOR DE POTENCIA AC-DC ELEVADOR SIN PUENTE

La tabla 4 muestra las especificaciones técnicas del convertidor AC-DC elevador sin puente implementado en el laboratorio. Los valores de los componentes del convertidor pueden ser seleccionados con base en las especificaciones funcionales deseadas.

Tabla 4. Especificaciones del convertidor AC-DC elevador sin puente

Especificación	Valor
Voltaje mínimo en la entrada ($V_{ent(min)}$), $(\sqrt{2} 120 - 10\%)$	152,7 V
Voltaje máximo en la entrada ($V_{ent(max)}$), $(\sqrt{2} 120 + 10\%)$	186,7 V
Frecuencia de línea (f_L)	60 Hz
Voltaje regulado en la salida (V_{sal})	200 V
Voltaje máximo en la salida ($V_{sal(max)}$)	350 V
Potencia máxima de salida ($P_{sal(max)}$)	850W
Frecuencia de conmutación (f_{conm})	40KHz
Variación en el voltaje de salida ($\Delta v_{c(max)}$)	10 V
Rizado máximo en la corriente de entrada ($\Delta i_{s(max)}$)	1 A
Eficiencia estimada (η)	>90%

2.6.1. Cálculo del valor de las inductancias

El valor las inductancias L_1 y L_2 puede ser calculado con base en las ecuaciones dinámicas que modelan el comportamiento del convertidor AC-DC elevador sin puente en el tiempo que se cargan las inductancias L_1 y L_2 . Es decir, en el tiempo de encendido de los interruptores Q_1 y Q_2 . La ecuación (54) modela el comportamiento dinámico del convertidor en el periodo de la carga de las inductancias L_1 y L_2 (mirar la figura 30)

$$-v_s + L \frac{di_s}{dt} = 0 \quad (54)$$

Asumiendo que la $f_{conm} \gg f_{linea}$, donde f_{linea} es la frecuencia de la línea de 60Hz, y asumiendo que los cambios de la corriente son lineales respecto al tiempo. Entonces $dt \triangleq \Delta t$. Es decir, la corriente i_s cambia aproximadamente de forma lineal en T_{encen} . Además, se asume que v_s no tiene cambios significativos en T_{encen} . Es decir, $v_s \triangleq \bar{V}_s$ en T_{encen} . Con base en las suposiciones anteriores la ecuación (54) puede ser modificada como se muestra a continuación.

$$L = \frac{\bar{V}_s \Delta t}{\Delta i_s} = \frac{\bar{V}_s T_{encen}}{\Delta i_s} = \frac{\bar{V}_s D T_{conm}}{\Delta i_s} \quad (55)$$

La ecuación (40) muestra la solución del modelo en estado estable del convertidor AC-DC elevador sin puente. Con base en esta ecuación es posible determinar el valor del ciclo de trabajo D

$$D = 1 - \frac{\bar{V}_s}{\bar{V}_c} \quad (56)$$

De las ecuaciones (55) y (56) es posible encontrar la expresión matemática que permite calcular el valor de las inductancias L_1 y L_2 que requiere el convertidor AC-DC elevador sin puente para satisfacer las especificaciones mostradas en la tabla 4.

$$L = \frac{\bar{V}_s}{\Delta i_s f_{conm}} \left(1 - \frac{\bar{V}_s}{\bar{V}_c} \right) = \frac{\bar{V}_s (\bar{V}_c - \bar{V}_s)}{\Delta i_s f_{conm} \bar{V}_c} \quad (57)$$

El cálculo del valor de los componentes en el convertidor de potencia se hace con base en las peores condiciones de funcionamiento, como se muestra en la ecuación (58).

$$L \geq \frac{v_{s(min)} (v_{c(max)} - v_{s(min)})}{\Delta i_{s(max)} f_{conm} v_{c(max)}} \quad (58)$$

La corriente que circula por los inductores L_1 y L_2 es máxima cuando el voltaje de entrada v_s es mínimo y la potencia en la carga es máxima. La corriente máxima que circula por el inductor ($I_{s(max)}$) puede ser calculada con base en las especificaciones mostradas en la tabla 4 mediante la ecuación (59) [58].

$$I_{ent(max)} = \frac{\sqrt{2} P_{sal(max)}}{\eta V_{ent(min)}} \quad (59)$$

La ecuación (60) permite calcular la corriente efectiva que circula a través del inductor [58]

$$I_{ent(rms)} = \frac{P_{sal(max)}}{\eta V_{ent(min)}} \quad (60)$$

El valor de la inductancia mínima para cada rama del convertidor AC-DC elevador sin puente determina la corriente pico, el rizado de la corriente, el rizado del voltaje en la salida, el estrés eléctrico y las pérdidas de potencia en los componentes semiconductores. Usualmente, el valor de la inductancia alto disminuye el rizado de corriente y el rizado del voltaje. No obstante, el valor de la inductancia alto aumenta el tamaño, el peso y el costo del inductor. En contraste, el valor de la inductancia bajo incrementa el rizado de la corriente y el rizado del voltaje.

2.6.2. Cálculo del valor del condensador

El diseño del valor del condensador C puede ser logrado con base en las ecuaciones dinámicas que modelan el comportamiento del convertidor AC-DC elevador sin puente en el tiempo que se descarga el condensador. La ecuación (61) modela el comportamiento dinámico en la descarga del condensador C (mirar la Figura 30)

$$C \frac{dv_c}{dt} = i_c \quad (61)$$

Asumiendo que el voltaje de rizado es pequeño en el tiempo de descarga del condensador. Entonces $dt \triangleq \Delta t$. Es decir, El voltaje v_c cambia aproximadamente de forma lineal en el periodo de descarga del condensador. Con base en las suposiciones anteriores la ecuación (61) puede ser modificada como se muestra a continuación.

$$C = \frac{i_L \Delta t}{\Delta v_c} = \frac{i_L}{2 f_{linea} \Delta v_c} \quad (62)$$

Donde i_c es la corriente de descarga del condensador e i_L es la corriente suministrada a la carga. Es decir, $i_c = i_L$ en el periodo de descarga del condensador. La ecuación (63) permite calcular el valor

del condensador del convertidor AC-DC elevador sin puente para la peor condición de funcionamiento.

$$C \geq \frac{i_{L(max)}}{2 f_{linea} \Delta v_{c(max)}} \quad (63)$$

La tabla 5 muestra un resumen de los valores y referencia de los elementos usados en la implementación experimental y las simulaciones del convertidor AC-DC elevador sin puente.

Tabla 5. Valor de los elementos del convertidor AC-DC elevador sin puente

Parámetro	Valor
Inductancias	3,75 mH
Capacitancia de salida	2,5 mF
Diodos rectificadores	KBPC1510, 10A, 1000V
Interruptores	IGBT IRG4PC50UD
Diodos de conmutación rápida	QH12T Z600 DIODO SCHOTTKY, 600V, 12A

2.7. SISTEMA DE CONTROL PARA EL CONVERTIDOR AC-DC ELEVADOR SIN PUENTE

La estructura básica del sistema de control para el convertidor AC-DC elevador con corrección activa del factor de potencia se muestra en la figura 35. El sistema tiene dos lazos de control. El lazo externo de control de voltaje y el lazo interno de control de corriente. La función del controlador de voltaje es regular el voltaje de salida del convertidor AC-DC (v_L) y la función del controlador de corriente es controlar la forma de onda de la señal de corriente en la fuente i_s del convertidor AC-DC, reduciendo la THD_i y en consecuencia aumentando el PF .

En el lazo lento de control de voltaje, la señal medida del voltaje en el condensador (v_L) puede ser filtrada para reducir el rizado de 120 Hz. El filtrado permite obtener una señal con el ancho de banda reducido a partir de la señal V_L medida, evitando que el rizado de 120 Hz llegue hasta el controlador de corriente. En consecuencia se reduce la THD_i [59]. El efecto del rizado de 120 Hz en el control del PF de la corriente en la entrada también puede ser reducido utilizando técnicas de pre alimentación [60], [61]. La señal v_L filtrada se compara con el valor de voltaje de referencia que se desea en la carga (V_{ref}). El resultado de la comparación, es decir la señal de error, es procesado por el controlador de voltaje. Usualmente, el controlador de voltaje tiene la estructura de un controlador PI, seguido de una función que limita el rango de valores que puede alcanzar la acción de control. La señal de salida del controlador (I_{ref}) se multiplica con la señal $|\sin(\omega t)|$, suministrando al lazo rápido de control de corriente la señal de referencia (i_{ref}). La señal i_{ref} tiene la amplitud de la acción del controlador de voltaje y la forma de onda de la señal de voltaje de la fuente (v_s) rectificada. El lazo de control de corriente regula el PF en la fuente, generando la señal de conmutación del interruptor en el convertidor de potencia (d) (ver figura 35).

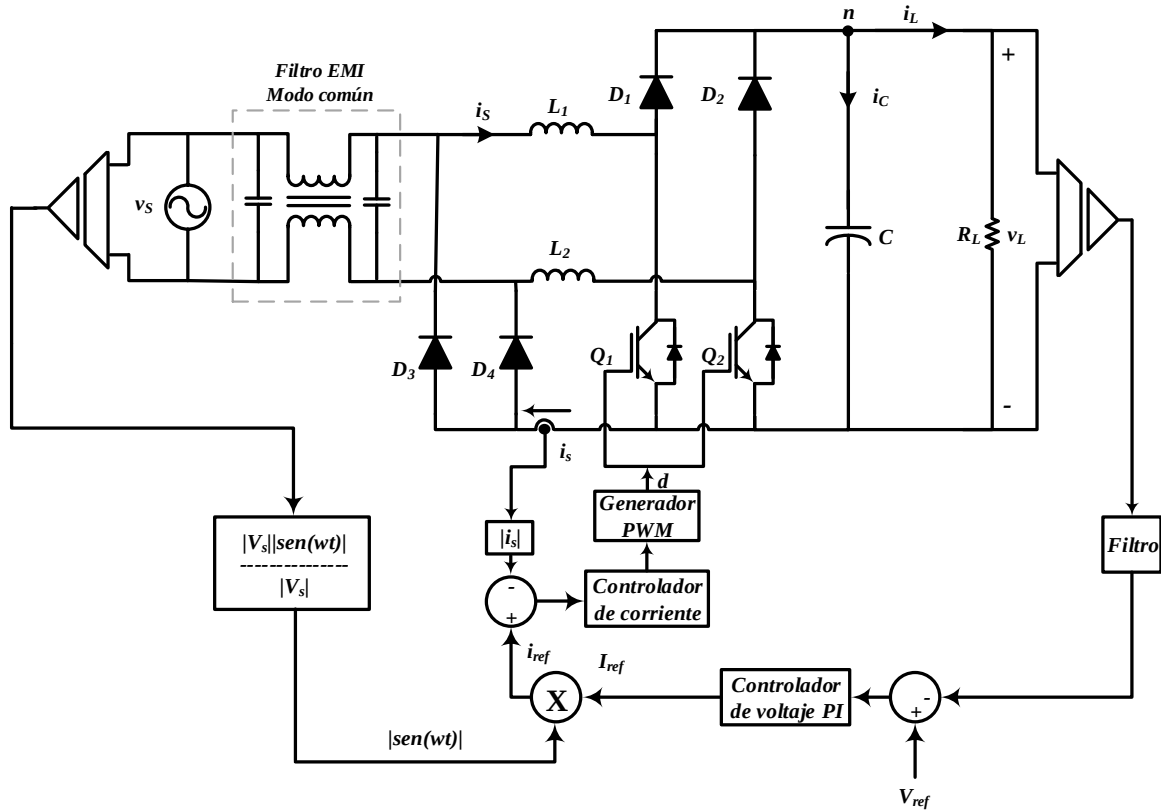


Figura 35. Estructura del sistema de control del convertidor AC-DC elevador sin puente con corrección del factor de potencia

Algunos de los tipos de control de corriente documentados en la literatura técnica son: el control de la corriente pico [62], el control de la corriente promedio [63], el control predictivo [30], el control por histéresis[64], [65] y el control lineal. A continuación, se hace una descripción de los tipos de control de corriente, enfatizando en sus ventajas y desventajas.

2.8. SISTEMAS DE CONTROL DE CORRIENTE REPORTADOS EN LA LITERATURA

2.8.1. Sistema de control de la corriente pico

La estructura del controlador de la corriente pico se muestra en la figura 36. En este controlador, la corriente del inductor (i_s) se compara con la señal de referencia que provee el controlador de voltaje (i_{ref}). El resultado de la comparación es la señal de apagado del interruptor. La señal de encendido del interruptor es suministrada por la señal de reloj. Cuando se presenta la señal de reloj, el interruptor se enciende y el inductor se carga. Cuando i_s es mayor que i_{ref} se apaga el interruptor, permaneciendo apagado hasta el siguiente ciclo del reloj. La acción del controlador de corriente obliga a la corriente pico del inductor a seguir la forma de onda de i_{ref} [66].

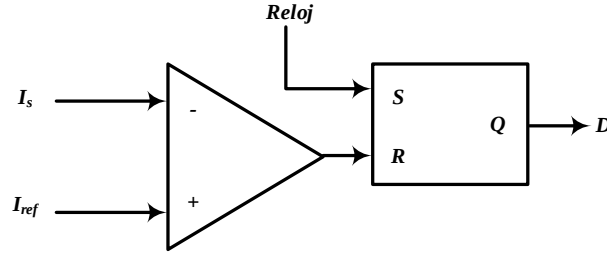


Figura 36. Estructura del sistema de control de la corriente pico

La frecuencia de conmutación es constante en el sistema de control de la corriente pico. Sin embargo, el sistema de control de la corriente pico es sensible al ruido eléctrico. El ruido eléctrico conducido puede ser producido por la conmutación del interruptor. Además, el THD_i se incrementa significativamente cuando se reduce el voltaje de entrada o se aumenta la potencia en la carga. Se necesita entonces compensar la señal de referencia en el controlador de corriente con una rampa. Se presentan también armónicos en la corriente de la fuente cuando el ciclo útil de la conmutación es mayor de 0.5 [66], [67].

2.8.2. Sistema de Control de la corriente promedio

Para el sistema de control de la corriente promedio, el amplificador de error de la figura 37, filtra los armónicos de alta frecuencia en la señal i_s y luego compara i_s con i_{ref} . La señal de PWM que conmuta el interruptor se obtiene a partir de la comparación de la señal moduladora proveniente del amplificador de error y de la señal portadora que tiene la forma de onda triangular. La frecuencia de la señal portadora determina la frecuencia de conmutación en el sistema de control de la corriente promedio [68].

El sistema de control de la corriente promedio se caracteriza por ser menos sensible al ruido de la conmutación, debido a que la señal de corriente pasa a través del filtro pasa bajas en el amplificador de error. Además, la frecuencia de conmutación es constante y el ciclo útil de conmutación puede ser cercano a uno. Sin embargo, el sistema de control de la corriente promedio requiere de un amplificador de error, que debe ser diseñado cuidadosamente para los diferentes puntos de operación del convertidor. El amplificador de error usualmente se implementa con base en elementos analógicos, debido a que su implementación digital implica la realización de una cantidad significativa de cálculos matemáticos [64].

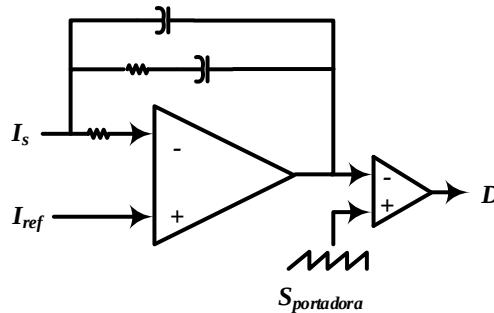


Figura 37. Estructura del sistema de control de la corriente promedio

2.8.3. Sistema de control predictivo de la corriente

La estructura del sistema de control de corriente predictivo se muestra en la figura 38. En cada periodo de conmutación, este sistema de control predice el ciclo útil de la señal de conmutación del interruptor para que la corriente del inductor siga la corriente de referencia. El sistema de control predictivo de

la corriente requiere del modelo discreto detallado del convertidor. La predicción del siguiente ciclo útil D se hace con base en la frecuencia de conmutación F_{comm} , el error actual ($i_{ref} - i_s$), el modelo del convertidor, el valor actual del voltaje en la carga v_L y el valor actual del voltaje en la fuente v_s . Este sistema de control puede reducir la THD_i y mejorar la respuesta dinámica del convertidor de potencia. Sin embargo, las variaciones en los parámetros del convertidor respecto a los parámetros del modelo y la imprecisión en el modelo generan inestabilidad en el sistema. Además, el sistema de control predictivo de la corriente debe ser programado en un procesador digital con potencia de cálculo elevada y con frecuencia de muestreo alta [69]–[71].

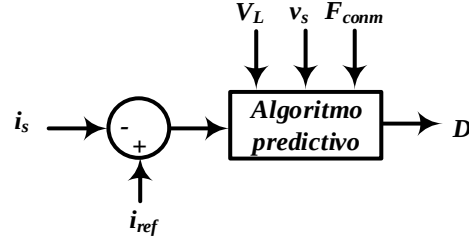


Figura 38. Estructura del sistema de control predictivo de la corriente

2.8.4. Sistema de control de la corriente por histéresis

La estructura del sistema de control de la corriente por histéresis se muestra en la figura 39. En esta estructura, la corriente del inductor i_s se mide y se compara con la banda de histéresis (BH). La banda de histéresis determina los límites máximos y mínimos que puede alcanzar i_s . El límite superior de la banda de histéresis (i_{sup}) puede ser determinados por la ecuación (64) y el límite inferior de la banda de histéresis (i_{inf}) puede ser determinado por las ecuación (65). La señal de encendido del interruptor se produce cuando i_s es menor que i_{inf} , permitiendo la carga del inductor. La señal de apagado del interruptor se produce cuando i_s es mayor que i_{sup} , permitiendo la descarga del inductor a través del condensador y la carga. La amplitud de la banda de histéresis determina la amplitud del rizado en la señal i_s y la frecuencia máxima de conmutación del interruptor [39].

$$i_{sup} = i_{ref} + BH \quad (64)$$

$$i_{inf} = i_{ref} - BH \quad (65)$$

El algoritmo de control de corriente por histéresis se caracteriza por ser simple, preciso y robusto. Sin embargo, la frecuencia de conmutación es variable y depende de la amplitud de la banda de histéresis. Es decir, la selección de una banda de conmutación estrecha implica el incremento en la frecuencia de conmutación [36]. La Figura 39 muestra la implementación en lenguaje C del algoritmo de control por histéresis.

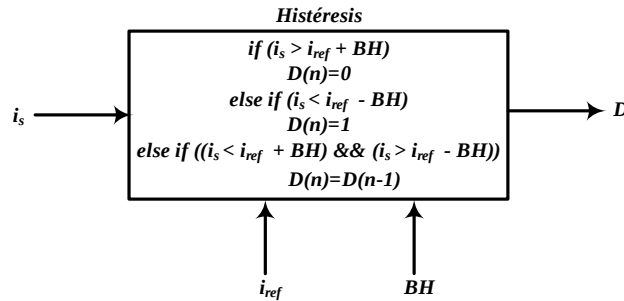


Figura 39. Estructura del sistema de control de la corriente de histéresis

2.8.5. Sistema de control lineal de corriente

La estructura del sistema de control lineal de la corriente se muestra en la figura 40. En esta estructura, la corriente del inductor i_s se mide y se compara con la corriente de referencia i_{ref} . El resultado de la comparación o la señal de error, es procesado por el controlador lineal PI. La señal de PWM que conmuta el interruptor se obtiene a partir de la comparación de la señal moduladora proveniente del controlador PI y de la señal portadora que tiene forma de onda triangular. La frecuencia de la señal portadora determina la frecuencia de conmutación del interruptor. La frecuencia de conmutación es constante con el ancho de pulso variable. El controlador lineal debe ser sintonizado para controlar la forma de onda de la corriente en la entrada. El sistema de control lineal de la corriente es fácil de implementar con sistemas analógicos o discretos. Sin embargo, el sistema de control lineal debe hacer seguimiento de la señal de referencia de la corriente, razón por la cual, es recomendable que el ciclo de cálculo de la acción de control sea rápido respecto al periodo de la señal rectificada de voltaje de la fuente [72].

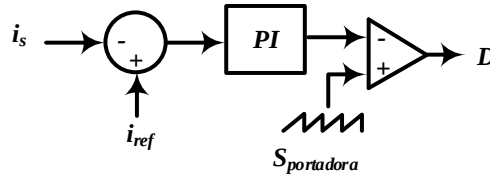


Figura 40. Estructura del sistema de control lineal de la corriente

La tabla 6 muestra que los sistemas de control por histéresis y lineal tienen ventajas comparativas respecto al sistema de control predictivo. La estructura del sistema de control predictivo suele ser compleja y la amplitud de la señal portadora usada en la modulación es variable. Esto aumenta el grado de complejidad de la implementación práctica del sistema.

Tabla 6. Comparación cualitativa de los sistemas de control de corriente por histéresis, predictivo y lineal [72]

Parámetro	Tipo de control de corriente		
	Histéresis	Predictivo	Lineal
Estructura	Simple	Compleja	Simple
Respuesta dinámica	Rápida	Muy Rápida	Rápida
Frecuencia de conmutación	Variable	Constante	Constante
Amplitud de la señal portadora		Variable	Constante
Cantidad de sensores necesarios	Menor	Mayor	Menor
Costo	Bajo	Alto	Bajo

2.9. SISTEMA DE CONTROL EN LAZO CERRADO DEL CONVERTIDOR AC-DC ELEVADOR SIN PUENTE

El convertidor AC-DC elevador con corrección de potencia ideal funciona como una carga resistiva para la fuente de alimentación, manteniendo el voltaje regulado en la salida del convertidor. La corrección del factor de potencia requiere reducir la distorsión armónica y corregir la forma de onda de la señal de corriente, haciéndola sinusoidal y en fase con la señal de voltaje en la fuente. El controlador corrige la forma de onda de la señal de corriente con base en la señal sinusoidal de referencia, monitoreando la señal de voltaje en la fuente de alimentación.

El diseño de los controladores de corriente y voltaje se realiza mediante el método de ubicación geográfica de las raíces. La respuesta transitoria de un sistema dinámico se relaciona con la ubicación de los polos de la ecuación característica. El sistema de control en lazo cerrado cambia la ubicación

geográfica de los polos, modificando el comportamiento dinámico del convertidor de potencia. Las características de desempeño del sistema en lazo cerrado cambian en función de la ganancia del sistema. El método de ubicación geográfica de las raíces permite observar gráficamente como se mueven los polos del sistema en función del cambio de la ganancia, permitiendo seleccionar la ganancia correcta del controlador. Para el diseño del sistema de control se hace un análisis de magnitud y de fase mediante las trazas de Bode o trazas logarítmicas. Las trazas de bode están formadas por dos gráficas: 1) la gráfica de magnitud que muestra la magnitud de la función de transferencia contra la frecuencia, y 2) la gráfica de fase muestra el ángulo de fase de la función de transferencia contra la frecuencia. Las dos graficas están en escala logarítmica. La información del desempeño del sistema dinámico respecto a la frecuencia permite ajustar el ancho de banda del controlador de corriente para que pueda hacer seguimiento de la forma de onda sinusoidal de referencia. La información del desempeño del sistema contra la frecuencia permite diseñar el controlador de voltaje con el ancho de banda necesario para que rechace las oscilaciones de baja frecuencia. Estas causadas por el rizado en el voltaje a la salida del convertidor de potencia y las perturbaciones debidas a la conmutación de los interruptores [55], [73].

La figura 41 muestra el diagrama de bloques del sistema de control del convertidor AC-DC elevador sin puente. Los bloques G_v y G_i forman el convertidor de potencia que es controlado en lazo cerrado por los controladores C_v y C_i .

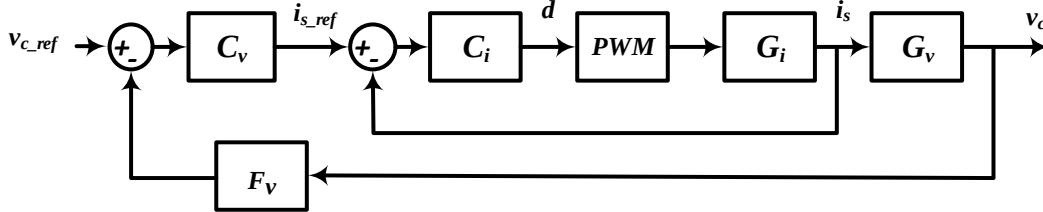


Figura 41. Diagrama de bloques del sistema de control

$$G_i(s) = \frac{\hat{i}_s(s)}{\hat{d}(s)} , \quad G_v(s) = \frac{\hat{v}_c(s)}{\hat{i}_s(s)} , \quad C_i(s) = \frac{\hat{d}(s)}{e_i(s)} , \quad C_v(s) = \frac{i_{s_ref}(s)}{e_v(s)} \quad (66)$$

Donde $G_i(s)$ es la función de transferencia de la corriente de la fuente respecto al ciclo de trabajo útil, $G_v(s)$ es la función de transferencia del voltaje en la carga respecto a la corriente en la fuente, $C_i(s)$ es la función de transferencia del controlador de corriente, $C_v(s)$ es la función de transferencia del controlador de voltaje, $e_i(s)$ es la señal de error al comparar la corriente de referencia y la corriente medida en la fuente y $F_v(s)$ es filtro pasa bajas. La función del filtro pasa bajas es reducir el rizado de 120Hz, evitando que el rizado en la señal de voltaje v_c afecte el funcionamiento del controlador de corriente C_i .

2.9.1. Función de transferencia del modulador PWM

La señal de modulación de ancho de pulso se genera por la comparación de la señal de ciclo útil suministrada por el controlador de corriente y una señal triangular de amplitud unitaria. La frecuencia de conmutación de los interruptores es igual a la frecuencia de la señal triangular [74]. La función de transferencia en pequeña señal del modulador PWM se muestra en la ecuación (67) .

$$PWM(s) = \frac{1}{v_{triang}} = 1 \quad (67)$$

Donde $\overline{v_{triang}}$ es la amplitud máxima de la señal triangular que funciona como señal portadora. Las simulaciones y la implementación experimental usan $\overline{v_{triang}} = 1$.

2.9.2. Función de transferencia del filtro pasa bajas

El filtro pasa bajas $F_v(s)$ está compuesto por un integrador. El tiempo de acción integral se puede ajustar para lograr la frecuencia de corte deseada. La función de transferencia de $F_v(s)$ se muestra en la ecuación (68).

$$F_v(s) = \frac{1}{1 + T_i s} = \frac{1}{1 + 0,005 s} \quad (68)$$

Donde T_i es el tiempo de acción integral del filtro. La figura 43 muestra el diagrama de magnitud y de fase del filtro $F_v(s)$. La frecuencia de corte del filtro se selecciona en 30Hz. La magnitud es cero a bajas frecuencias, proporcionando ganancia unitaria en este rango de frecuencias.

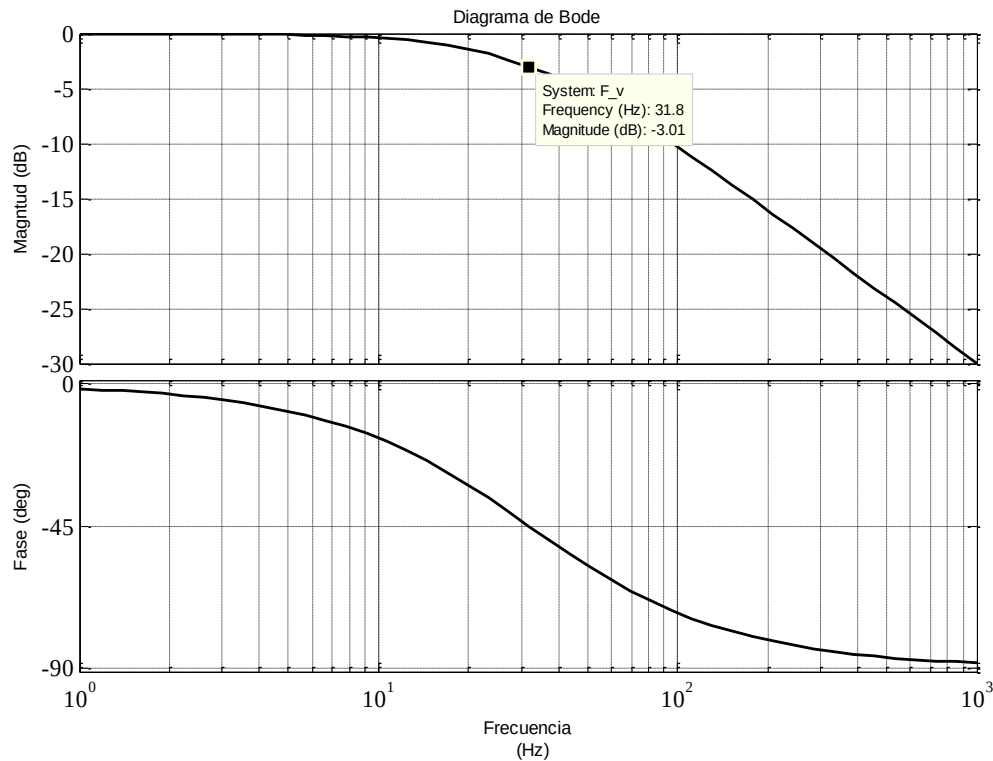


Figura 42. Diagrama de bode del filtro $F_v(s)$

2.9.3. Diseño del sistema de control de corriente

La función de transferencia $G_i(s)$ se muestra en la ecuación (69), en función de los parámetros del sistema mostrados en la tabla 5.

$$\frac{\hat{i}_s(s)}{\hat{d}(s)} = \frac{\bar{V}_s}{R_L(1-D)^3} \frac{(2 + R_L C s)}{\frac{LC}{(1-D)^2} s^2 + \frac{L}{R_L(1-D)^2} s + 1} \quad (69)$$

$$= \frac{0.6944 s + 8.333}{1.302 \times 10^{-5} s^2 + 7.81 \times 10^{-5} s + 1}$$

Las dos raíces complejas y conjugadas de la ecuación característica se muestran en la ecuación (70). Las dos raíces tienen la parte real negativa. En consecuencia, la corriente en la fuente es estable en lazo abierto.

$$r_1 = -3 + 277,16i, \quad r_2 = -3 - 277,16i \quad (70)$$

Usualmente, la acción de control derivativa se obvia en las aplicaciones de electrónica de potencia. Debido a que, la acción de control derivativa funciona como un filtro pasa altas, acentuando el ruido de alta frecuencia producido en la conmutación de los interruptores. La función de transferencia del controlador lineal PI se muestra en la ecuación (71) y la función de transferencia en lazo cerrado se muestra en la ecuación (72).

$$C_i(s) = K_{pi} + \frac{K_{ii}}{s} = \frac{K_{pi}s + K_{ii}}{s} \quad (71)$$

Donde K_{pi} es la ganancia proporcional del controlador de corriente y el K_{ii} es la ganancia integral. La ganancia K_{pi} permite cambiar la ubicación de los polos del sistema en lazo cerrado para mejorar el tiempo de respuesta y obtener un sistema en lazo cerrado más estable que el sistema en lazo abierto. La ganancia K_{ii} permite reducir el error en estado estacionario. El controlador de corriente deberá hacer seguimiento a una señal sinusoidal rectificada.

$$G_{i_LC}(s) = \frac{\hat{i}_s(s)}{\hat{i}_{s_ref}(s)} = \frac{C_i(s) G_i(s)}{1 + C_i(s) G_i(s)} \quad (72)$$

Las especificaciones de desempeño del sistema de control de corriente se muestran en la Tabla 7.

Tabla 7. Especificaciones de desempeño del sistema de control de corriente.

Parámetro	Valor
error en estado estacionario	<5%
tiempo de estabilización	<15ms

La figura 43 muestra la ubicación geográfica de los polos y los ceros de la función de transferencia $G_i(s)$ en lazo abierto. Este diagrama de polos y ceros se obtiene mediante el comando *rlocus* con el software MATLAB. El diagrama de la ubicación de los polos y los ceros muestra que el sistema es estable para cualquier ganancia K_{pi} que se le asigne al controlador de corriente $C_i(s)$, dando libertad al diseñador de ajustar la ganancia para satisfacer las especificaciones de desempeño del sistema de control.

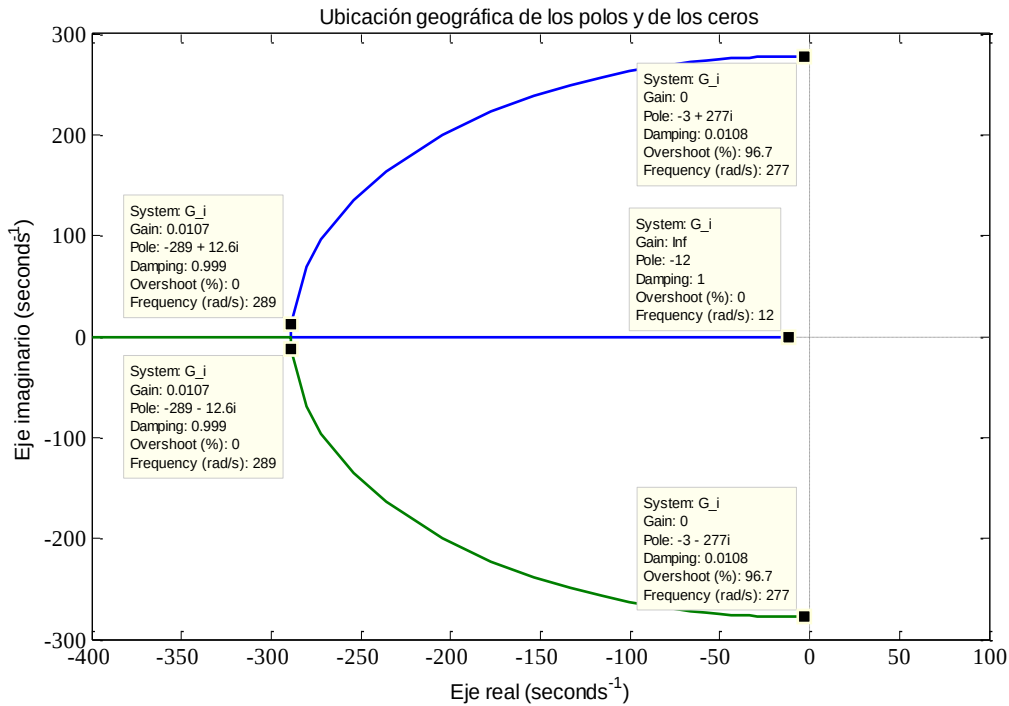


Figura 43. Ubicación geográfica de las raíces del sistema $G_i(s)$ en lazo abierto

La figura 44 muestra el diagrama de bode de la función de transferencia $G_i(s)$ en lazo abierto. El ancho de banda del sistema de control debe ser mucho mayor que la frecuencia de resonancia del sistema en lazo abierto.

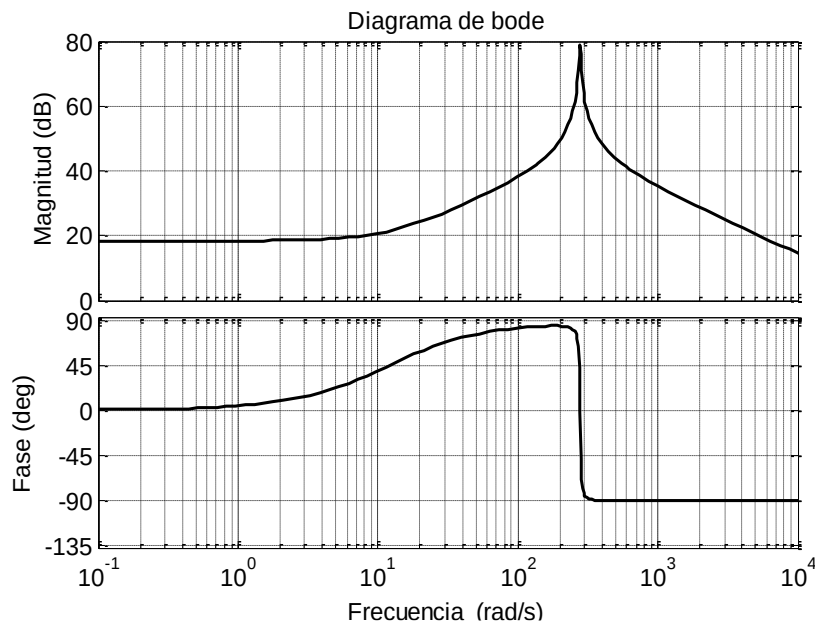


Figura 44. Diagrama de bode del sistema $G_i(s)$ en lazo abierto

La ecuación (73) muestra el sistema de control seleccionado para satisfacer las especificaciones de desempeño mostradas en la tabla 7.

$$C_i(s) = \frac{K_{pi}S + K_{ii}}{S} = \frac{10S + 2}{S} \quad (73)$$

La figura 45 muestra la ubicación de los polos y de los ceros del sistema en lazo cerrado conformado por $C_i(s)$ y $G_i(s)$ con realimentación unitaria. La ubicación de los polos del sistema en lazo cerrado permite observar que el sistema en lazo cerrado tiene el factor de amortiguamiento unitario, reduciendo las oscilaciones de alta frecuencia en la señal de corriente y disminuyendo la THD.

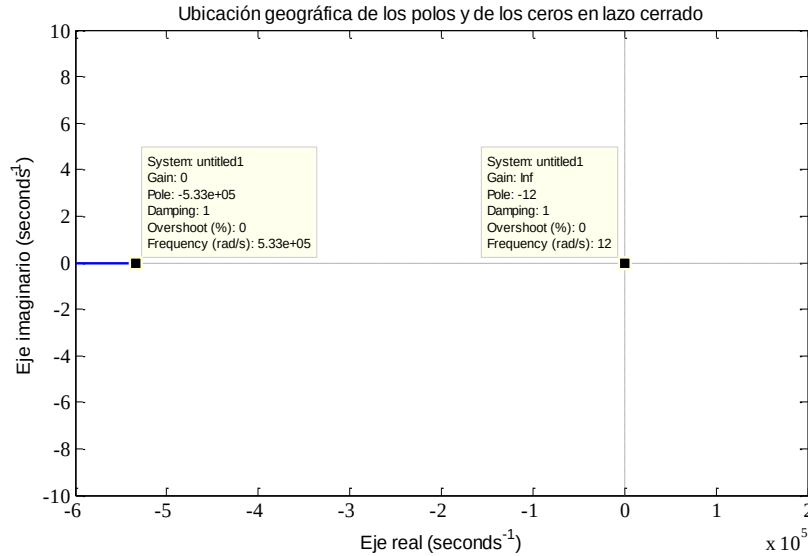


Figura 45. Ubicación geográfica de las raíces del sistema $C_i(s) G_i(s)$ en lazo cerrado

La figura 46 muestra el diagrama de bode del sistema en lazo cerrado conformado por $C_i(s)$ y $G_i(s)$ con realimentación unitaria. El diagrama de magnitud muestra que el ancho de banda del sistema en lazo cerrado es mucho mayor que la frecuencia de resonancia del sistema en lazo abierto. El diagrama de fase permite observar que el sistema en lazo cerrado no desfasa la señal de corriente hasta 60KHz aproximadamente. Esto favorece la corrección del factor de potencia.

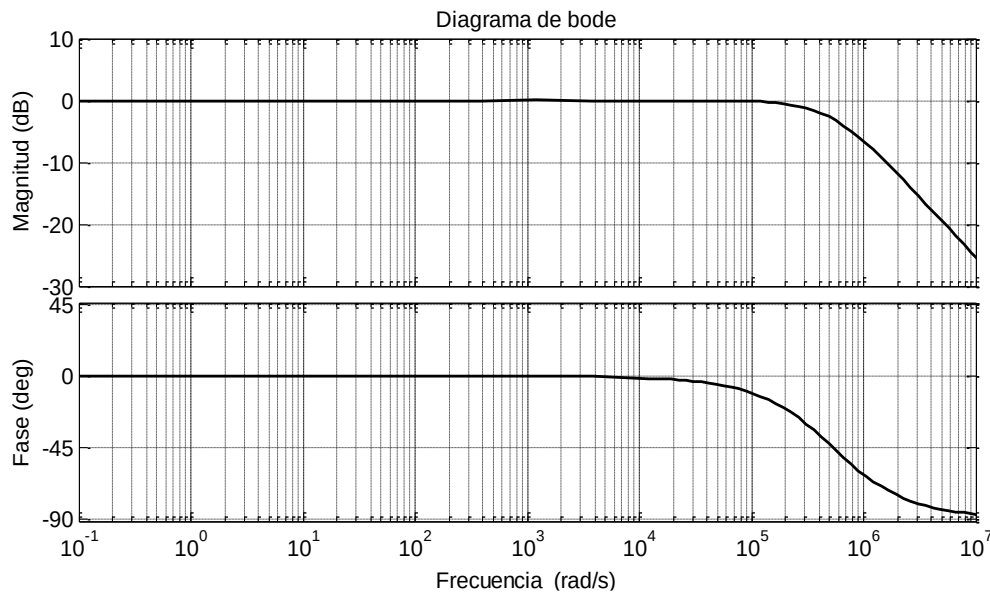


Figura 46. Diagrama de bode del sistema $C_i(s) G_i(s)$ en lazo cerrado

La figura 47 muestra la respuesta temporal del sistema en lazo cerrado conformado por $C_i(s)$ y $G_i(s)$. La figura 47 permite observar que el sistema en lazo cerrado se estabiliza antes de 4 segundos y que el sistema de control elimina el error en estado estacionario ante una entrada del tipo escalón unitario.

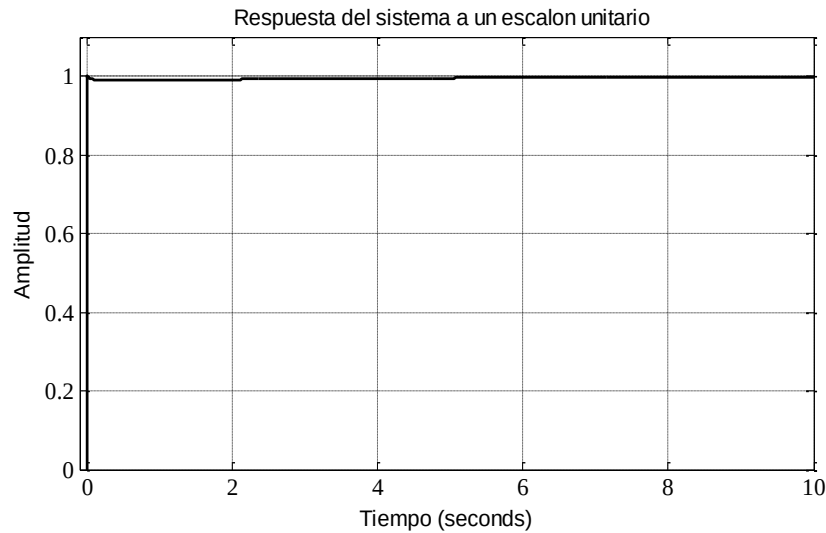


Figura 47. Respuesta temporal del sistema $C_i(s)$ $G_i(s)$ en lazo cerrado

2.9.4. Diseño del sistema de control de voltaje

La función de transferencia $G_v(s)$ se muestra en la ecuación (74), en función de los parámetros del sistema mostrados en la Tabla 5.

$$G_v(s) = \frac{\hat{v}_c(s)}{\hat{i}_s(s)} = \frac{\bar{V}_s}{2 \bar{V}_c} \frac{R_L}{R_L C S + 1} = \frac{1.131 \times 10^6}{0.1667 S + 1} \quad (74)$$

La raíz de la ecuación característica de la función de transferencia $G_v(s)$ se muestra en la ecuación (75). La raíz tiene parte real negativa. En consecuencia, el voltaje en la carga es estable en lazo abierto.

$$r_1 = -6 \quad (75)$$

La tabla 8 muestra las especificaciones de desempeño deseadas en el sistema de control de voltaje.

Tabla 8. Especificaciones de desempeño del sistema de control de voltaje.

Parámetro	Valor
error en estado estacionario	<5%
tiempo de estabilización	<6s

La figura 48 muestra la ubicación geográfica de los polos y de los ceros del sistema en lazo abierto en el plano complejo. El diagrama de ubicación de los polos y de los ceros permite observar que el sistema es estable para cualquier ganancia que incluya el sistema en lazo cerrado. Sin embargo, el incremento en la ganancia mayor a 0,0196 puede causar oscilaciones en el sistema en lazo cerrado.

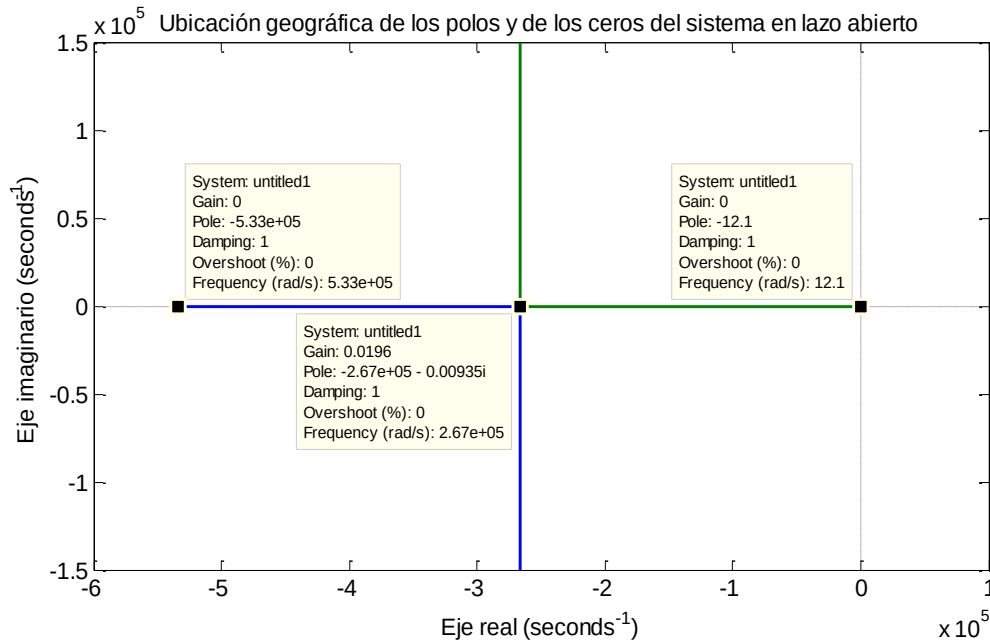


Figura 48. Ubicación geográfica de las raíces del sistema $G_{i_{LC}}(s) G_v(s)$ en lazo abierto

La figura 49 muestra el diagrama de bode del sistema en lazo abierto. En el diagrama de magnitud se puede observar que el sistema tiene una ganancia de 120 aproximadamente a bajas frecuencias. El objetivo del sistema de control de voltaje es regular el voltaje en la salida, manteniendo el voltaje en el valor de referencia deseado. El voltaje en la salida del convertidor AC-DC elevador sin puente es de corriente directa. Razón por la cual, el sistema de control en lazo cerrado debe rechazar las oscilaciones del rizado de 120Hz en la señal de voltaje en la carga.

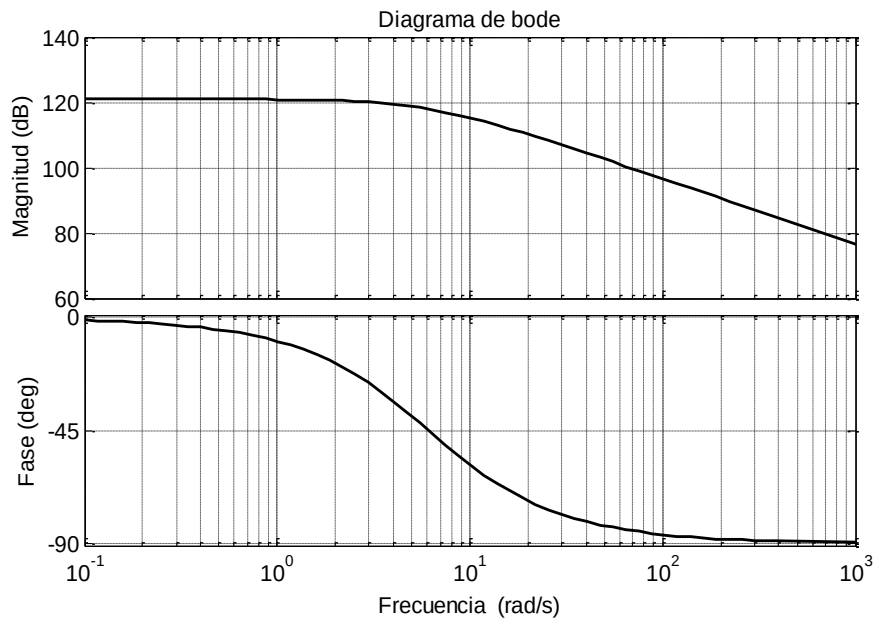


Figura 49. Diagrama de bode del sistema $G_{i_{LC}}(s) G_v(s)$ en lazo abierto

La función de transferencia del controlador PI de voltaje se muestra en la ecuación (76). El sistema de control de voltaje es un sistema de control de regulación. El sistema de control de corriente es un

sistema de control de seguimiento. Los parámetros del controlador K_{pv} y Ti_v seleccionados permiten regular el voltaje en la salida.

$$C_v(s) = K_{pv} + \frac{K_{iv}}{s} = \frac{K_{pv}s + K_{iv}}{s} = \frac{0,3s + 1}{s} \quad (76)$$

Donde K_{pv} es la ganancia proporcional del controlador de voltaje y el Ti_v es el tiempo de acción integral.

La ecuación (77) muestra la función de transferencia del sistema de control de voltaje en lazo cerrado. La planta para el controlador de voltaje corresponde al producto de $G_{i_LC}(s)$ definido en la ecuación (72) y $G_v(s)$ es definido en la ecuación (74).

$$G_{v_LC}(s) = \frac{\hat{v}_c(s)}{v_{c_ref}(s)} = \frac{C_v(s) G_{i_LC}(s) G_v(s)}{1 + C_v(s) G_{i_LC}(s) G_v(s) F_v(s)} \quad (77)$$

La figura 50 muestra la ubicación geográfica de los polos y de los ceros del sistema de control de voltaje en lazo cerrado. La figura 50 permite observar el desplazamiento de los polos hacia la parte real negativa. El desplazamiento es causado por la ganancia K_{pv} del controlador de voltaje PI.

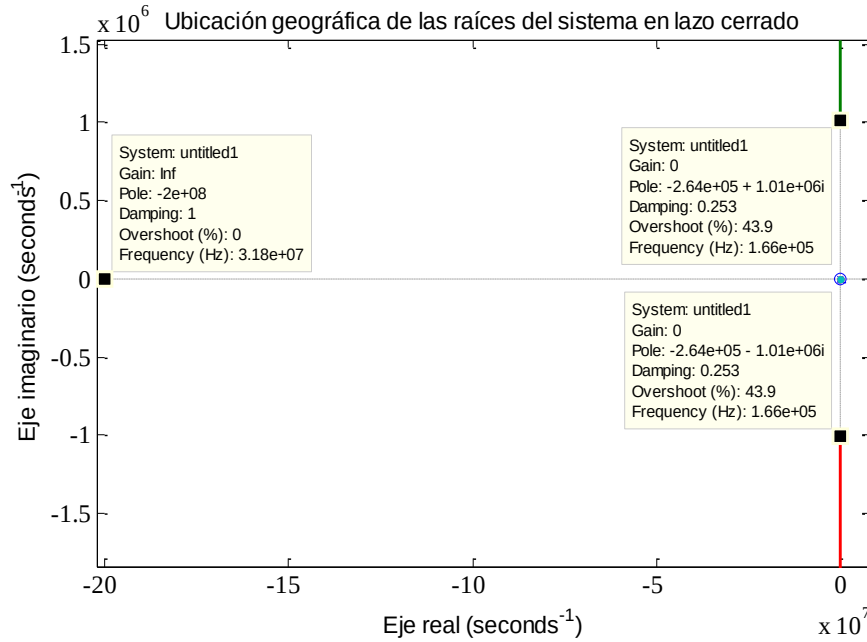


Figura 50. Ubicación geográfica de las raíces del sistema $(C_v(s) G_{i_LC}(s) G_v(s))$ en lazo cerrado

La figura 51 muestra el diagrama de bode del sistema de control de voltaje en lazo cerrado con realimentación unitaria. El diagrama de magnitud muestra que el ancho de banda del sistema en lazo cerrado es menor a la frecuencia del rizado en la señal de voltaje.

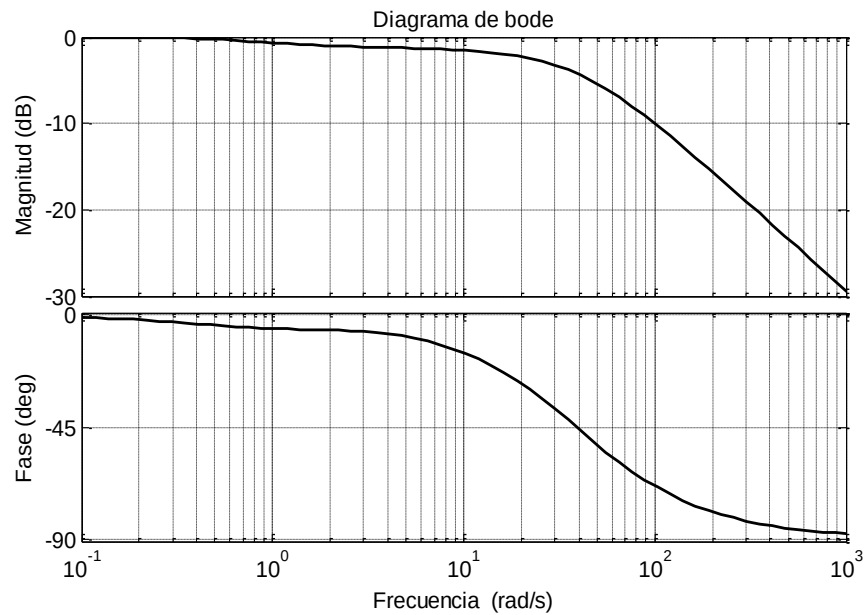


Figura 51. Diagrama de bode del sistema $(C_v(s) G_{i_{LC}}(s) G_v(s))$ en lazo cerrado

La figura 52 muestra la respuesta temporal del sistema en lazo cerrado. La figura 52 permite observar que el sistema entra en estado estable antes de 6 segundos. El error en estado estacionario es cero. Debido a que, la acción integral del controlador integra el error del voltaje hasta la acción correctiva del controlador hace el error nulo.

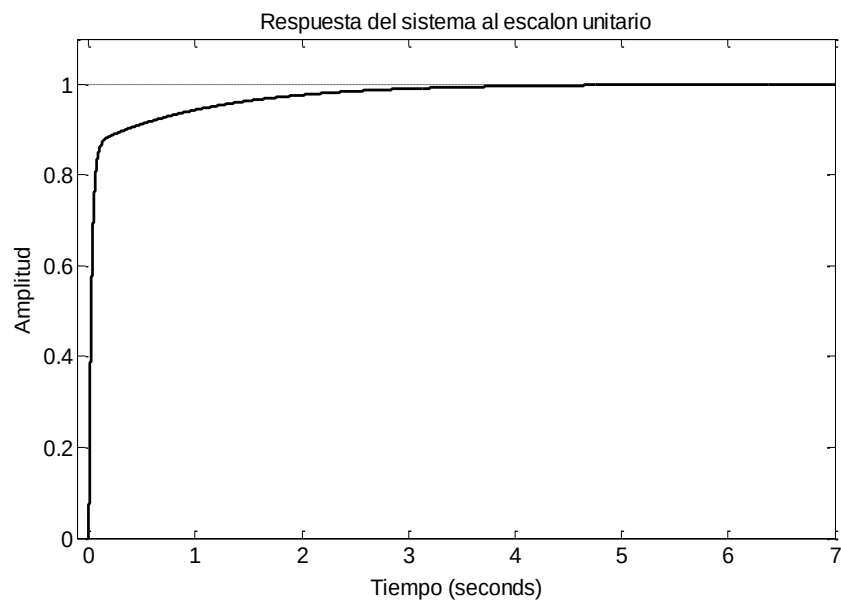


Figura 52. Respuesta temporal del sistema $(C_v(s) G_{i_{LC}}(s) G_v(s))$ en lazo cerrado

2.10. RESULTADOS DE LAS SIMULACIONES DEL CONVERTIDOR AC-DC CON PFC Y CONTROL REALIMENTADO

En esta sección se comparará mediante simulación el comportamiento dinámico de los siguientes convertidores: 1) rectificador convencional con puente de diodos (CR_1, ver figura 24), 2) convertidor AC-DC elevador convencional con control lineal (CR_2, ver Figura 26), 3) convertidor AC-DC elevador convencional con control por histéresis, 4) convertidor AC-DC elevador sin puente con control lineal (CR_5, ver figura 29 y 5) convertidor AC-DC elevador sin puente con control por histéresis. Las simulaciones permiten analizar la eficiencia, el THD_i y el PF en las cinco configuraciones y seleccionar la arquitectura del convertidor a implementar. La tabla 9 muestra los parámetros usados en todas las simulaciones. El software de simulación utilizado es Matlab-simulink.

Tabla 9. Parámetros usados en las simulaciones

Parámetro	Valor
Voltaje de la fuente (v_s)	152.7 V
Capacitor del filtro de salida (C)	2.5 mF
Inductores L_1 y L_2	3.75 mH
Voltaje de referencia en la carga (v_{ref})	200 V
Resistencia de carga (R_L)	66.66 Ω
Caída de voltaje con polarización directa en los diodos (v_f)	0,6 V
Resistencia en conducción de los diodos y de los IGBTs (R_{ON})	0.1 Ω
Resistencia del snubber en los diodos y en los IGBTs (R_{SN})	1e9 Ω
Condensador del snubber en los diodos y en los IGBTs (C_{SN})	1e-9 F
Ganancia proporcional del controlador de voltaje (K_v)	0.3
Ganancia integral del controlador de voltaje (KI_v)	1
Ganancia proporcional del controlador de corriente (K_i)	10
Ganancia integral del controlador de corriente (KI_i)	2
Tiempo de acción integral en el filtro pasa bajos (T_i)	5e-3 s
Frecuencia de conmutación de los interruptores (f_{conm})	40 kHz
Banda de histéresis (BH) (simulaciones de control de corriente por histeresis)	0.1 A

La figura 53 muestra las señales de voltaje y de corriente en el rectificador convencional y el filtro en la salida (CR_1, figura 24 a)). La corriente de la fuente i_s circula a través de los diodos polarizados directamente en el puente rectificador, cargando el condensador instalado en paralelo con la carga. La corriente i_s solo circula en el periodo de tiempo T_{Load} como se muestra en la figura 53. El T_{Load} corresponde al periodo de tiempo en el cual el voltaje de la fuente v_s es mayor al voltaje en las terminales del condensador v_C .

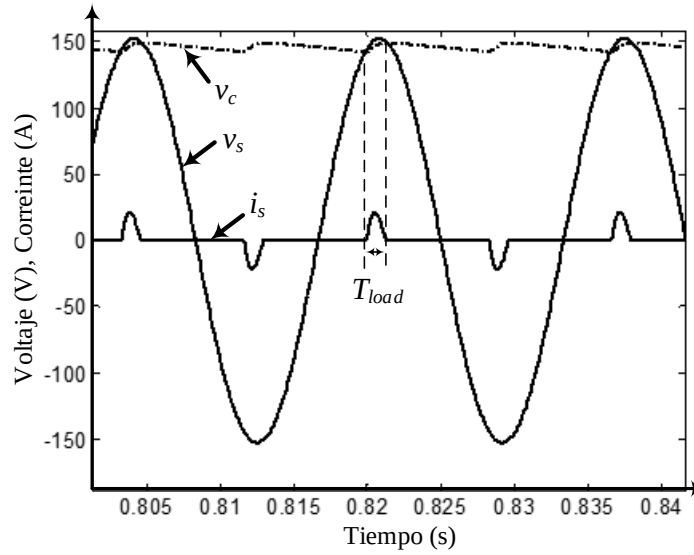


Figura 53. Señales de voltaje y de corriente en el rectificador convencional CR_1 mostrado en la Figura 24

La figura 54 muestra el espectro de frecuencias de la señal de corriente i_s en el rectificador convencional (CR_1). El espectro de frecuencias permite observar que la señal de corriente i_s en el rectificador convencional tiene niveles no despreciables de potencia en los armónicos impares, causando THD_i alta.

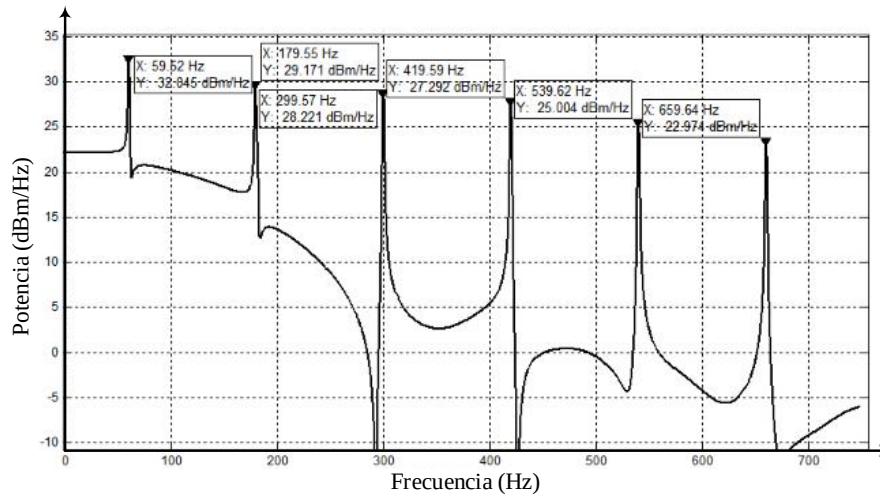


Figura 54. Espectro de frecuencias de la señal de corriente i_s en el rectificador convencional CR_1 de la Figura 24

Las figuras desde la 55 hasta la 66 permiten comparar el desempeño del rectificador con puente de diodos CR_1 y los convertidores con sistemas de control del factor de potencia CR_2 y CR_5. En las señales del voltaje y de la corriente en la fuente de los convertidores con corrección del factor de potencia se observa baja THD_i en comparación con las señales de voltaje y corriente en el rectificador convencional CR_1. El sistema de control en lazo cerrado también hace que la corriente esté en fase con el voltaje en la fuente, aumentando el factor de potencia. La magnitud del rizado en la corriente de la fuente depende del valor de las inductancias usadas en el convertidor con control lineal y de la magnitud de la banda de histéresis en el convertidor con control de corriente por banda de histéresis.

Los espectros de frecuencia permiten observar que con el sistema de control del factor de potencia en los convertidores AC-DC permite reducir la magnitud de los armónicos de orden superior en la corriente i_s , disminuyendo la THD_i . En consecuencia, el sistema de control permite corregir el PF .

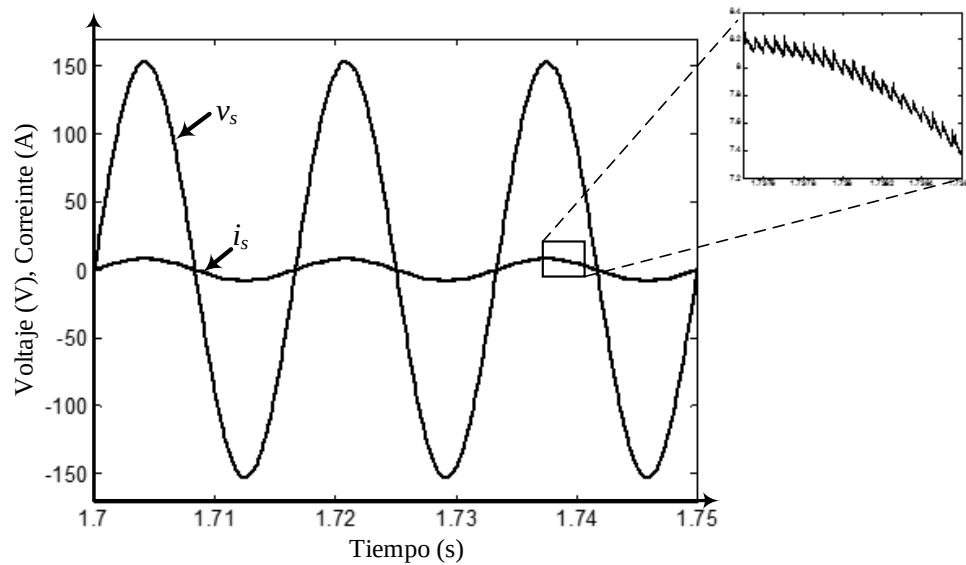


Figura 55. Voltaje y corriente en la fuente del convertidor AC-DC elevador convencional CR_2 de la figura 26 con controlador lineal de la corriente

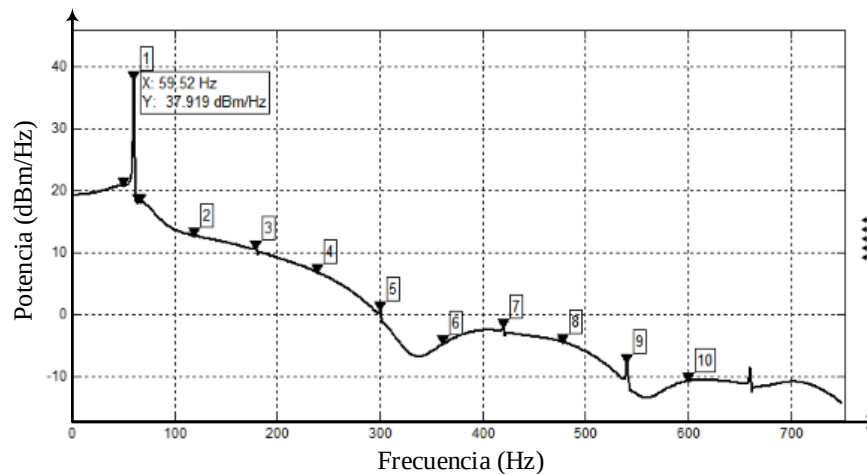


Figura 56. Espectro de frecuencias de la corriente i_s en el convertidor AC-DC elevador convencional CR_2 de la figura 26 con controlador lineal de la corriente

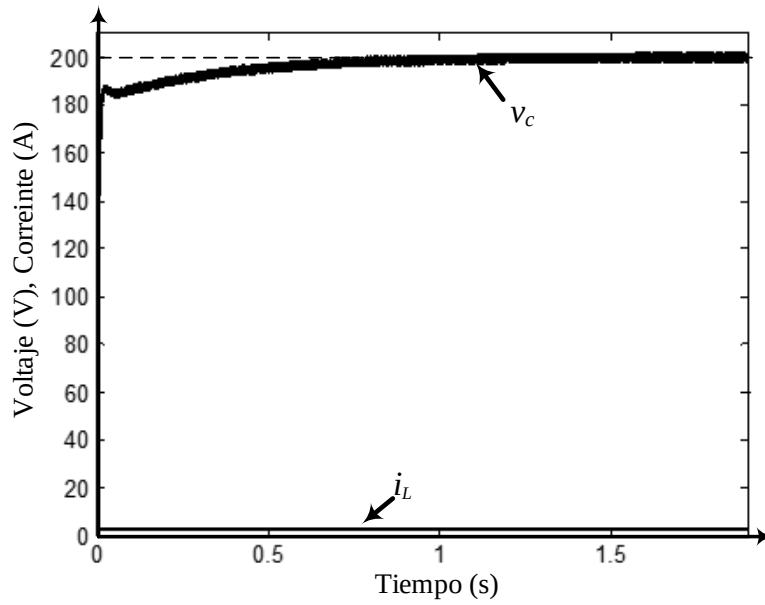


Figura 57. Señal de voltaje y de corriente en la carga del convertidor AC-DC elevador convencional CR_1 de la figura 26 con controlador lineal de la corriente

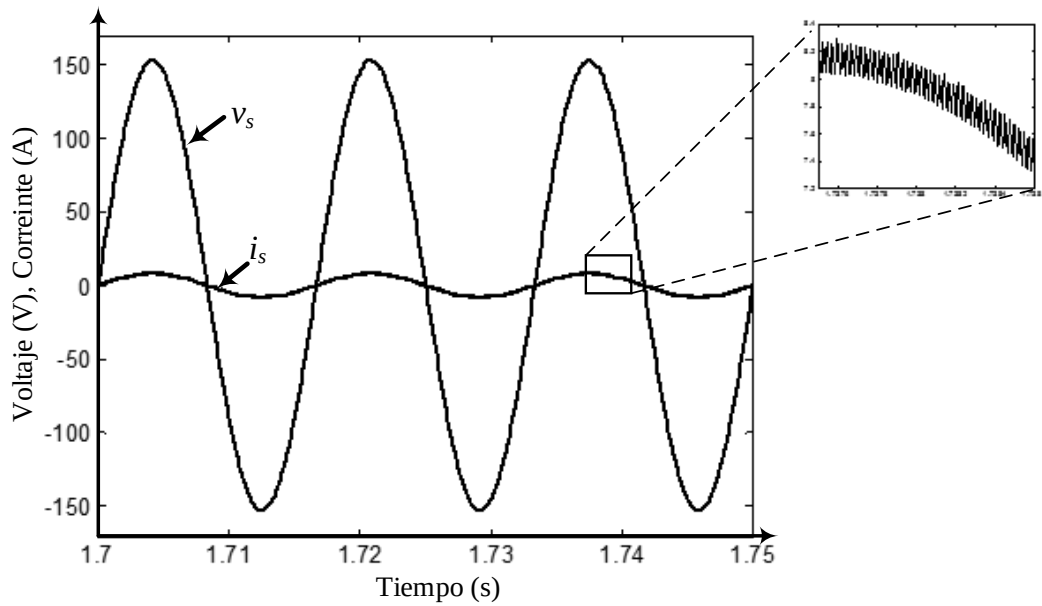


Figura 58. Señal del voltaje y de la corriente en la fuente del convertidor AC-DC elevador convencional CR_2 de la figura 26 con controlador de la corriente por banda de histéresis

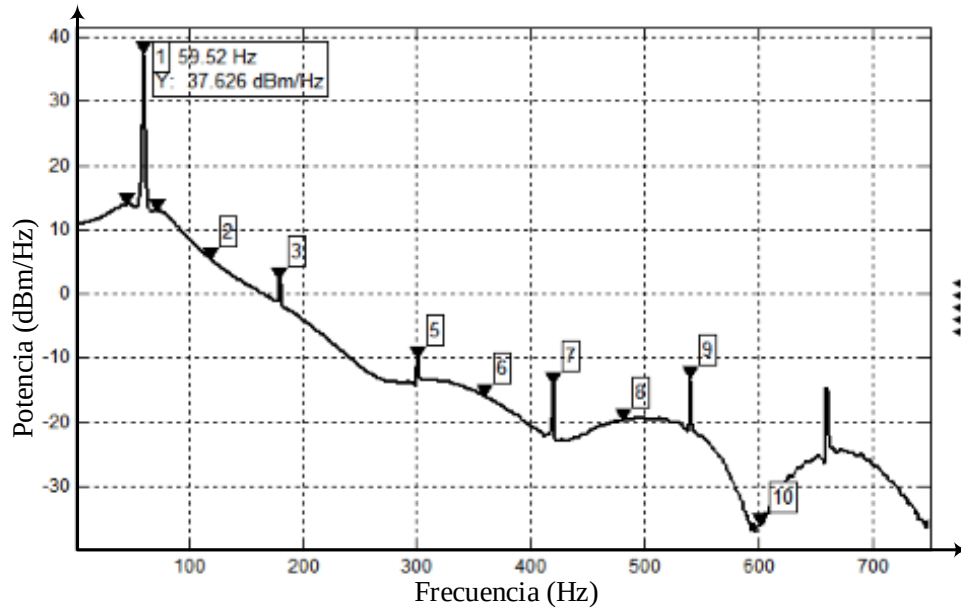


Figura 59. Espectro de frecuencias de la corriente i_s en el convertidor AC-DC elevador convencional CR_2 de la figura 26 con controlador de la corriente por banda de histéresis

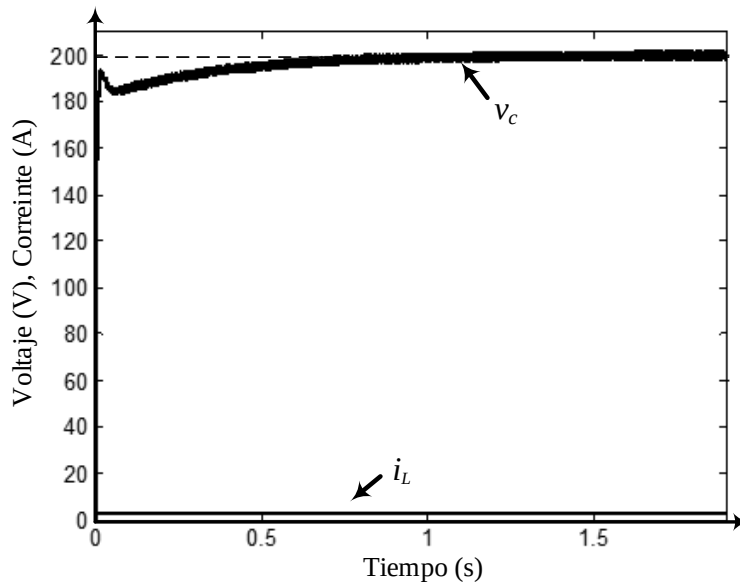


Figura 60. Voltaje y corriente en la carga del convertidor AC-DC elevador convencional CR_2 de la figura 26 con controlador de la corriente por banda de histéresis

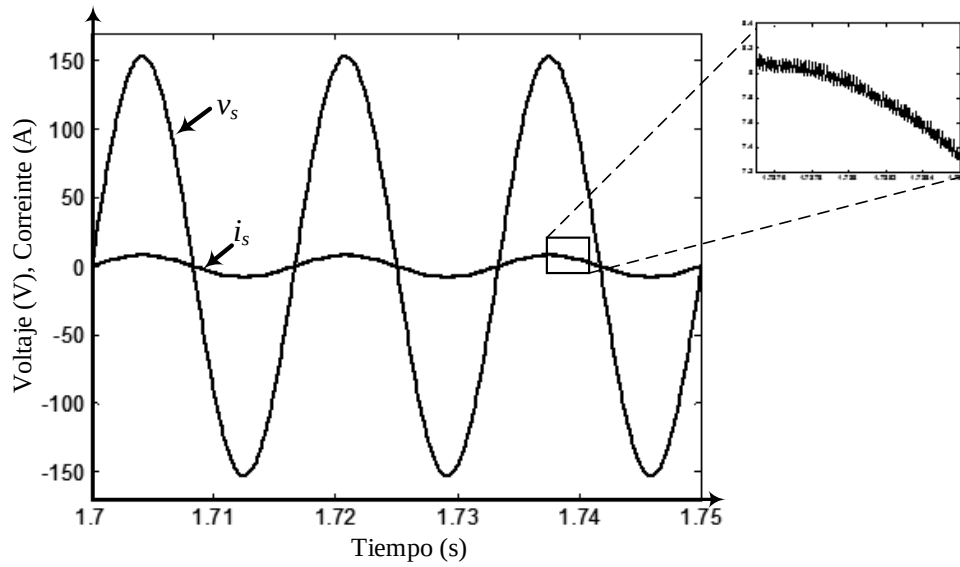


Figura 61. Voltaje y corriente en la fuente del convertidor AC-DC elevador sin puente CR_5 de la figura 30 con controlador lineal de la corriente

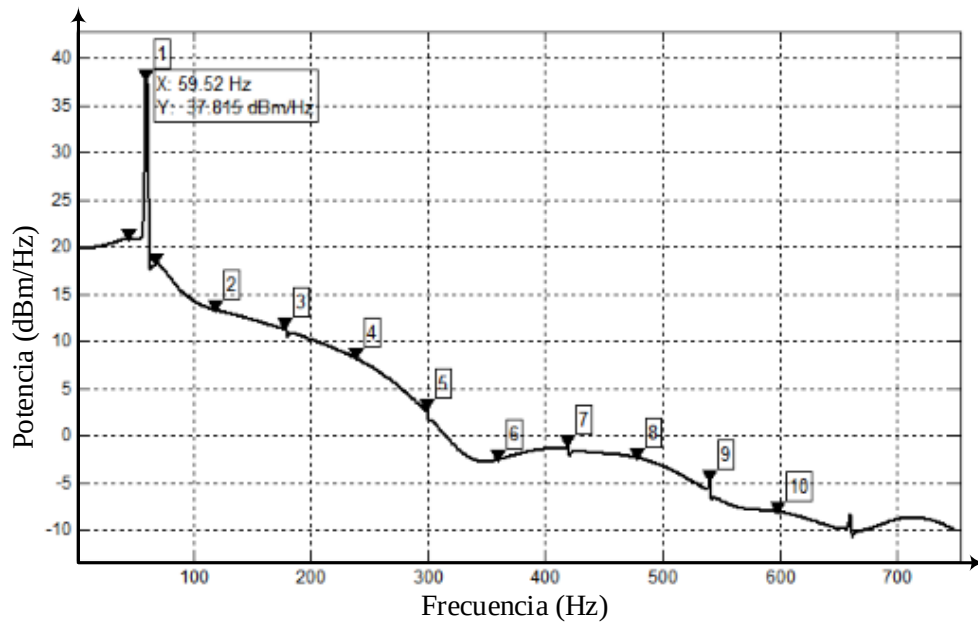


Figura 62. Espectro de frecuencias de la corriente i_s en el convertidor AC-DC elevador sin puente CR_5 de la figura 30 con controlador lineal de la corriente

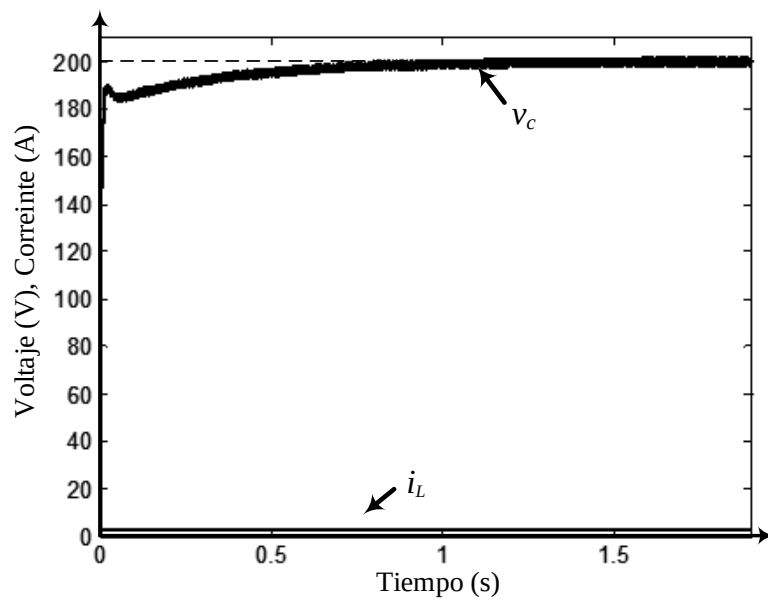


Figura 63. Voltaje y corriente en la carga del convertidor AC-DC elevador sin puente CR_5 de la figura 30 con controlador lineal de la corriente

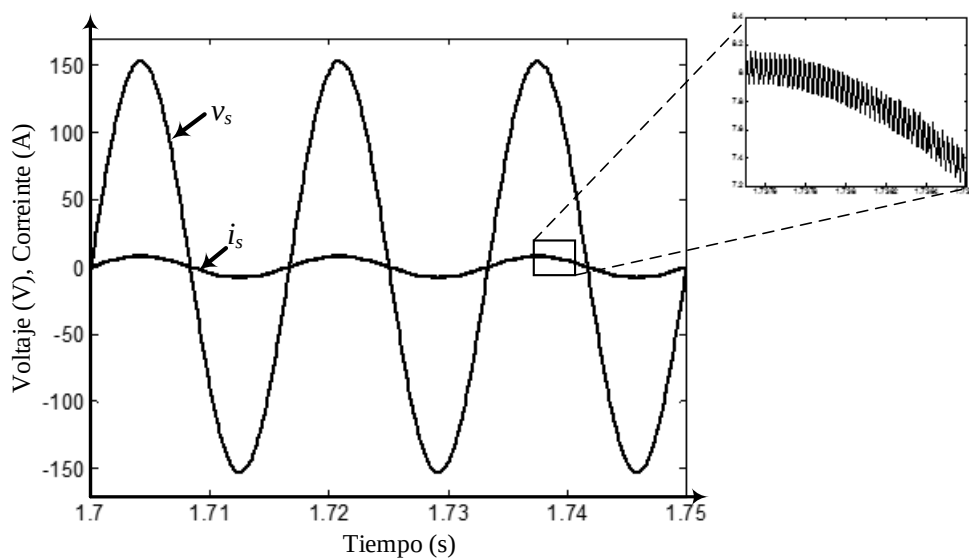


Figura 64. Voltaje y corriente en la fuente del convertidor AC-DC elevador sin puente CR_5 de la figura 30 con controlador de la corriente por banda de histéresis

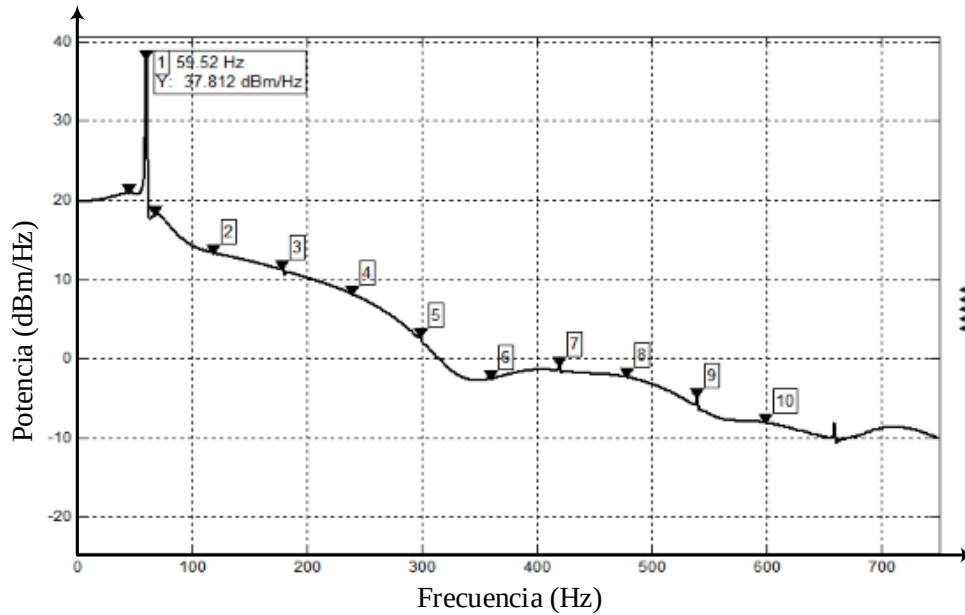


Figura 65. Espectro de frecuencias de la corriente i_s en el convertidor AC-DC elevador sin puente CR_5 de la figura 30 con controlador de la corriente por banda de histéresis

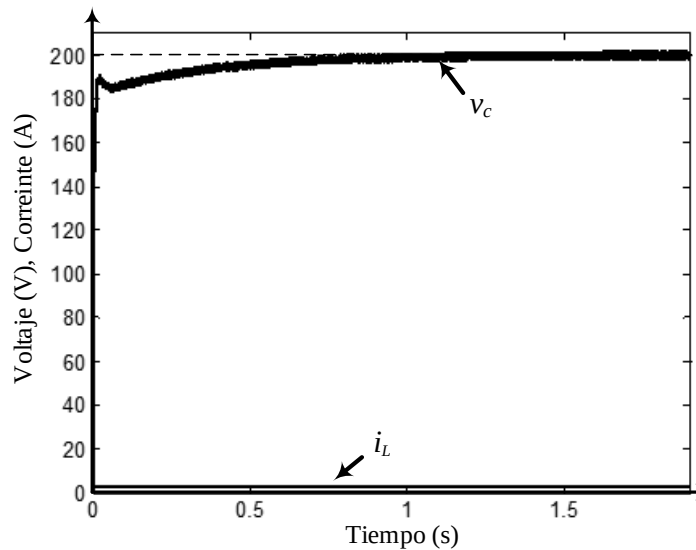


Figura 66. Voltaje y corriente en la carga del convertidor AC-DC elevador sin puente CR_5 de la figura 30 con controlador de la corriente por banda de histéresis

La tabla 20 resume los resultados de las simulaciones realizadas a los siguientes convertidores: 1) rectificador convencional con puente de diodos (CR_1, ver figura 24), 2) convertidor AC-DC elevador convencional con control lineal (CR_2, ver figura 26), 3) convertidor AC-DC elevador convencional con control por histéresis, 4) convertidor AC-DC elevador sin puente con control lineal (CR_5, ver figura 29), y 5) convertidor AC-DC elevador sin puente con control por histéresis.

Los resultados de las simulaciones muestran que los convertidores con corrección activa del factor de potencia son al menos 48% más eficientes, comparándolos con el rectificador convencional. Además, los convertidores con corrección activa del factor de potencia tienen THD_i menor al 2%, permitiendo mejorar significativamente el PF . Las simulaciones muestran que el sistema de control

lineal de la corriente (control PI) es más efectivo que el sistema de control de la corriente por banda de histéresis para la corrección del factor de potencia. Las simulaciones permiten observar también que el convertidor AC-DC elevador sin puente CR_5 es 1.32% más eficiente que el convertidor AC-DC elevador convencional. Razón la cual, la topología del convertidor AC-DC elevador sin puente CR_5 es más apropiada para aplicaciones con densidad alta de potencia y es la topología seleccionada para implementar en esta tesis.

Tabla 10. Resultados de las simulaciones de los convertidores AC-DC

Parámetro	Rectificador convencional CR_1	Convertidor AC-DC elevador convencional CR_2 (control lineal)	Convertidor AC-DC elevador convencional CR_2 (control histéresis)	Convertidor AC-DC elevador sin puente CR_5 (control lineal)	Convertidor AC-DC elevador sin puente CR_5 (control histéresis)
PF	0,504	0,9999	0,9998	0,9999	0,9998
THD	170	1,73	1,86	1,71	1,85
Eficiencia (%)	49,15	97,09	97,08	98,35	98,34

2.11. ENSAYOS Y RESULTADOS EXPERIMENTALES DEL CONVERTIDOR AC-DC ELEVADOR CON CONTROL REALIMENTADO

Este capítulo presenta los resultados experimentales obtenidos mediante los ensayos realizados al prototipo de laboratorio del convertidor AC-DC elevador sin puente. La implementación física se muestra en las

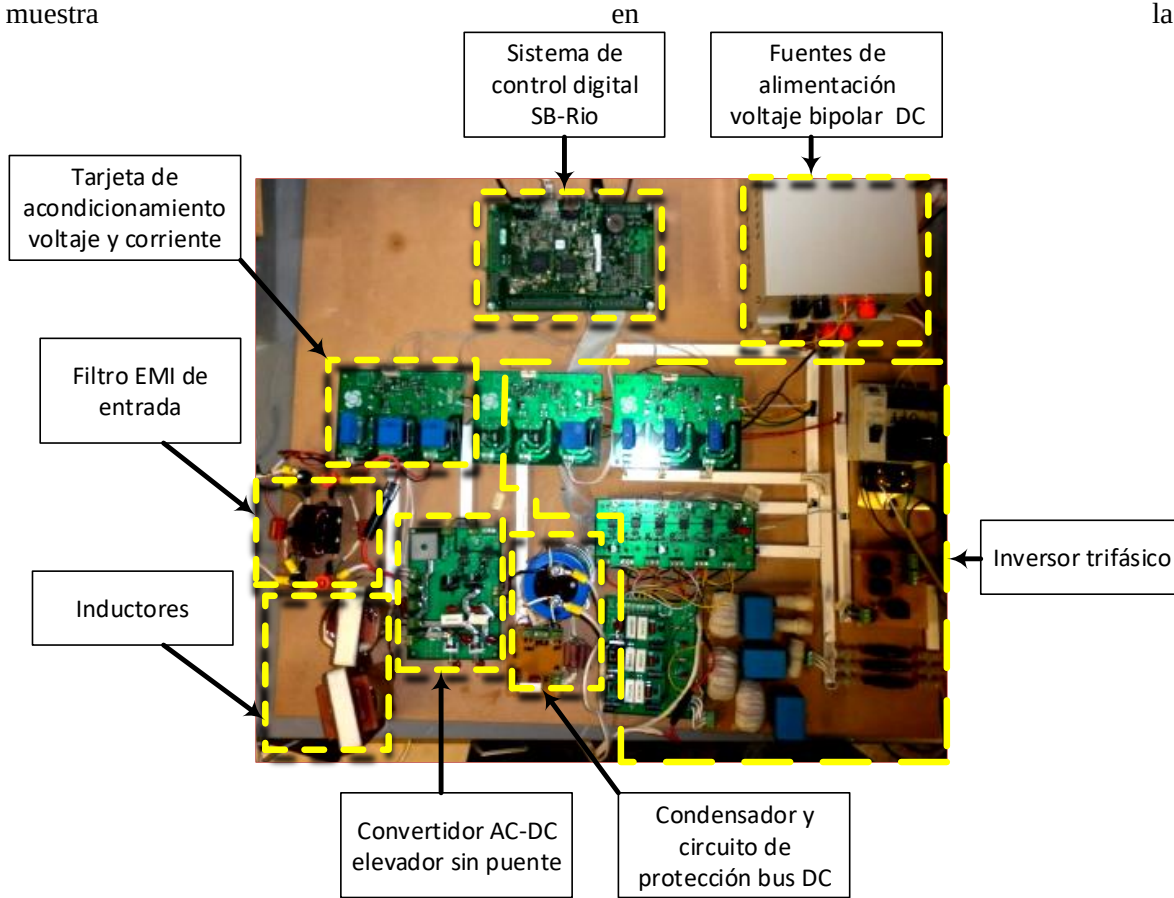


Figura 67 y Figura 68.

Los diagramas esquemáticos de los circuitos y los planos de los circuitos impresos se muestran en el apéndice 1. Los algoritmos programados para el control digital se muestran en el apéndice 2. Las variaciones del voltaje AC en la entrada se realizaron con base en el autotransformador de referencia SC-20M (0-130V, 20A).

Las pruebas experimentales realizadas al convertidor AC-DC elevador sin puente se resumen en la Tabla 11. Las mediciones fueron realizadas con el osciloscopio digital de referencia GDS-2000 de 4 canales, las puntas de voltaje diferenciales y aisladas de referencia AP031 de marca Teledyne (atenuación de 100V/div) y las puntas de medición de corriente de referencia A622 marca Tektronics (conversión de 100mV/A). El procesamiento de los datos de las mediciones se realizó fuera de línea con el software Matlab-Simulink. La Tabla 11 resume las pruebas realizadas en el prototipo experimental del convertidor AC-DC elevador sin puente.

La implementación física se muestra en las

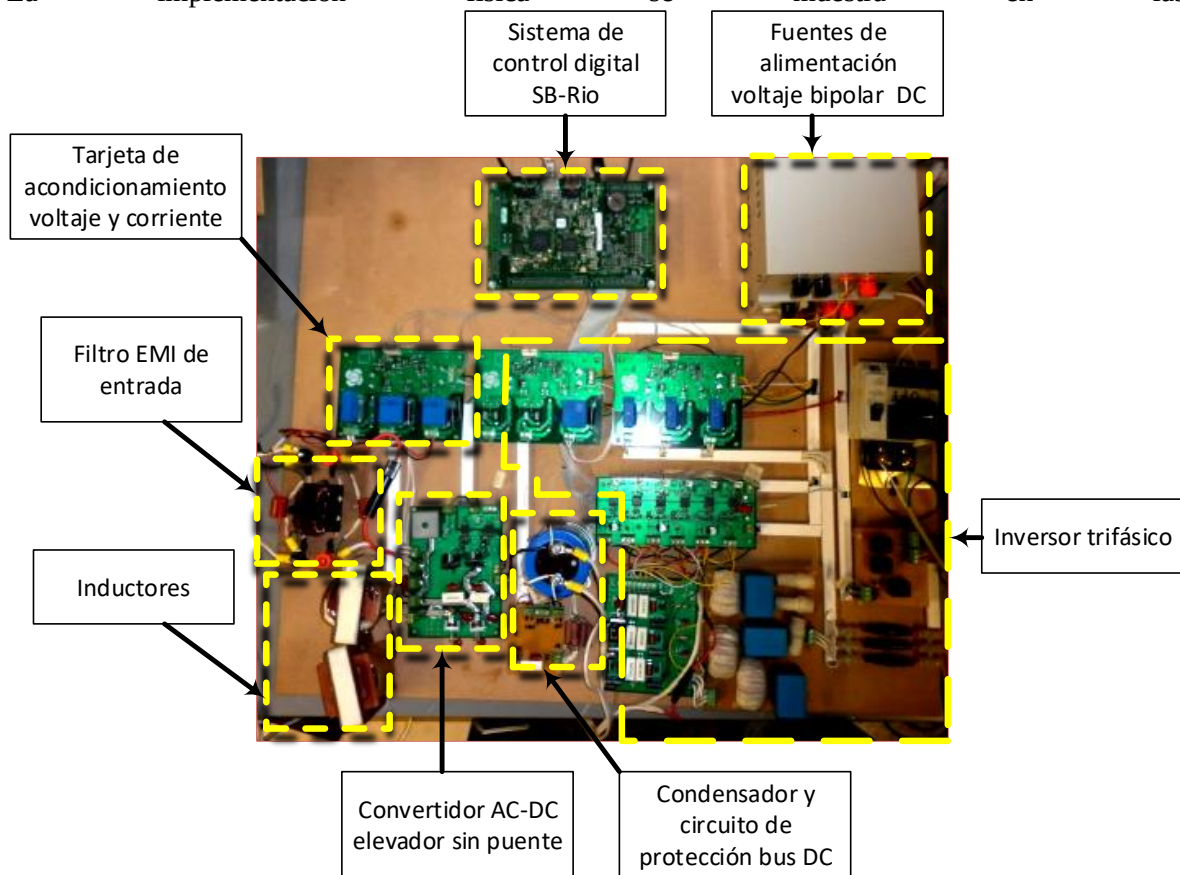


Figura 67 y Figura 68.

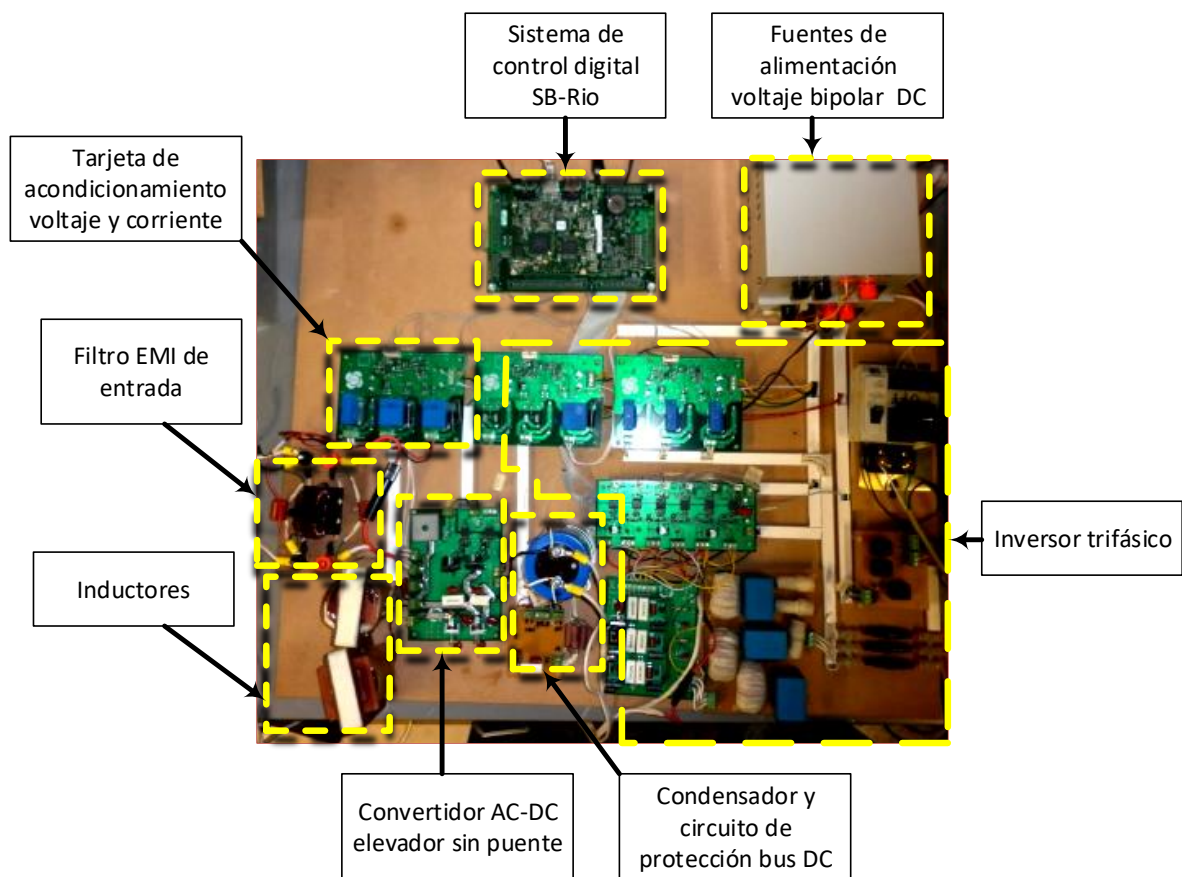


Figura 67. Fotografía del prototipo del convertidor AC-DC elevador sin puente



Figura 68. Circuito del convertidor AC-DC elevador sin puente

Tabla 11. Resumen de los ensayos realizados a el prototipo experimental del convertidor AC-DC elevador sin puente.

Pruebas realizadas	
Tipo de prueba	Descripción

Variación de la potencia	Se realizaron las mediciones del PF , THD_i y Eficiencia para los siguientes valores de potencia de entrada: 200W, 300W, 400W, 500W, 600W, 700W, 800W y 900W. La variación de la potencia se produce con base en el cambio del voltaje en la carga. Los ensayos se realizaron para tres voltajes de entrada 11V, 120V y 129V. Los resultados se muestran desde las Figura 69 hasta Figura 71 y en la tabla 13.
Variación de la frecuencia de conmutación	Se realizaron las mediciones del rizado en la corriente i_s , cambiando la frecuencia de conmutación de 20KHz a 40KHz. La potencia en la fuente es 370W. Los resultados se muestran en las Figura 78 y Figura 79.
Variación del voltaje de referencia en la carga	Se realizaron las mediciones del tiempo de respuesta del controlador de voltaje en la carga y de la corriente en la fuente para los siguientes cambios de voltaje de referencia: desde 170Vdc hasta 200Vdc y desde 200Vdc a 170Vdc. La variación del voltaje de referencia se realiza desde la interfaz gráfica que controla el sistema. Los resultados de esta prueba se muestran en las Figura 84 y Figura 85 y en la tabla 14.
Variación de la corriente de carga	Se realizaron las mediciones del tiempo de respuesta del controlador de voltaje en la carga y de la corriente en la fuente para los siguientes cambios de la corriente de carga: desde 1,14A hasta 2,128A, desde 0,855A hasta 2,128A, desde 2,128 hasta 1,14A y desde 2,128A hasta 0,855A. Los cambios en la corriente de carga se realizaron con base en el cambio de cargas físicas mediante interruptores. Los resultados de esta prueba se muestran en las Figura 80-83 y en la tabla 15.

2.11.1. Ensayos realizados al convertidor AC-DC cambiando la potencia de operación

Este aparte del capítulo presenta los resultados de las pruebas experimentales realizadas al prototipo del convertidor AC-DC variando la potencia suministrada a una carga resistiva de $139,5 \Omega$. El cambio en la potencia se produce con base en el cambio en el voltaje de referencia en la carga. La Figura 69 muestra la eficiencia energética del sistema. La eficiencia reportada por las pruebas experimentales varía desde 88,47% hasta 99,16% en el rango desde 200W hasta 900W. La tendencia de la curva indica la reducción de la eficiencia al incrementar la potencia de funcionamiento del convertidor. Debido a que, las pérdidas de conmutación y de conducción en los interruptores se incrementan al incrementar la potencia de operación del convertidor.

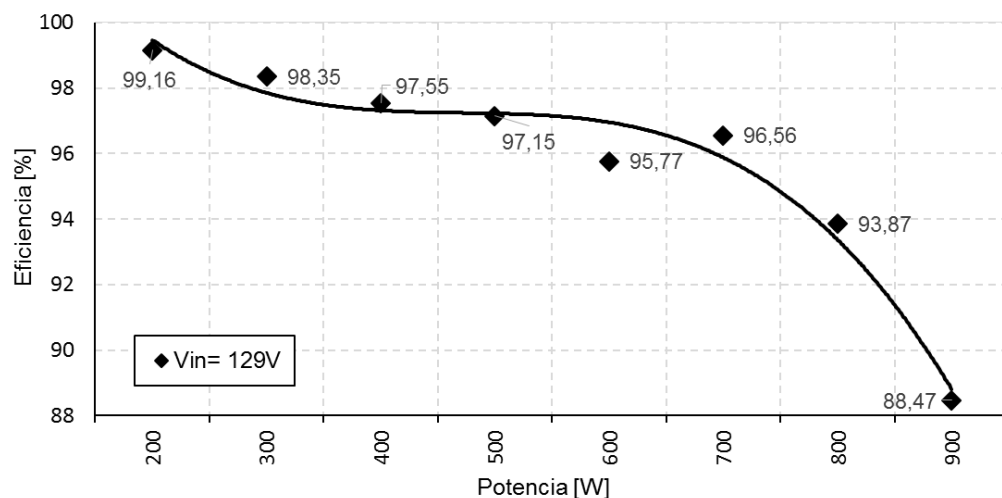


Figura 69. Eficiencia del convertidor elevador sin puente

La Figura 70 muestra los resultados obtenidos en la corrección del factor de potencia en la entrada del convertidor AC-DC elevador sin puente. Los resultados muestran que, el factor de potencia es mayor a 0,993 en todos los ensayos en los cuales el sistema de control de corriente está funcionando. El factor de potencia medido en el convertidor AC-DC sin control de corriente es 0,58. Estos resultados muestran la efectividad del sistema de control implementado para corregir el factor de potencia, en comparación con el convertidor AC-DC sin control de corriente.

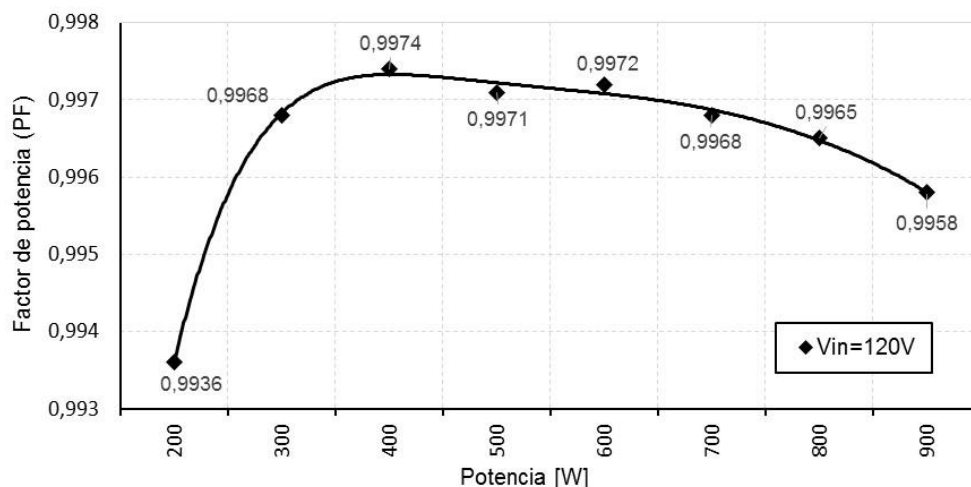


Figura 70. Factor de potencia en la entrada del convertidor elevador sin puente

La Figura 71 muestra los resultados obtenidos en los ensayos experimentales para la reducción del THD_i en la corriente de entrada. Los resultados muestran que el sistema de control de corriente implementado reduce significativamente la distorsión armónica en la corriente de entrada. La THD_i oscila entre 3,5% y 9% en todos los ensayos realizados con el sistema de control de corriente funcionando. La THD_i es 137,4% cuando el convertidor AC-DC funciona sin sistema de control de corriente. Adicionalmente, los resultados muestran que a mayor voltaje de alimentación del convertidor la THD_i se incrementa. En los ensayos realizados, la THD_i más baja se presenta cuando el voltaje de alimentación es 111V. Además, La Figura 71 muestra que la THD_i tiende a disminuir al incrementar la potencia hasta 800W. La THD_i tiende a aumentar cuando la potencia se incrementa desde los 800W hasta 900W.

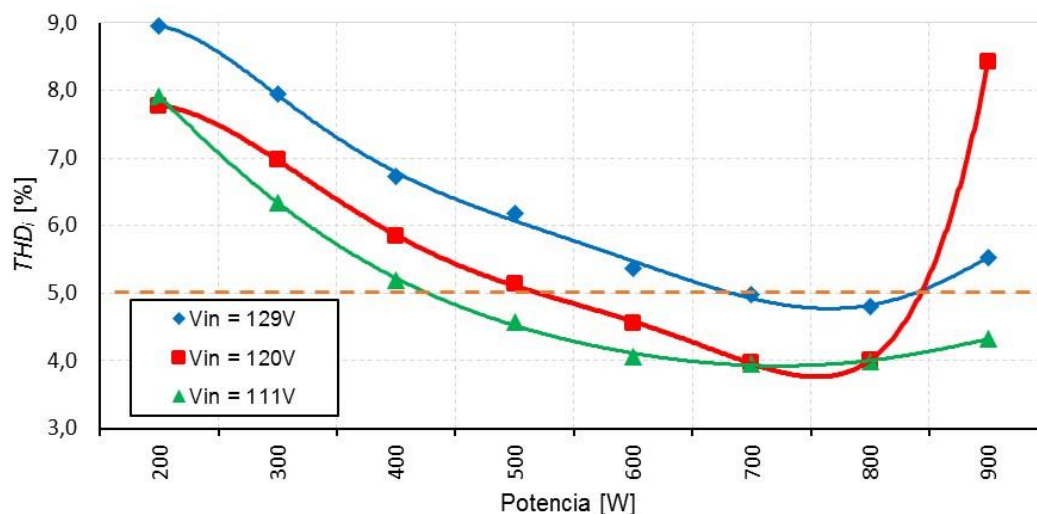


Figura 71. Distorsión armónica total en la corriente de la entrada del elevador AC-DC sin puente

La Figura 72 muestra la comparación de los armónicos de la señal de corriente i_s respecto a las normas IEC 1000-3-2 y EN 61000-3-2 clase A. Los resultados muestran que, la magnitud de los armónicos en la señal de corriente con el sistema de control funcionando cumple la norma en todos los ensayos. La Figura 71 muestra que la THD_i en la corriente i_s es menor al 5%, cuando opera en el rango desde 600W hasta 800W, garantizando la calidad de la potencia en la fuente de alimentación.

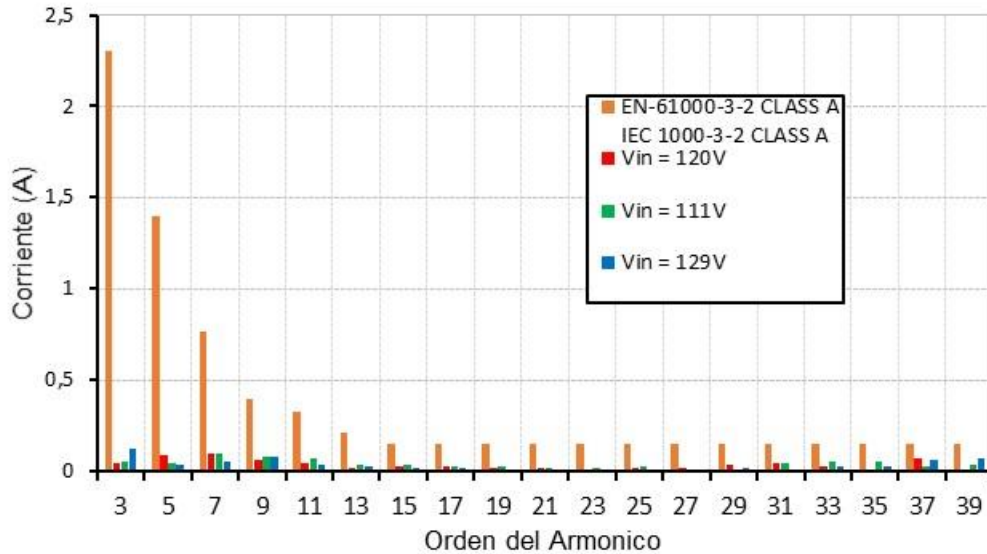


Figura 72. Comparación de los armónicos de la señal de corriente i_s en el convertidor AC-DC elevador sin puente con las normas IEC 1000-3-2 clase A y EN 61000-3-2 clase A, operando a 800W, ($v_s=111V$, 120V y 129V)

Las Figura 73 y Figura 74 muestran los espectrogramas de la corriente de entrada del convertidor AC-DC elevador sin puente sin control de corriente y con control de corriente respectivamente. Estos espectrogramas muestran una reducción significativa de la potencia contenida en los armónicos de orden superior, respecto a la potencia contenida en la frecuencia fundamental (60Hz), cuando el sistema de control de corriente está funcionando.

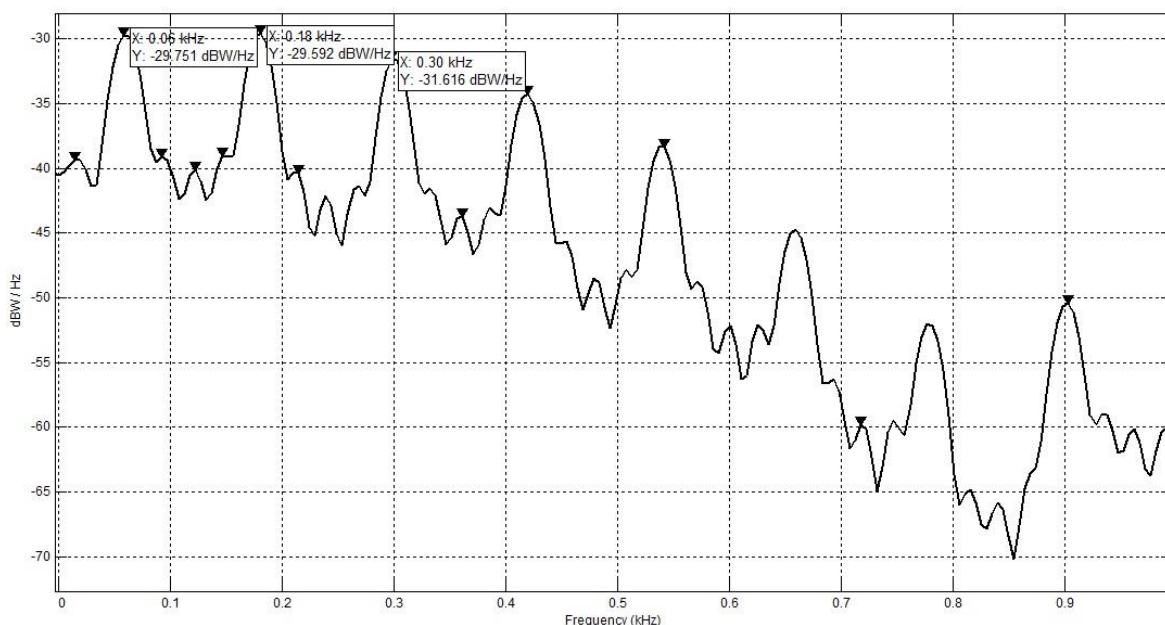


Figura 73. Espectro de frecuencias de la corriente i_s en el rectificador convencional sin control PFC (370 W)

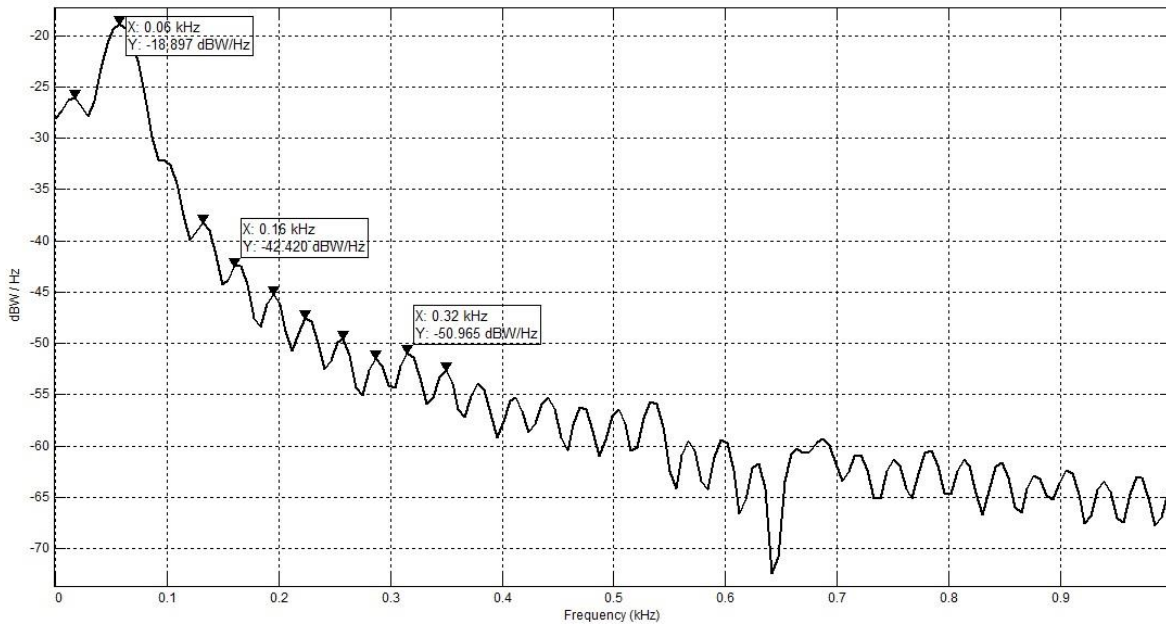


Figura 74. Espectro de frecuencias de la corriente i_s en el convertidor AC-DC elevador sin puente con control PFC (370 W)

La Tabla 12 resume los resultados de los espectrogramas de la corriente de entrada del convertidor AC-DC elevador sin puente cuando el sistema está operando con el sistema de control de corriente (Figura 73) y cuando el convertidor de potencia AC-DC está funcionando sin sistema de control (Figura 74). La tabla muestra que la potencia del armónico fundamental de la corriente controlada es mayor 10,8dBW/Hz que la potencia del armónico fundamental de la corriente sin control. La potencia contenida en los armónicos de orden superior de la corriente controlada son menores 18dBW/Hz que la potencia contenida en los armónicos de orden superior de la corriente sin control.

Tabla 12. Resumen de los espectrogramas realizados al convertidor AC-DC elevador sin puente

Parámetro	Rectificador convencional sin control PFC	Convertidor AC-DC elevador convencional (control lineal)	Diferencia (dBW/Hz)
Potencia 1 ^{er} armónico (dBW/Hz)	-29,751	-18,897	-10,854
Potencia 3 ^{er} armónico (dBW/Hz)	-29,592	-47,92	18,328
Potencia 5 ^{to} armónico (dBW/Hz)	-31,616	-54,172	22,556
Potencia 7 ^{mo} armónico (dBW/Hz)	-34,265	-57,328	23,063
Potencia 9 ^{no} armónico (dBW/Hz)	-34,268	-56,58	22,312

La Figura 75 permite observar la forma de onda de la corriente i_s en el rectificador AC-DC sin el control PFC. Cuando el control de corriente PFC no está funcionando, la corriente i_s presenta picos de corriente, causados por la carga del condensador a la salida del rectificador. Estos picos de corriente incrementan la THD_i . En contraste, la figura 76 permite observar la forma de onda de la corriente i_s en el rectificador AC-DC con el control PFC. Cuando el control de corriente está funcionando, la forma de onda de la corriente i_s es controlada con el objetivo de reducir el THD_i , y en consecuencia aumentar el PF . La topología del convertidor AC-DC elevador sin puente permite elevar el voltaje de la fuente, almacenando energía en las bobinas L_1 y L_2 . Cuando el sistema de control está funcionando el voltaje de la carga puede ser elevado y controlado al nivel deseado, como

se observa en las Figura 75 y Figura 76. Adicionalmente, el sistema de control de voltaje permite reducir el rizado de 120Hz presente el voltaje de la carga.

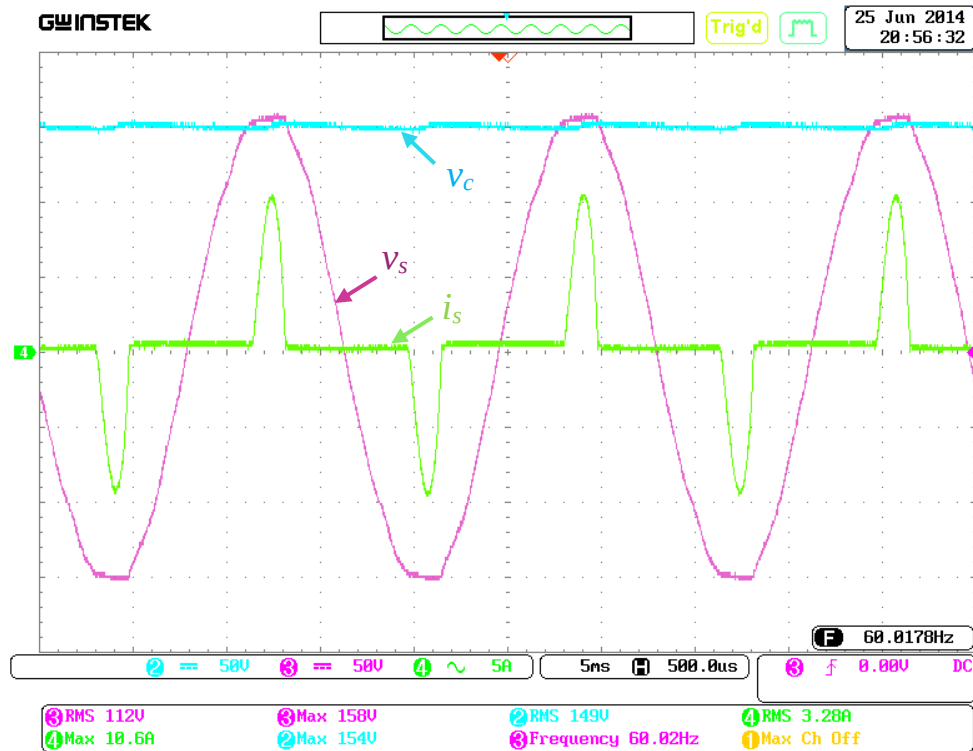


Figura 75. Formas de onda de la corriente de entrada (i_s), el voltaje de entrada (v_s) y el voltaje de salida (v_c) en el convertidor AC-DC elevador sin puente sin control PFC. ($P = 382W$ $PF = 0.58$, $THD_i = 137,4$, eficiencia 68,85%)

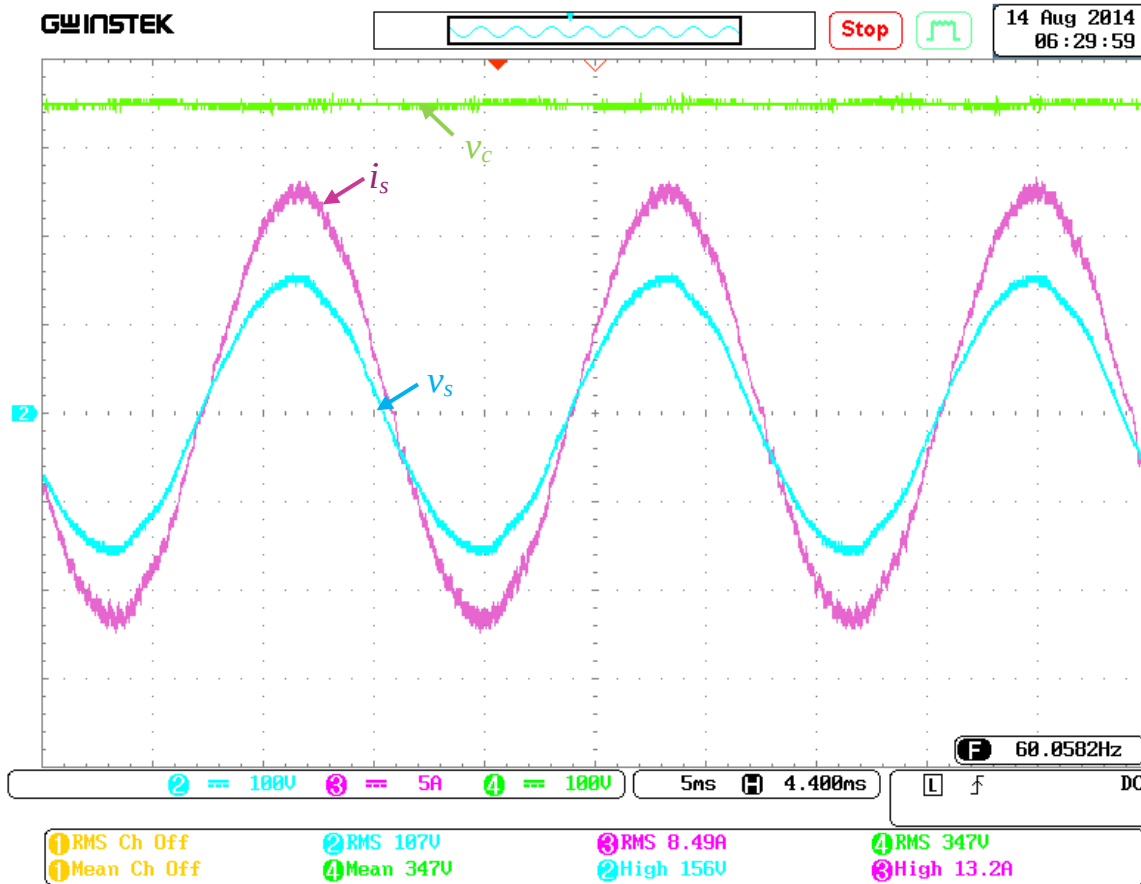


Figura 76. Formas de onda de la corriente de entrada (i_s), el voltaje de entrada (v_s) y el voltaje de salida (v_c) en el convertidor AC-DC elevador sin puente con control PFC. ($P = 908,5W$, $PF = 0,9962$, $THD_i = 4,3\%$, $\eta = 91,91\%$)

El uso del control PFC en el prototipo del convertidor AC-DC permite alcanzar una reducción mayor al 120% del THD_i . Este también permite incrementar el factor de potencia desde 0,58 hasta 0,993. Estas pruebas verifican el desempeño adecuado del sistema de control de control implementado para la corrección del factor de potencia.

Tabla 13 La tabla 13 resume los resultados de los ensayos realizados al prototipo del convertidor AC-DC con control PFC, cambiando la potencia de operación para los voltajes 120V, 129V y 111V.

Tabla 13. Resumen de los resultados experimentales del convertidor AC-DC elevador sin puente.

V_s (V)	P_{in} (W)	P_{out} (W)	Eficiencia (%)	THD_i	PF
120	240,9	222,1	92,23	7,778	0,9936
	316,1	300,5	95,07	6,971	0,9968
	410,4	396,1	96,51	5,842	0,9974
	513,5	484,8	94,4	5,1339	0,9971
	607	577,9	95,21	4,556	0,9972
	712	668,8	93,93	3,973	0,9968
	815,1	759,1	93,13	4,004	0,9965
	926	846,6	91,42	8,429	0,9958
129	238	236	99,16	8,945	0,9959
	294,6	289,7	98,35	7,949	0,9975
	397,8	388	97,55	6,728	0,998

	491	477	97,15	6,172	0,9977
	587	562,9	95,77	5,373	0,9976
	688,6	664,9	96,56	4,984	0,9974
	796,8	748	93,87	4,802	0,997
	948,5	839,2	88,47	5,535	0,994
111	205,3	201,5	98,15	7,914	0,9961
	302,5	295,3	97,63	6,347	0,9978
	407,3	392,2	96,3	5,196	0,9976
	499,7	485	97,05	4,567	0,9973
	606,7	579,4	95,49	4,067	0,9971
	711,3	664,7	93,45	3,958	0,9967
	820,2	756,4	92,22	3,995	0,9964
	874,8	804	91,91	4,323	0,9962

2.11.2. Ensayos realizados al convertidor AC-DC cambiando la frecuencia de conmutación

Este aparte del capítulo presenta los resultados de las pruebas experimentales realizadas al prototipo del convertidor AC-DC variando la frecuencia de conmutación desde 20KHz hasta 40KHz. Los resultados mostrados en las Figura 77, Figura 78 y Figura 79 permiten corroborar la dependencia del rizado de la corriente con la frecuencia de conmutación. El cambio de la frecuencia de conmutación desde 20KHz hasta 40KHz permite reducir el rizado en la corriente desde 1,56A hasta 383mA, disminuyendo la THD_i y aumentando el PF :

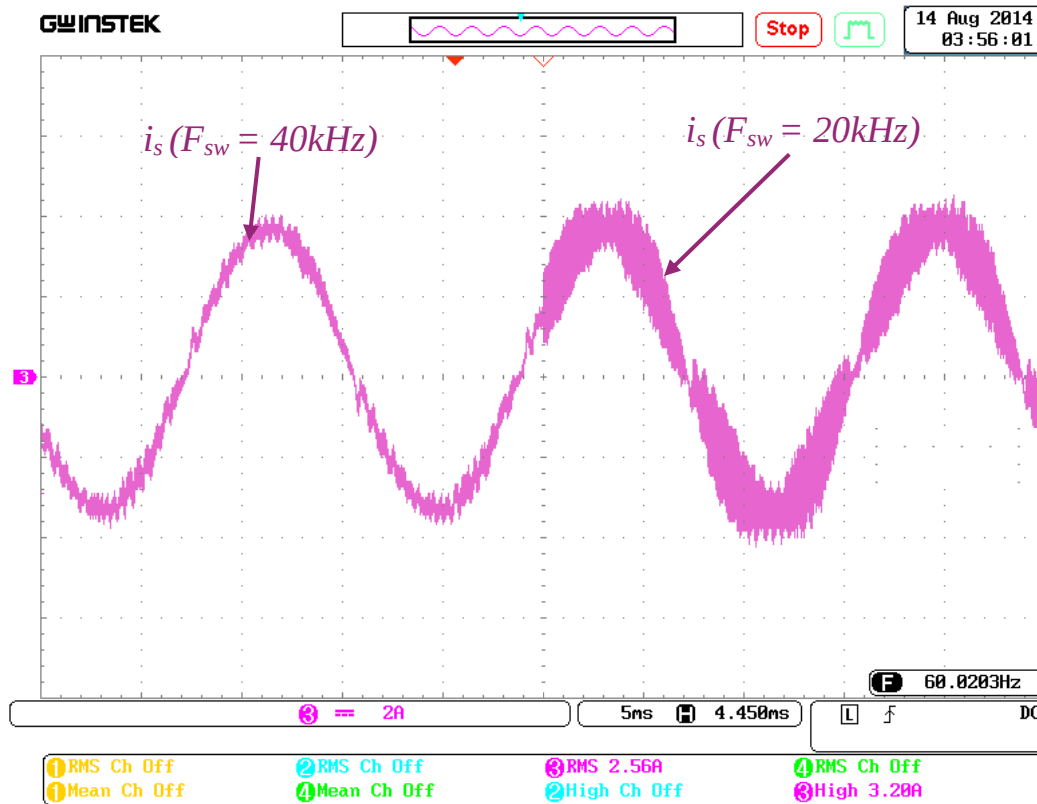


Figura 77. Comparación de las formas de onda de la corriente de entrada (i_s), cambiando la frecuencia de conmutación (F_{sw}) de 40kHz a 20kHz. ($P = 370W$)

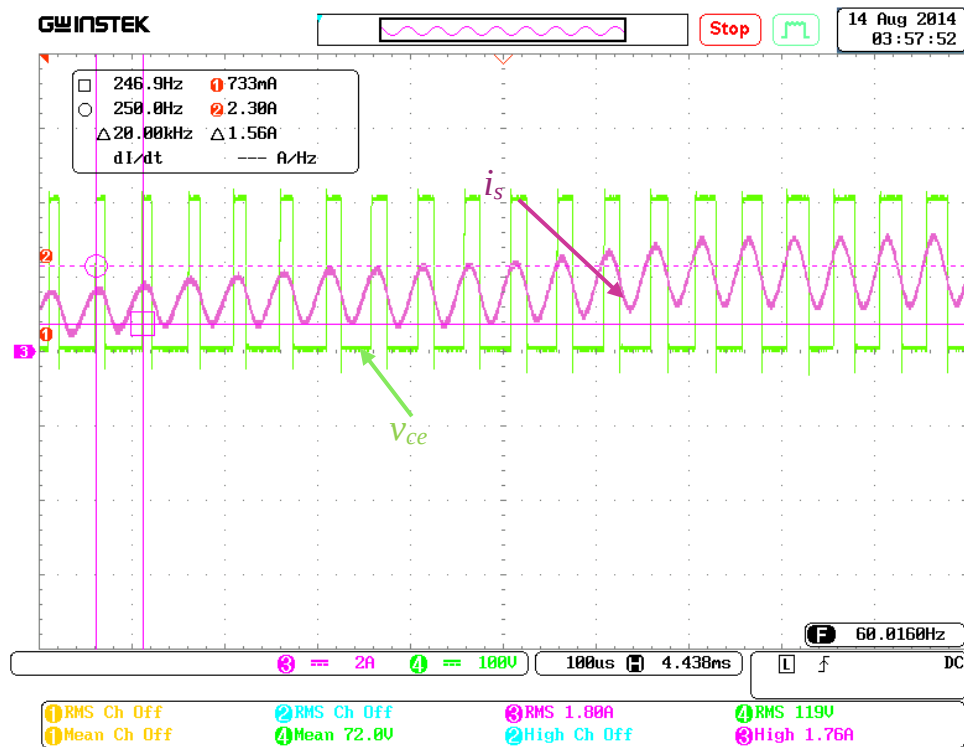


Figura 78. Formas de onda de la corriente de entrada (i_s) y el voltaje de colector a emisor en Q_1 (v_{ce}) en el convertidor AC-DC elevador sin puente con control PFC ($P = 305W$, $\Delta i_s = 250mA$)

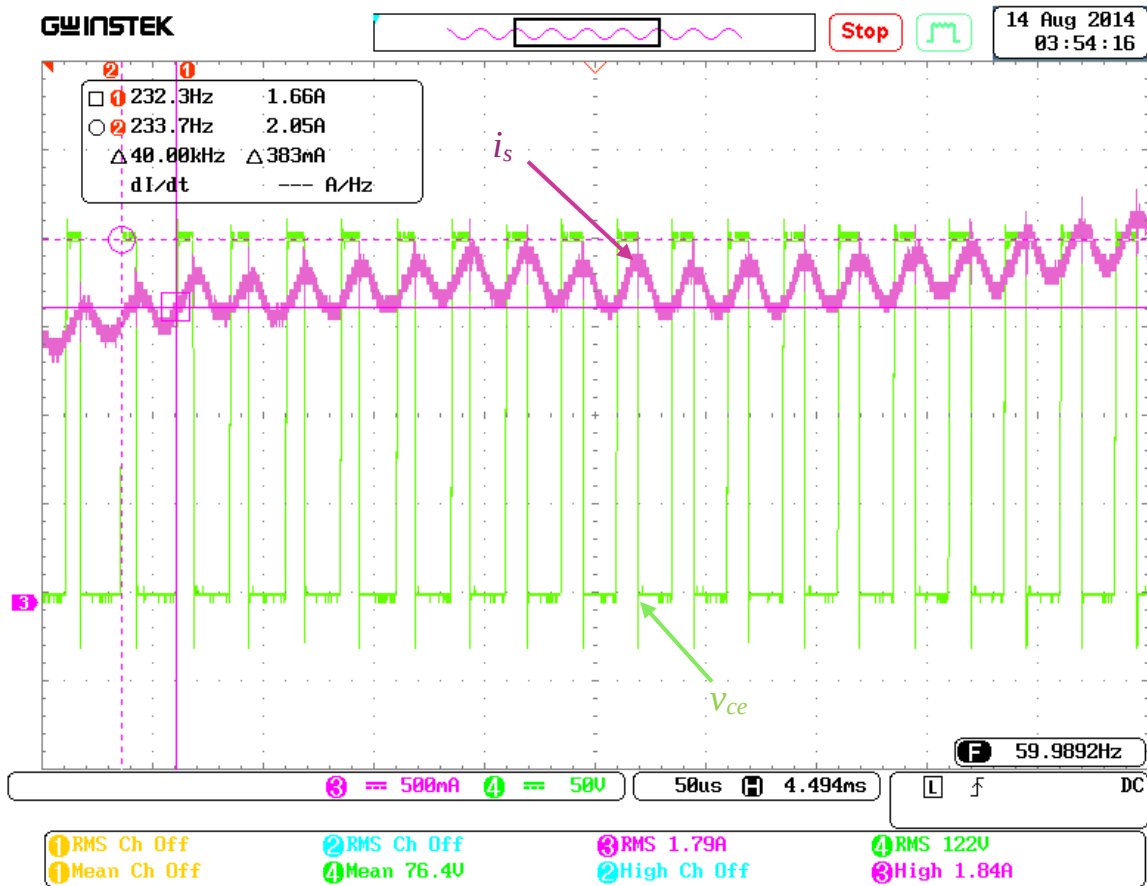


Figura 79. Formas de onda de la corriente de entrada (i_s) y el voltaje de colector a emisor en Q_1 (v_{ce}) en el convertidor AC-DC elevador sin puente con control PFC ($P = 305W$, $\Delta i_s = 250mA$)

El incremento en la frecuencia de conmutación causa el incremento de las pérdidas de potencia en la conmutación de los interruptores. El tiempo de recuperación inversa del diodo afecta el tiempo de encendido de los IGBTs en el convertidor, causando pérdidas de potencia adicionales. Las pérdidas de potencia causadas por el tiempo de recuperación inversa de los diodos pueden ser reducidas usando circuitos de ayuda a la conmutación (*snnubber*) y diodos Schottky de carburo de silicio (*SiC*, *silicon carbide*). Los diodos Schottky de carburo de silicio tienen pérdidas reducidas en la conmutación [42].

2.11.3. Ensayos realizados al convertidor AC-DC cambiando la carga

Este aparte del capítulo presenta los resultados de las pruebas experimentales realizadas al prototipo del convertidor AC-DC variando la carga. Se realizaron las mediciones del tiempo de respuesta del controlador de voltaje en la carga y del controlador de la corriente en la fuente para los siguientes cambios de la corriente de carga: desde 1,14A hasta 2,128A, desde 0,855A hasta 2,128A, desde 2,128 hasta 1,14A y desde 2,128A hasta 0,855A. Los cambios en la corriente de carga se realizaron con base en el cambio de cargas físicas mediante interruptores. Los resultados de esta prueba se muestran en las figuras 80, 81, 82 y 83, y en la Tabla 14. Todos los ensayos con variaciones de carga se realizaron con los mismos parámetros en los sistemas de control PI de voltaje y de corriente, mostrando que el sistema de control PI tiene una respuesta dinámica apropiada para un rango amplio de funcionamiento alrededor del punto de operación en el cual fue sintonizado.

La Figura 80 muestra que los sistemas de control de la corriente i_s y del voltaje v_L responden efectivamente en presencia de cambios grandes en la corriente de carga. El oscilograma mostrado en

la Figura 80 muestra que el sistema de control de voltaje responde, ante el cambio de la carga desde 2,13A hasta 0,855A, reduciendo la corriente de referencia para el sistema de control de corriente desde $3,7A_{RMS}$ hasta $1,55A_{RMS}$). El tiempo de respuesta del sistema de control de voltaje es menor a 1s. La línea punteada de color naranja indica el valor del voltaje de referencia igual a 200V.

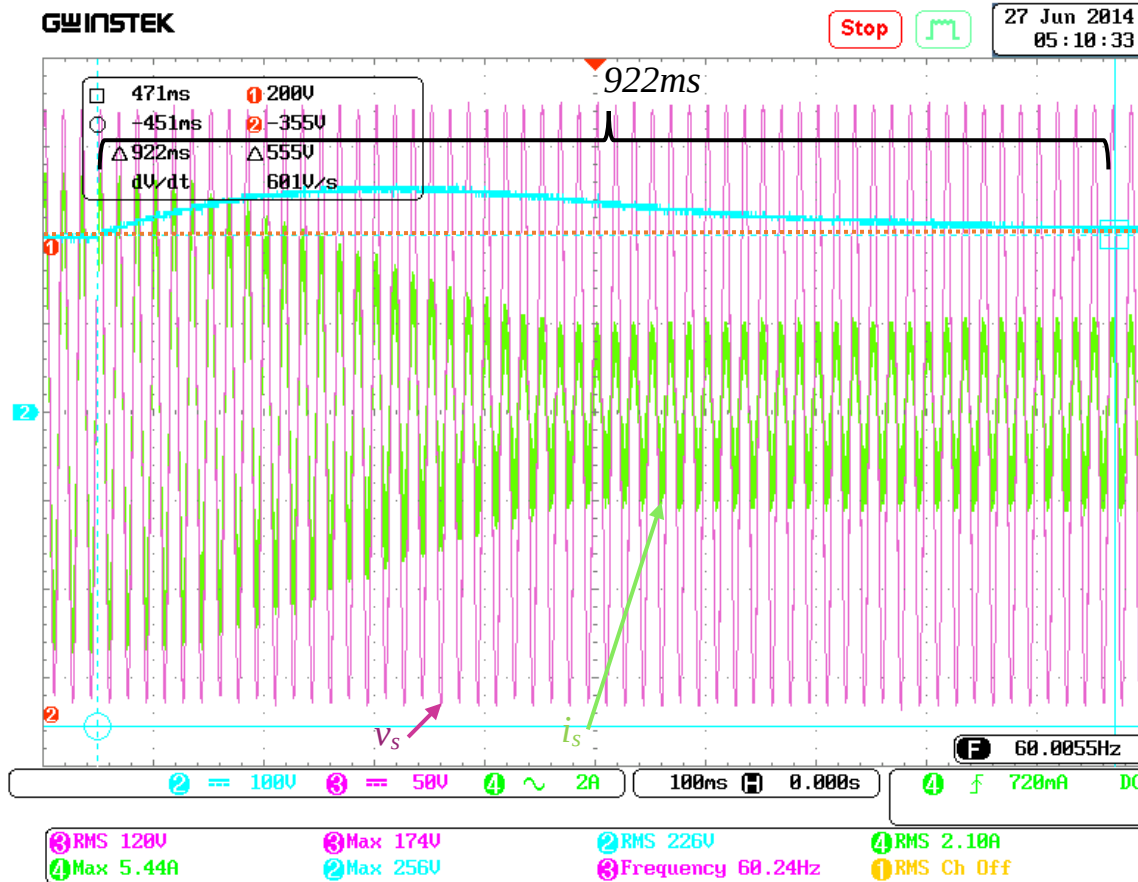


Figura 80. Respuesta del sistema de control ante el cambio de carga, condiciones iniciales ($v_{cref} = 200V_{dc}$, $P = 448W$, $i_s = 3,7A_{RMS}$), condiciones finales ($v_{cref} = 200V_{dc}$, $P = 180W$, $i_s = 1,55A_{RMS}$), tiempo de respuesta= 922ms

El oscilograma mostrado en la Figura 81 muestra que el sistema de control de voltaje responde ante el cambio de la carga desde 2,13A hasta 1,14A, reduciendo la corriente de referencia para el sistema de control de corriente desde $3,7A_{RMS}$ hasta $2A_{RMS}$). El tiempo de respuesta del sistema de control de voltaje es menor a 1s. La línea punteada de color naranja indica el valor del voltaje de referencia igual a 200V.

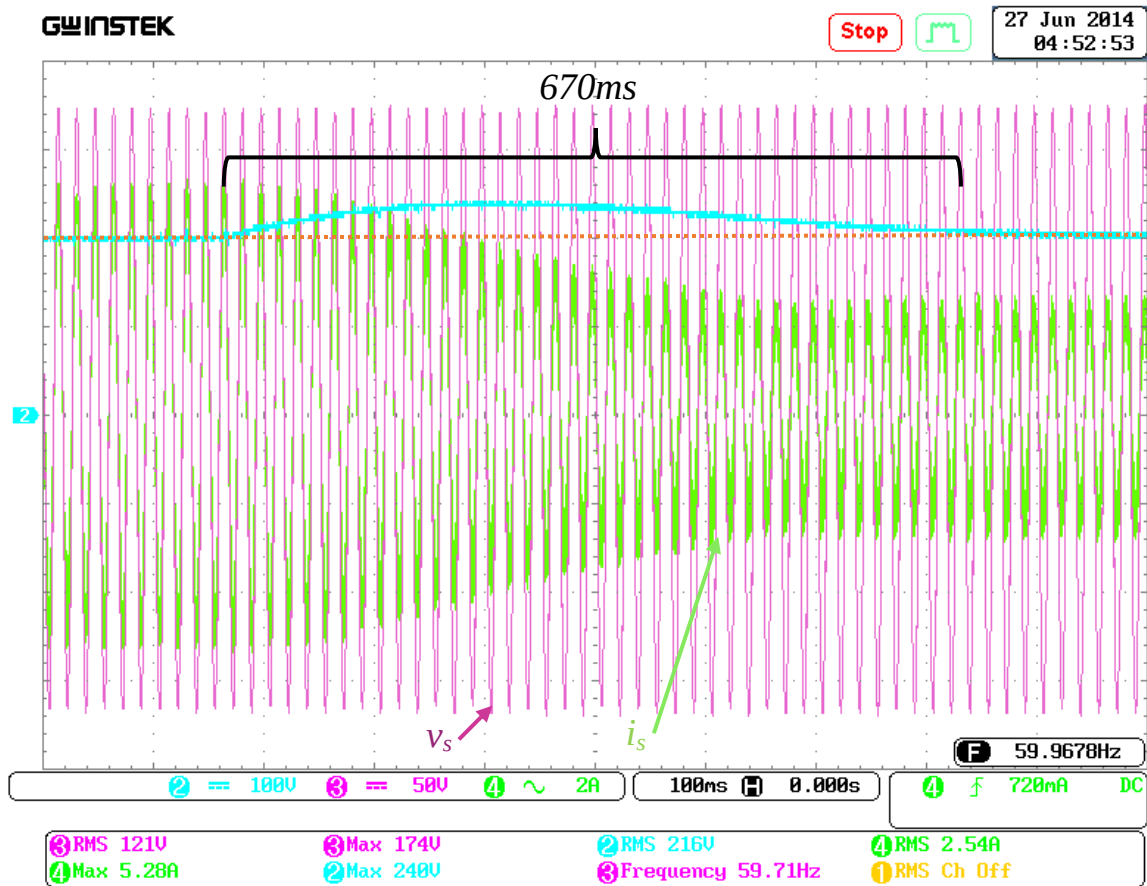


Figura 81. Respuesta del sistema de control ante el cambio de carga, condiciones iniciales ($v_{cref} = 200\text{Vdc}$, $P = 448\text{W}$, $i_s = 3,7A_{RMS}$), condiciones finales ($v_{cref} = 200\text{Vdc}$, $P = 240\text{W}$, $i_s = 2A_{RMS}$), tiempo de respuesta= 670ms

El oscilograma mostrado en la Figura 82 muestra que el sistema de control de voltaje responde ante el cambio de la carga desde 0,855A hasta 2,13A, incrementando la corriente de referencia para el sistema de control de corriente desde 1,55A_{RMS} hasta 3,7A_{RMS}). El tiempo de respuesta del sistema de control es menor a 780mS. La línea punteada de color naranja indica el valor del voltaje de referencia igual a 200V.

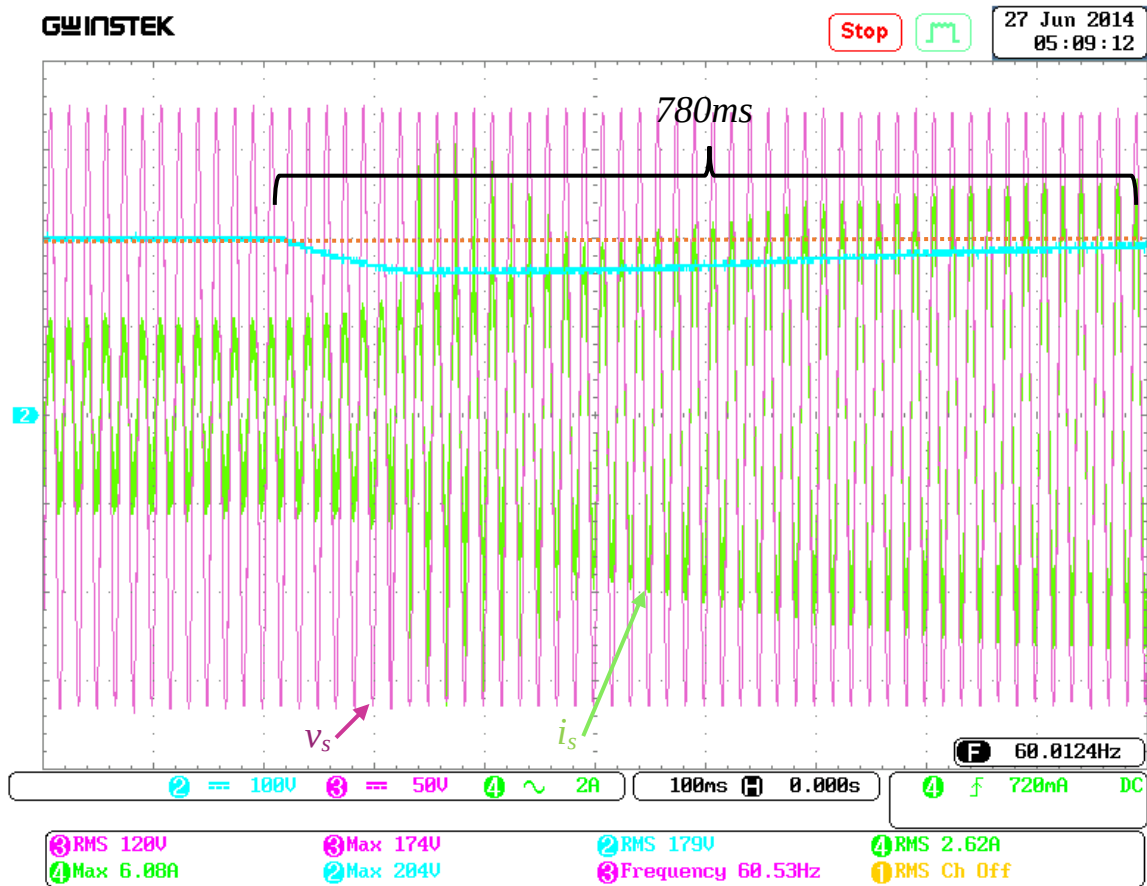


Figura 82. Respuesta del sistema de control ante el cambio de carga, condiciones iniciales ($v_{cref} = 200\text{Vdc}$, $P = 180\text{W}$, $i_s = 1,55A_{RMS}$), condiciones finales ($v_{cref} = 200\text{Vdc}$, $P = 448\text{W}$, $i_s = 3,7A_{RMS}$), tiempo de respuesta= 780ms

El oscilograma mostrado en la Figura 83 muestra que el sistema de control de voltaje responde ante el cambio de la carga desde 1,14A hasta 2,13A, incrementando la corriente de referencia para el sistema de control de corriente desde $2A_{RMS}$ hasta $3,7A_{RMS}$). El tiempo de respuesta del sistema de control es menor a 780mS.

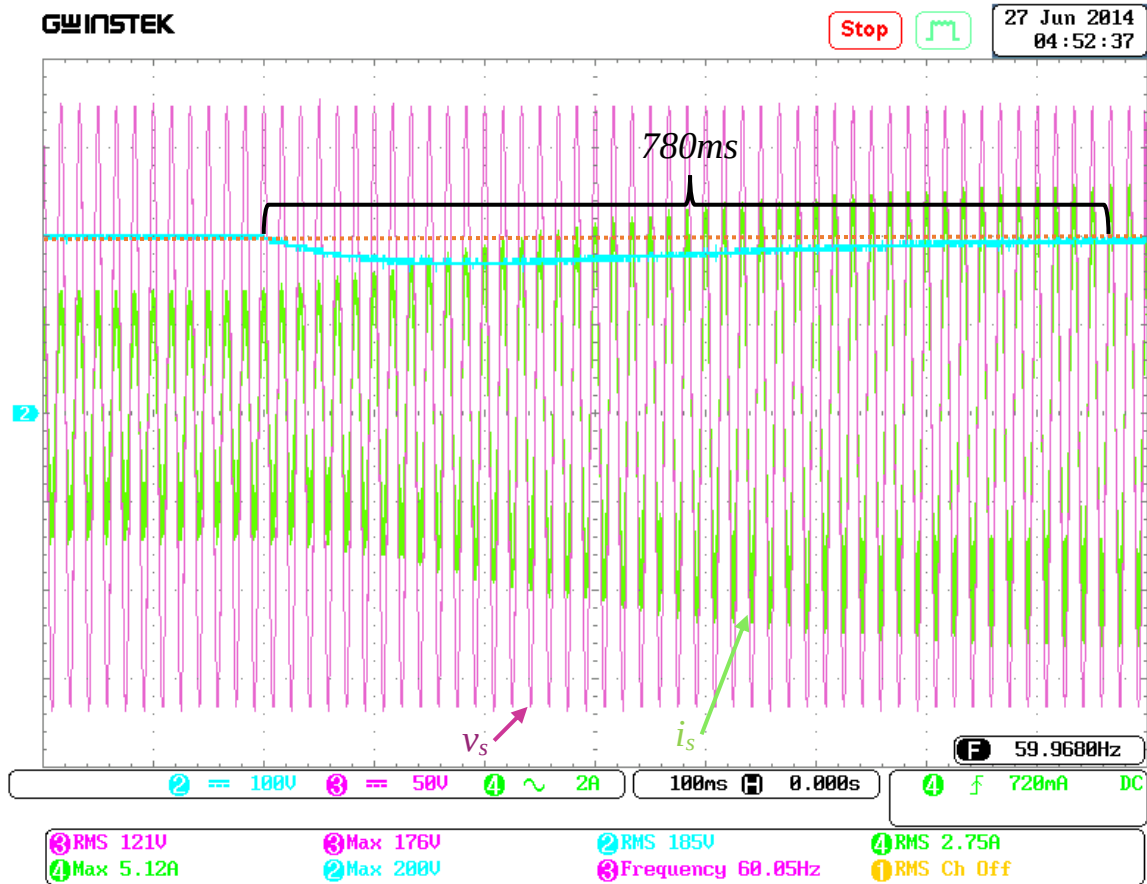


Figura 83. Respuesta del sistema de control ante el cambio de carga, condiciones iniciales ($v_{cref} = 200\text{Vdc}$, $P = 240\text{W}$, $i_s = 2A_{RMS}$), condiciones finales ($v_{cref} = 200\text{Vdc}$, $P = 448\text{W}$, $i_s = 3,7A_{RMS}$), tiempo de respuesta= 780ms

La Tabla 14 resume los resultados de los ensayos con variaciones de carga para el convertidor AC-DC elevador sin puente. Esta tabla muestra que el tiempo de respuesta del sistema de control es menor a 1 segundo en todos los ensayos. Además, los ensayos muestran que el sistema de control tiene la capacidad de responder efectivamente ante los incrementos y las reducciones de carga en un amplio rango de funcionamiento.

Tabla 14. Resultados de las pruebas de cambio de carga realizadas al convertidor AC-DC elevador sin puente

Condiciones iniciales			Condiciones finales			Tiempo de respuesta [ms]
P [W]	i_s [A RMS]	i_L [A RMS]	P [W]	i_s [A RMS]	i_L [A RMS]	
240	2	1,14	448	3,7	2,128	780
180	1,55	0,855	448	3,7	2,128	780
448	3,7	2,128	240	2	1,14	670
448	3,7	2,128	180	1,55	0,855	922

2.11.4. Ensayos realizados al convertidor AC-DC cambiando el voltaje de referencia

Este aparte del capítulo presenta los resultados de las pruebas experimentales realizadas al prototipo del convertidor AC-DC variando el voltaje de referencia. Se realizaron las mediciones del tiempo de respuesta del controlador de voltaje en la carga y del controlador de la corriente en la fuente para los siguientes cambios en el voltaje de referencia: desde 170Vdc hasta 200Vdc y desde 200Vdc a 170Vdc. La variación del voltaje de referencia se realiza desde la interfaz gráfica que controla el sistema. Los resultados de esta prueba se muestran en las figuras 84 y 85, y en la tabla 15.

El oscilograma mostrado en la Figura 84 muestra que el sistema de control de voltaje responde ante el cambio del voltaje de referencia desde 170V a 200V, aumentando la corriente de referencia para el sistema de control de corriente. El tiempo de respuesta del sistema de control de voltaje es menor a 600ms. La línea punteada de color naranja indica el valor del voltaje de referencia antes y después del cambio.

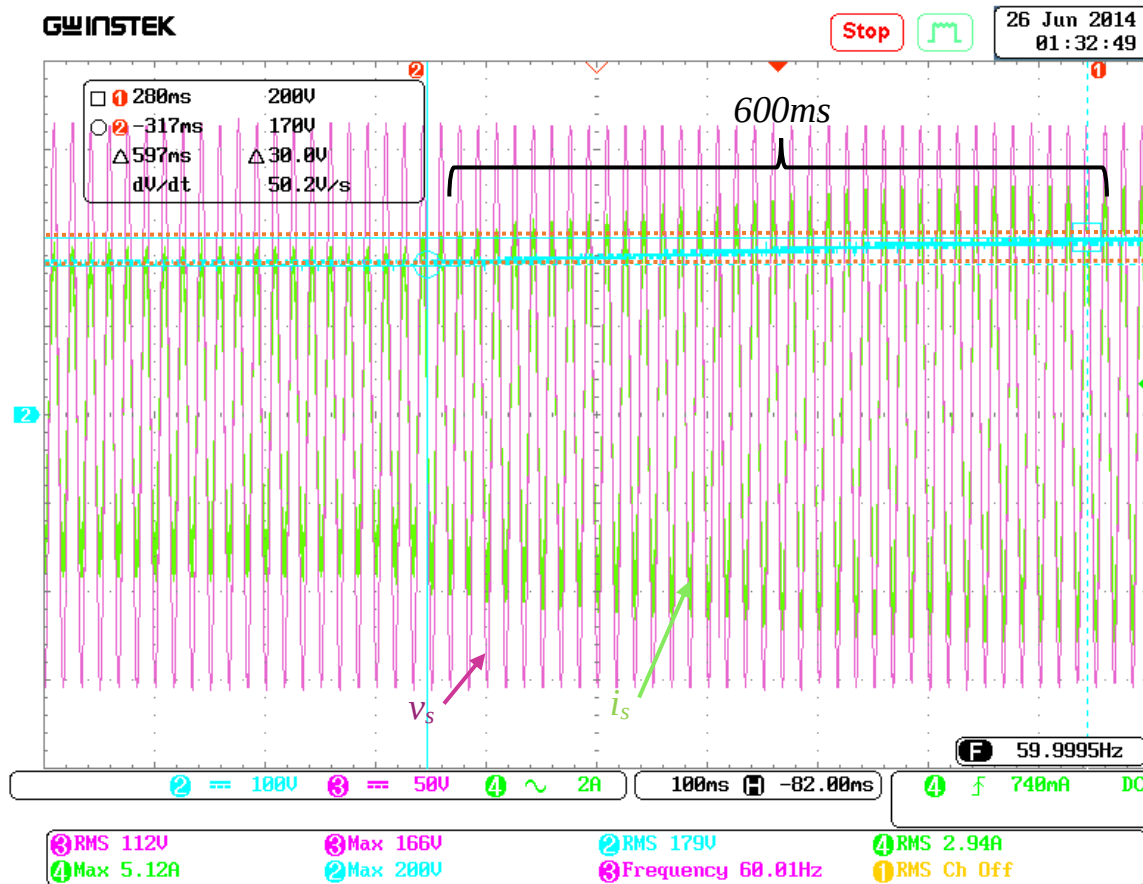


Figura 84. Cambio en el voltaje de referencia (v_{c_ref}) ($R_L = 100 \Omega$), condiciones iniciales ($P = 285W$, $v_{c_ref} = 170Vdc$, $i_s = 2,55A_{RMS}$), condiciones finales ($P = 420W$, $v_{c_ref} = 200Vdc$, $i_s = 3,7A_{RMS}$), tiempo de respuesta = 600ms

El oscilograma mostrado en la Figura 85 muestra que el sistema de control de voltaje responde ante el cambio del voltaje de referencia desde 200V a 170V. El tiempo de respuesta del sistema de control de voltaje es menor a 400ms. La línea punteada de color naranja indica el valor del voltaje de referencia antes y después del cambio.

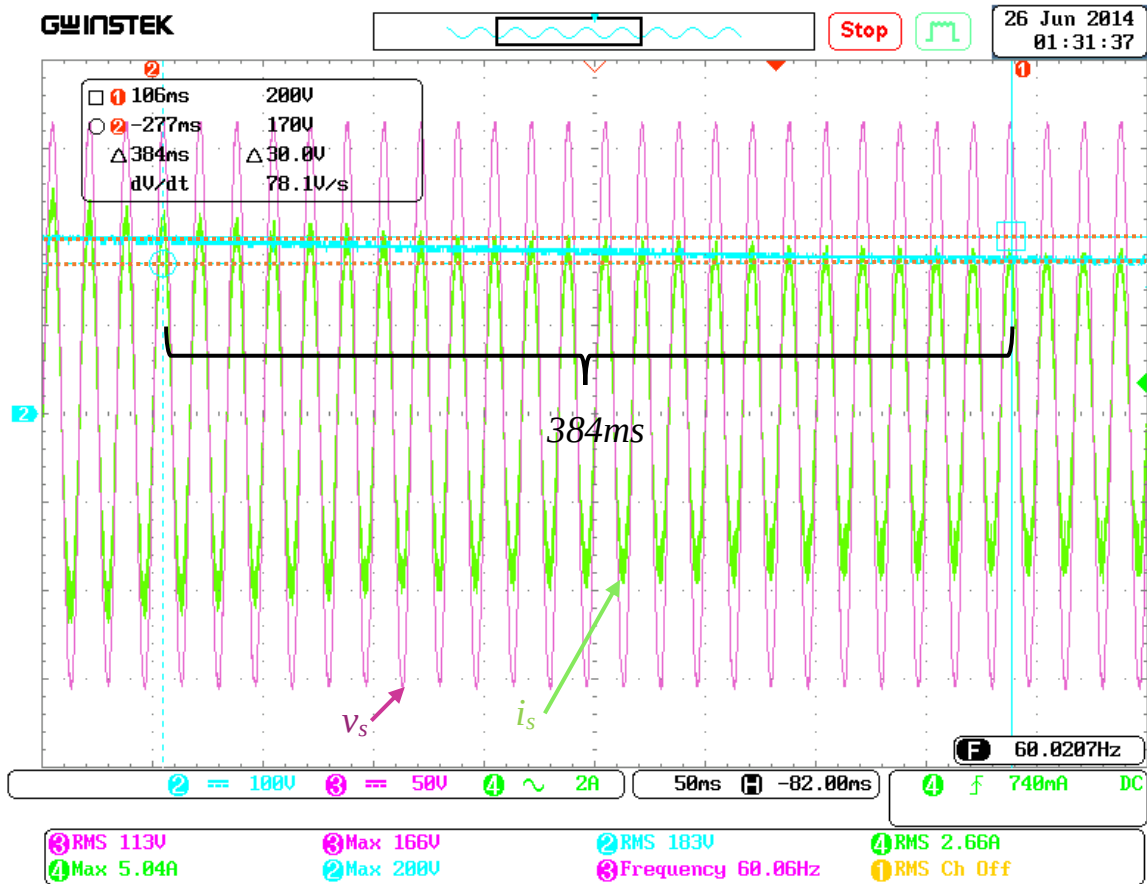


Figura 85. Cambio en el voltaje de referencia (v_{c_ref}) ($R_L = 100 \Omega$), condiciones iniciales ($P = 420W$, $v_{c_ref} = 200Vdc$, $i_s = 3,7A_{RMS}$), condiciones finales ($P = 285W$, $v_{c_ref} = 170Vdc$, $i_s = 2,55A_{RMS}$), tiempo de respuesta = 384ms

Tabla 15. Resultados de las pruebas de cambio de voltaje de referencia en la carga realizadas al convertidor AC-DC elevador sin puente

Condiciones iniciales			Condiciones finales			Tiempo de respuesta [ms]
P [W]	i_s [A RMS]	v_c [V RMS]	P [W]	i_s [A RMS]	v_c [V RMS]	
285	2,55	170	420	3,7	200	600
420	3,7	200	285	2,55	170	384

2.12. CONCLUSIONES DELCAPITULO

La introducción de armónicos en la corriente de la red de suministro tiene numerosos efectos perjudiciales, algunos de ellos son: el aumento de las pérdidas de potencia en los cables, en los transformadores y en los generadores de la red, la aparición de corrientes resonantes en el sistema de distribución, la aparición de fallas en los dispositivos de protección, y la degradación de la onda del voltaje, particularmente en el caso de las redes con impedancia de línea grande. La corriente de entrada de los circuitos rectificadores convencionales no es sinusoidal y presenta picos de corta duración. Esta corriente introduce armónicos a la red, reduciendo el factor de potencia. La distorsión armónica se puede reducir instalando filtros pasivos en la entrada del rectificador o implementando sistemas de corrección automática del factor de potencia.

Los resultados de las simulaciones permiten concluir que el convertidor AC-DC elevador sin puente alcanza mayor eficiencia energética que los convertidores: rectificador convencional y el rectificador elevador. La mayor eficiencia se obtiene al reducir la cantidad de elementos semiconductores en la trayectoria de la corriente, reduciendo la disipación de potencia en forma de calor. El sistema de control lineal PI permite reducir la THD_i y aumentar el PF en la fuente con mayor eficiencia que el sistema de control de la corriente por banda de histéresis. Este sistema de control actúa con la frecuencia de conmutación fija, reduciendo la complejidad del diseño de los filtros para mitigar las interferencias electromagnéticas. El sistema de control de la corriente por banda de histéresis causa que la frecuencia de conmutación sea variable.

El modelo matemático promedio de pequeña señal propuesto en esta tesis permite analizar mediante simulación el comportamiento dinámico del convertidor AC-DC elevador sin puente en lazo abierto y en lazo cerrado. Este modelo linealizado alrededor de un punto de operación permite diseñar el sistema de control en cascada que regula las variables de estado de sistema.

Los resultados de los ensayos experimentales permiten concluir que el convertidor AC-DC elevador sin puente con sistemas de control lineal es una solución eficiente para la corrección automática del factor de potencia, alcanzando niveles de eficiencia de hasta 99% en el rango de operación de 200W a 900W. Este sistema de control permite aumentar el factor de potencia desde 0,58 con en el rectificador convencional hasta 0,99 en el convertidor con corrección automática del factor de potencia. El sistema de control también permite reducir la THD_i desde 137% en el rectificador convencional hasta el 4% en el convertidor con corrección automática del factor de potencia. Los ensayos experimentales muestran que el convertidor AC-DC elevador desarrollado en esta tesis satisface los requerimientos de la normas de calidad de la energía IEC 1000-3-2 y EN 61000-3-2 clase A.

3. DESARROLLO DEL CONVERTIDOR DE POTENCIA DC-AC (INVERSOR) TRIFÁSICO DE DOS NIVELES

Los convertidores DC-AC, también llamados inversores, son usados para generar voltaje AC monofásico o polifásico desde una fuente de voltaje o de corriente DC. El inversor permite controlar la amplitud, la frecuencia y la fase del voltaje generado [75]. Algunas de las aplicaciones de los inversores trifásicos son: el control de la velocidad de los motores [76], las fuentes de alimentación ininterrumpidas (UPS, uninterruptible power supply) [77], los compensadores estáticos VAR [78], los filtros activos [79], los sistemas de transmisión AC flexibles (FACTS, flexible ac transmission system) y los compensadores de voltaje [80].

El inversor está compuesto por: una fuente DC, un circuito basado en interruptores de potencia y un filtro de salida. La energía de la fuente DC puede ser suministrada por paneles solares, una fuente AC seguida de un rectificador, un banco de baterías, entre otras fuentes. El circuito basado en interruptores de potencia puede ser implementado con base en IGBTs, ICGTs o MOSFETs. El filtro de salida puede ser un filtro pasivo pasa bajas L, LC o LCL [81].

El inversor puede ser usado como una fuente de corriente o como una fuente de voltaje. El convertidor como fuente de voltaje (VSC, voltage source converter) de dos niveles es una de las topologías más usadas a nivel industrial por su simplicidad y buen desempeño [75].

Este capítulo presenta el desarrollo del VSC trifásico de dos niveles mostrado en la Figura 86. El VSC trifásico desarrollado tiene dos modos de funcionamiento. 1) El VSC funciona como una fuente de voltaje y con un sistema de control automático de la corriente. En este modo de funcionamiento, el VSC puede ser usado para inyectar potencia activa o reactiva a la red de distribución desde fuentes de energía renovables. 2) El VSC funciona como una fuente de voltaje y con un sistema de control automático de la amplitud del voltaje. En este modo de funcionamiento, el VSC puede ser usado para alimentar cargas trifásicas sensibles que requieren amplitud del voltaje constante o para alimentar maquinas eléctricas trifásicas.

Este capítulo también presenta las transformaciones matemáticas de Clark y de Park. Estas transformaciones son usadas en el análisis de sistemas eléctricos trifásicos. En esta tesis, las transformadas de Clark y de Park son usadas para reducir la complejidad del modelo matemático y del sistema de control del inversor trifásico. En este capítulo también se desarrolla el modelo matemático promedio y se diseña el sistema de control PI para el VSC trifásico. Este capítulo también presenta el estudio del lazo de enganche de fase (PLL, Phase Locked Loop) usado para la sincronización del VSC trifásico a la red, cuando se usa el sistema de control de corriente en el marco de referencia dq . Además, este capítulo presenta el procedimiento de diseño para el filtro LCL usado como interfaz entre el VSC y la red de distribución. Los análisis teóricos se corroboran mediante las pruebas experimentales realizadas al prototipo de laboratorio.

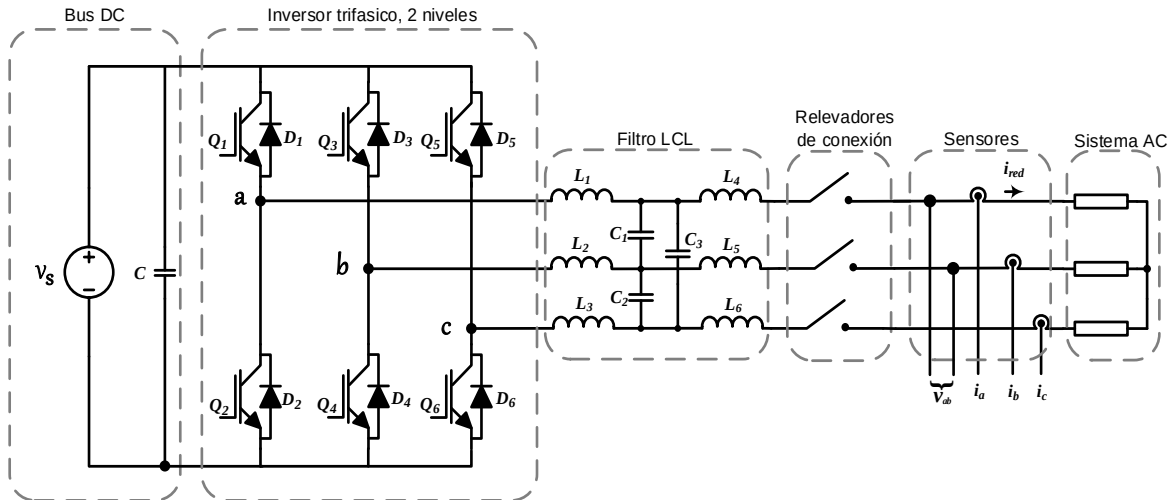


Figura 86. Diagrama esquemático del prototipo del convertidor DC-AC trifásico implementado en el laboratorio

3.1. CONVERTIDOR TRIFASICO COMO FUENTE DE VOLTAJE (VSC TRIFASICO)

La topología del VSC trifásico de dos niveles, mostrada en la Figura 87, está compuesta por tres ramas de interruptores de potencia (rama a , rama b y rama c), seis interruptores de potencia controlados (Q_1 a Q_6), seis diodos anti-paralelos (D_1 a D_6), una fuente de voltaje de DC (v_s) y un banco de condensadores (C). La conexión de la carga al VSC trifásico de dos niveles puede ser en estrella o en triángulo y se realiza a través de un filtro de red.

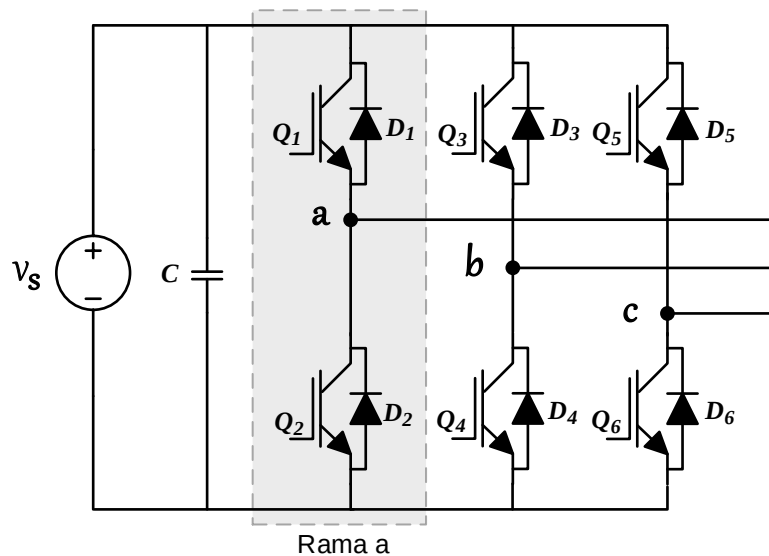


Figura 87. Topología del VSC trifásico de dos niveles

Cada rama del VSC trifásico está compuesta por dos interruptores controlados y dos diodos anti-paralelo, como se muestra en el área sombreada de la Figura 87. Los interruptores y los diodos de cada rama del VSC conmutan entre los estados de corte y saturación, variando el ancho del pulso del voltaje en la salida del VSC. Las señales de disparo de los interruptores de potencia se producen con base en la estrategia de modulación PWM.

3.2. MODULACION PWM

La Figura 88 muestra una clasificación de las técnicas de modulación PWM. Estas técnicas de modulación pueden clasificarse en dos tipos: 1) las técnicas de modulación PWM con frecuencia de conmutación fija y 2) las técnicas de modulación PWM con frecuencia de conmutación aleatoria.

Algunas de las técnicas de modulación PWM con frecuencia de conmutación fija son: la modulación sinusoidal por ancho del pulso (SPWM, Sinusoidal Pulse Width Modulation) [82], la Modulación PWM en espacios vectoriales (SVPWM, Space Vector Pulse Width Modulation) [4] y la técnica de eliminación selectiva de armónicos (SHEPWM, Selective Harmonic Eliminated Pulse Width Modulation) [83]. Algunas de las técnicas de modulación con frecuencia de conmutación aleatoria son: el PWM con frecuencia aleatoria (RFPWM, Random Pulse Width Modulation), la posición del pulso aleatorio (RPP, Random Pulse Position) y la conmutación aleatoria (RS, Random Switching) [84].

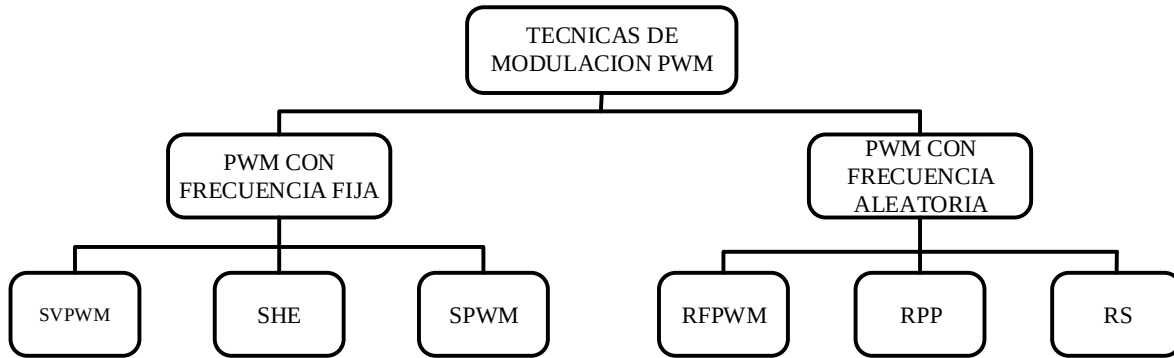


Figura 88. Clasificación de las técnicas de modulación PWM

La estrategia de modulación SPWM, usada en esta tesis, consiste en la generación de las señales de disparo mediante la comparación de una señal triangular de alta frecuencia (señal portadora) y tres señales sinusoidales con la frecuencia del voltaje deseado en la carga (señales moduladoras). La comparación de la señal portadora y de la señal moduladora genera una señal cuadrada con la frecuencia de la señal portadora. Esta señal cuadrada es usada para conmutar los interruptores de potencia [85] [82].

A. TIEMPO MUERTO

Los interruptores de potencia requieren de un tiempo finito para completar el proceso de apagado y el proceso de encendido. Es decir, los interruptores no pueden conmutar entre los estados de corte y saturación inmediatamente. El tiempo muerto (T_d) es el tiempo que se retrasa la señal de encendido del interruptor complementario en una rama del VSC. Por ejemplo, en el encendido del interruptor Q_1 de la rama a (Figura 87), el inicio de la señal de encendido se retrasa el tiempo muerto necesario para que el interruptor Q_2 complete el proceso de apagado, evitando la conducción simultánea y la disipación excesiva de potencia de los dos interruptores de la rama. Usualmente, T_d se adiciona digitalmente en la secuencia de conmutación.

La adición de T_d en la conmutación de los interruptores aumenta la THD en el voltaje de salida del VSC. Razón por la cual, la magnitud de T_d se debe reducir hasta un valor razonable. Un criterio de selección de T_d se expresa en la ecuación (18078).

$$T_d = t_{off} + 0,2 t_{off} \quad (78)$$

Donde t_{off} es el tiempo de apagado del interruptor de potencia usado en el VSC. Usualmente, t_{off} es mayor que el tiempo de encendido del interruptor (t_{on}). El 20% de t_{off} se adiciona al tiempo muerto para aumentar la confiabilidad en la conmutación.

3.3. TRANSFORMADA DE CLARK Y TRANSFORMADA DE PARK

3.3.1. Transformada de Clark directa

La transformada de Clark, también conocida como transformada α, β , es una transformación matemática que permite transformar un sistema tridimensional de corrientes o voltajes en un sistema bidimensional representado por las magnitudes x_α y x_β , usando un marco de referencia estacionario (plano cartesiano). La transformada de Clark permite reducir la complejidad del sistema de ecuaciones que representa al sistema trifásico. Algunas de las aplicaciones de la transformada de Clark son: el estudio y el control vectorial de motores trifásicos, y el control de VSC con conexión a la red [4].

El sistema trifásico y simétrico puede ser descrito por un fasor expresado en coordenadas polares, como se muestra en la ecuación (79):

$$\vec{X} = \frac{2}{3} [\vec{X}_a e^{j0^\circ} + \vec{X}_b e^{j120^\circ} + \vec{X}_c e^{j240^\circ}] \quad (79)$$

Donde $\vec{X}$ es el fasor que representa el sistema trifásico, $\vec{X}_a$, $\vec{X}_b$ y $\vec{X}_c$ corresponden a las fases del sistema trifásico. En esta representación fasorial se satisface la expresión $\vec{X}_a + \vec{X}_b + \vec{X}_c \triangleq 0$.

La transformada de Clark mapea el fasor $\vec{X}$ del sistema tridimensional al sistema cartesiano. Este sistema cartesiano se conoce como marco de referencia α, β . El fasor $\vec{X}$ puede ser descompuesto en los componentes del eje real y los componentes del eje imaginario en el marco de referencia α, β , como lo muestra la ecuación (80).

$$\vec{X} = \vec{X}_\alpha + j\vec{X}_\beta \quad (80)$$

Sustituyendo el fasor $\vec{X}$ de la ecuación (81) en la ecuación (79) se obtiene la ecuación (81)

$$\vec{X}_\alpha + j\vec{X}_\beta = \frac{2}{3} [\vec{X}_a e^{j0^\circ} + \vec{X}_b e^{j120^\circ} + \vec{X}_c e^{j240^\circ}] \quad (81)$$

Descomponiendo el fasor $\vec{X}$ en la parte real y en la parte imaginaria se obtiene la ecuación (82)

$$\vec{X}_\alpha + j\vec{X}_\beta = \frac{2}{3} [\vec{X}_a \cos(0) + j\vec{X}_a \sin(0) + \vec{X}_b \cos(120^\circ) + j\vec{X}_b \sin(120^\circ) + \vec{X}_c \cos(240^\circ) + j\vec{X}_c \sin(240^\circ)] \quad (82)$$

Resolviendo matemáticamente se obtiene

$$\vec{X}_\alpha + j\vec{X}_\beta = \frac{2}{3} \left[\vec{X}_a - \frac{1}{2}\vec{X}_b + j\frac{\sqrt{3}}{2}\vec{X}_b - \frac{1}{2}\vec{X}_c - j\frac{\sqrt{3}}{2}\vec{X}_c \right] \quad (83)$$

Separando la parte real y la parte imaginaria se obtienen las ecuaciones (84) y (85)

$$\vec{X}_\alpha = R\{\vec{X}_\alpha + j\vec{X}_\beta\} = \frac{2}{3} \left[\vec{X}_a - \frac{1}{2}\vec{X}_b - \frac{1}{2}\vec{X}_c \right] \quad (84)$$

$$\vec{X}_\beta = I\{\vec{X}_\alpha + j\vec{X}_\beta\} = \frac{2}{3} \left[\frac{\sqrt{3}}{2}\vec{X}_b - \frac{\sqrt{3}}{2}\vec{X}_c \right] \quad (85)$$

Las ecuaciones (84) y (85) se pueden representar matricialmente por la ecuación (86), obteniendo la transformada directa de Clark.

$$\begin{bmatrix} \vec{X}_\alpha \\ \vec{X}_\beta \end{bmatrix} = \frac{2}{3} \begin{bmatrix} 1 & -1/2 & -1/2 \\ 0 & \sqrt{3}/2 & -\sqrt{3}/2 \end{bmatrix} \begin{bmatrix} \vec{X}_a \\ \vec{X}_b \\ \vec{X}_c \end{bmatrix} \quad (86)$$

3.3.2. Transformada de Clark Inversa

La transformada de Clark inversa puede ser obtenida usando las siguientes ecuaciones.

$$\vec{X}_a = R\{\vec{X}_\alpha + j\vec{X}_\beta\} e^{-j0} \quad (87)$$

$$\vec{X}_b = R\{\vec{X}_\alpha + j\vec{X}_\beta\} e^{-j120} \quad (88)$$

$$\vec{X}_c = R\{\vec{X}_\alpha + j\vec{X}_\beta\} e^{-j240} \quad (89)$$

Utilizando la propiedad de Euler se obtienen las ecuaciones (90), (91) y (92)

$$\vec{X}_a = R\{\vec{X}_\alpha + j\vec{X}_\beta\} (\cos 0 - j\sin 0) = \vec{X}_\alpha \quad (90)$$

$$\vec{X}_b = R\{\vec{X}_\alpha + j\vec{X}_\beta\} (\cos 120 - j\sin 120) = \frac{-1}{2}\vec{X}_\alpha + \frac{\sqrt{3}}{2}\vec{X}_\beta \quad (91)$$

$$\vec{X}_c = R\{\vec{X}_\alpha + j\vec{X}_\beta\} (\cos 240 - j\sin 240) = \frac{-1}{2}\vec{X}_\alpha - \frac{\sqrt{3}}{2}\vec{X}_\beta \quad (92)$$

Estas ecuaciones pueden ser ordenadas matricialmente, obteniendo la transformada inversa de Clark (ecuación (93))

$$\begin{bmatrix} \vec{X}_a \\ \vec{X}_b \\ \vec{X}_c \end{bmatrix} = \begin{bmatrix} 1 & 0 \\ -1/2 & \sqrt{3}/2 \\ -1/2 & -\sqrt{3}/2 \end{bmatrix} \begin{bmatrix} \vec{X}_\alpha \\ \vec{X}_\beta \end{bmatrix} \quad (93)$$

3.3.3. Transformada de Park directa

La transformada de Park se obtiene mediante la rotación del plano cartesiano a la frecuencia angular del sistema trifásico, operando en un marco de referencia rotatorio. La diferencia principal de la transformada de Park respecto a la transformada de Clark es que en la transformada de Clark se opera mediante un fasor rotatorio y en la transformada de Park el sistema cartesiano es rotatorio (marco de

referencia rotatorio). La transformada de Park permite mapear el sistema bidimensional de magnitudes sinusoidales en el marco $\alpha\beta$ a un sistema de dos magnitudes constantes $\overrightarrow{X_d}$ y $\overrightarrow{X_q}$.

Partiendo de la representación del sistema con la transformada de Clark, mostrada en la ecuación (94), se puede mapear el sistema al marco de referencia rotatorio (ecuación (95))

$$\vec{X} = \overrightarrow{X_\alpha} + j\overrightarrow{X_\beta} \quad (94)$$

$$\vec{X} = (\overrightarrow{X_d} + j\overrightarrow{X_q})e^{j\theta} \quad (95)$$

Donde θ contiene la información de la fase del sistema trifásico. Igualando las dos expresiones anteriores se obtiene:

$$\vec{X} = \overrightarrow{X_\alpha} + j\overrightarrow{X_\beta} = (\overrightarrow{X_d} + j\overrightarrow{X_q})e^{j\theta} \quad (96)$$

$$\overrightarrow{X_d} + j\overrightarrow{X_q} = e^{-j\theta}(\overrightarrow{X_\alpha} + j\overrightarrow{X_\beta}) \quad (97)$$

La identidad de Euler permite deducir que:

$$\overrightarrow{X_d} + j\overrightarrow{X_q} = (\overrightarrow{X_\alpha} + j\overrightarrow{X_\beta})(\cos\theta - j\sin\theta) \quad (98)$$

$$\overrightarrow{X_d} + j\overrightarrow{X_q} = \overrightarrow{X_\alpha}\cos\theta - j\overrightarrow{X_\alpha}\sin\theta + j\overrightarrow{X_\beta}\cos\theta + \overrightarrow{X_\beta}\sin\theta \quad (99)$$

La descomposición de la ecuación (99) en la parte real y en la parte imaginaria permite expresar los componentes $\overrightarrow{X_d}$ y $\overrightarrow{X_q}$ en las ecuaciones (100) y (101).

$$\overrightarrow{X_d} = R\{\vec{X}\} = \overrightarrow{X_\alpha}\cos\theta + \overrightarrow{X_\beta}\sin\theta \quad (100)$$

$$\overrightarrow{X_q} = I\{\vec{X}\} = -\overrightarrow{X_\alpha}\sin\theta + \overrightarrow{X_\beta}\cos\theta \quad (101)$$

La transformada de Park directa en forma matricial se presenta en la ecuación (102).

$$\begin{bmatrix} \overrightarrow{X_d} \\ \overrightarrow{X_q} \end{bmatrix} = \begin{bmatrix} \cos\theta & \sin\theta \\ -\sin\theta & \cos\theta \end{bmatrix} \begin{bmatrix} \overrightarrow{X_\alpha} \\ \overrightarrow{X_\beta} \end{bmatrix} \quad (102)$$

3.3.4. Transformada de Park inversa

$$\vec{X} = (\overrightarrow{X_d} + j\overrightarrow{X_q})e^{j\theta} \quad (103)$$

Usando la identidad de Euler se obtiene la ecuación (104).

$$\overrightarrow{X_\alpha} + j\overrightarrow{X_\beta} = (\overrightarrow{X_d} + j\overrightarrow{X_q})(\cos\theta + j\sin\theta) \quad (104)$$

Operando matemáticamente en las ecuaciones (104) y (105) se obtiene:

$$\overrightarrow{X_\alpha} + j\overrightarrow{X_\beta} = \overrightarrow{X_d}\cos\theta + j\overrightarrow{X_d}\sin\theta + j\overrightarrow{X_q}\cos\theta - \overrightarrow{X_q}\sin\theta \quad (105)$$

La descomposición de la ecuación (105) en la parte real y en la parte imaginaria permite expresar los componentes $\vec{X}_\alpha$ y $\vec{X}_\beta$ en las ecuaciones (106) y (107).

$$\vec{X}_\alpha = R\{\vec{X}\} = \vec{X}_d \cos\theta - \vec{X}_q \sin\theta \quad (106)$$

$$\vec{X}_\beta = I\{\vec{X}\} = \vec{X}_d \sin\theta + \vec{X}_q \cos\theta \quad (107)$$

La transformada de Park inversa puede ser representada en forma matricial en la ecuación (108).

$$\begin{bmatrix} \vec{X}_\alpha \\ \vec{X}_\beta \end{bmatrix} = \begin{bmatrix} \cos\theta & -\sin\theta \\ \sin\theta & \cos\theta \end{bmatrix} \begin{bmatrix} \vec{X}_d \\ \vec{X}_q \end{bmatrix} \quad (108)$$

3.4. PRINCIPIO DE FUNCIONAMIENTO, MODELO MATEMATICO Y DISEÑO DEL SISTEMA DE CONTROL DEL VSC TRIFASICO DE DOS NIVELES

En esta sección se analiza el principio de funcionamiento del inversor de medio puente, como bloque constructivo del VSC trifásico. Cada rama del VSC trifásico está compuesta por un inversor de medio puente. Posteriormente, el análisis realizado al inversor de medio puente se extiende al VSC trifásico.

En el modelamiento del VSC se hacen las siguientes suposiciones: 1) cada transistor y cada diodo actúa como un corto circuito en estado de conducción, 2) cada transistor y cada diodo actúa como un circuito abierto en estado de bloqueo, 3) la transición entre los estados de conmutación de los interruptores es inmediata, 4) la fuente DC no tiene rizado de voltaje y no tiene resistencia parasita, y 5) la inductancia L_2 es mucho menor que la inductancia L_1 en el filtro LCL, razón por la cual se puede aproximar $L=L_1+L_2$.

La Figura 89 muestra el diagrama esquemático del inversor de medio puente. El inversor de medio puente está compuesto por dos celdas de interruptores de potencia. Cada celda de interruptores está compuesta por la conexión en paralelo de interruptor controlable con flujo de corriente unidireccional y un diodo. El interruptor controlable puede ser un IGBT, un IGCT o un MOSFET. La celda superior del medio puente del inversor está compuesta por el IGBT (Q_1) y el diodo (D_1). Similarmente, la celda inferior del medio puente está compuesta por el IGBT (Q_2) y el diodo (D_2).

El modelo matemático se realiza con base en la conexión en serie de dos fuentes en el bus DC. El punto medio de las dos fuentes DC es el punto de referencia del voltaje. En el lado de AC el inversor de medio puente se conecta con la carga AC. La carga AC puede ser una carga resistiva e inductiva o la red de distribución. Usualmente, la conexión entre el sistema AC y el lado AC del inversor de voltaje se realiza a través de un filtro que permita acoplar las impedancias entre los dos sistemas y reduce la tasa de cambio del voltaje y la corriente en el enlace. En este modelo, el filtro se modela como un inductor en serie con su resistencia interna del inductor. En algunos casos, la carga o el sistema AC tiene embebido la inductancia, y no se requiere la conexión de inductores externos. Por ejemplo, el sistema de control de motores con base en VSCs utiliza la inductancia del motor en la interface entre el VSC y el sistema AC.

En la Figura 89, P_{DC} representa la potencia instantánea suministrada por la fuente DC, P_t denota la potencia en el lado AC, y P_s significa la potencia observada por el sistema AC.

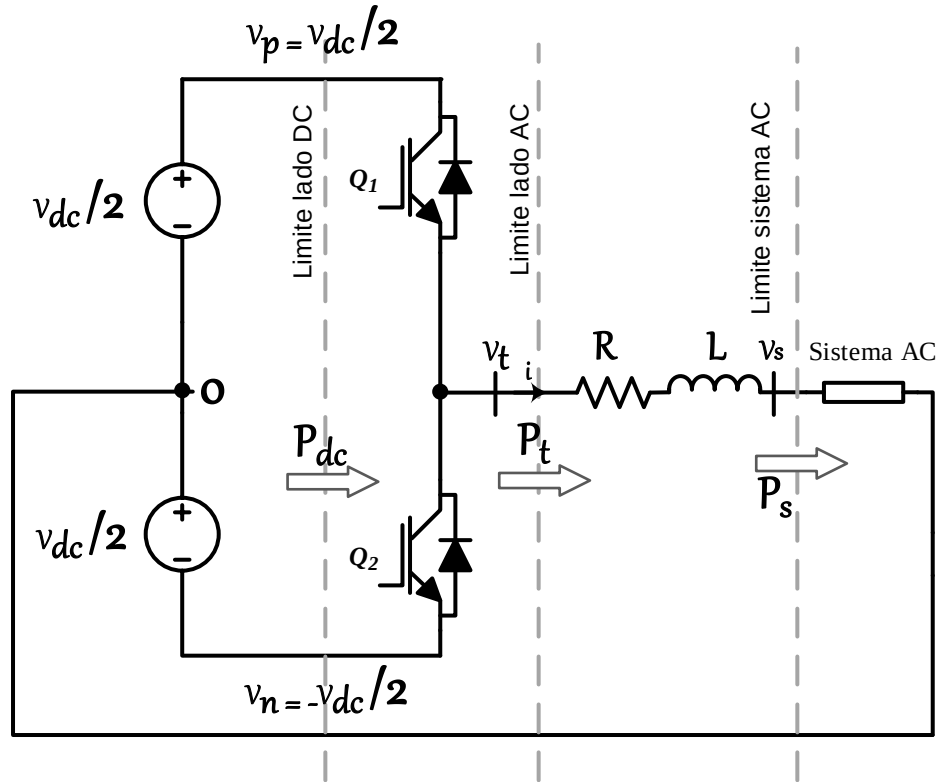


Figura 89. Diagrama esquemático del inversor de medio puente (rama del VSC trifásico)

3.4.1. Principio de operación del inversor de medio puente

El inversor de medio puente opera con base en la conmutación complementaria de los interruptores Q_1 y Q_2 . La señal de encendido y apagado de los interruptores se genera con base en la estrategia de modulación SPWM. La frecuencia de la señal portadora determina la frecuencia de conmutación de los interruptores. La función de conmutación de cada interruptor se muestra en la ecuación (109)

$$S_t \triangleq \begin{cases} 1, & \text{si } Q_1 \text{ esta encendido (estado de saturación)} \\ 0, & \text{si } Q_2 \text{ esta apagado (estado de corte)} \end{cases} \quad (109)$$

La conmutación de los interruptores debe satisfacer las siguientes reglas: 1) los dos interruptores de una rama en el VSC no pueden estar en el estado de conducción simultáneamente, debido a que se pondría en corto circuito a la fuente DC, y 2) el sistema AC no puede estar en circuito abierto, debido a que no se deben dejar inductancias abiertas con energía almacenada. La estrategia de modulación SPWM permite que se cumplan las reglas de conmutación descritas y la ecuación (110)

$$S_{Q_1} + S_{Q_2} \triangleq 1 \quad (110)$$

El voltaje en la salida del inversor de medio puente ser caracterizado por la ecuación (111).

$$v_t = \frac{V_{dc}}{2} (S_{Q_1} - S_{Q_2}) \quad (111)$$

P_{DC} , P_t y P_s son calculadas con base en las ecuaciones (112), (113) y (114), como:

$$P_{DC} = v_p i_p + v_n i_n = \frac{V_{DC}}{2} (i S_{Q_1}) - \frac{V_{DC}}{2} (i S_{Q_2}) = \frac{V_{DC}}{2} i (S_{Q_1} - S_{Q_2}) \quad (112)$$

$$P_t = v_t i = \frac{V_{DC}}{2} i (S_{Q_1} - S_{Q_2}) \quad (113)$$

$$P_s = v_s i \quad (114)$$

Asumiendo la operación ideal de los interruptores de potencia, las pérdidas de potencia en el VSC pueden ser modeladas como:

$$P_{loss} = P_{DC} - P_t = 0 \quad (115)$$

3.4.2. Modelo promedio del inversor de medio puente

Los modelos precisos del interruptor de potencia describen el comportamiento dinámico del convertidor de potencia. La precisión del modelo puede ser mejorada, incluyendo las funciones que representan el cambio del voltaje y de la corriente en el interruptor de potencia y la información del comportamiento dinámico en alta frecuencia. No obstante, estos modelos que incluyen información detallada del comportamiento dinámico del interruptor aumentan la complejidad del modelo. En el análisis dinámico y en el diseño del controlador el conocimiento del comportamiento de las variables en frecuencia alta no es necesario. Debido a que, el sistema de control actúa como un filtro pasa bajas [86]. El modelo promedio describe el comportamiento dinámico del convertidor de potencia como una función de la señal de modulación. El compromiso apropiado entre la precisión y la complejidad del modelo son criterios necesarios en el proceso de diseño de los convertidores de potencia [87] [88].

La ecuación (116) se obtiene con base en la aplicación de la ley de Kirchoff en el lado de CA del circuito de la Figura 89.

$$L \frac{di}{dt} + Ri + v_s - v_t = 0 \quad (116)$$

Donde v_t es una señal periódica de periodo T_s , y puede ser descrita usando la transformada de Fourier

$$v_t = \frac{1}{T_s} \int_0^{T_s} v_t(\tau) d\tau + \sum_{h=1}^{h=+\infty} [a_h \cos(h\omega_s t) + b_h \sin(h\omega_s t)] \quad (117)$$

Donde h es el orden del armónico, $\omega_s = \frac{2\pi}{T_s}$, y a_h y b_h están dados por:

$$a_h = \frac{2}{T_s} \int_0^{T_s} v_t(\tau) \cos(h\omega_s \tau) d\tau \quad (118)$$

$$b_h = \frac{2}{T_s} \int_0^{T_s} v_t(\tau) \sin(h\omega_s \tau) d\tau \quad (119)$$

Usando la función promedio descrita en la ecuación (120) e ignorando los términos de frecuencia alta en la ecuación (117), se puede representar el modelo promedio del sistema como se muestra en la ecuación (121).

$$\bar{X} = \frac{1}{T_s} \int_{t-T_s}^{T_s} X(\tau) d\tau \quad (120)$$

$$L \frac{di}{dt} + Ri = \frac{1}{T_s} \int_{t-T_s}^{T_s} (v_t(\tau) - v_s(\tau)) d\tau \quad (121)$$

Las señales de conmutación son generadas por el proceso de modulación PWM. Estas señales cambian de un periodo de conmutación al siguiente. La definición de función promedio permite también promediar las señales de conmutación. No obstante, el modelo es válido si la frecuencia de conmutación es al menos diez veces más grande que la frecuencia de las señales de voltaje y corriente en el convertidor. Es decir, si la frecuencia de la señal portadora en la modulación SPWM es adecuadamente mayor que la frecuencia de la señal moduladora. La corriente y el voltaje DC pueden ser asumidos como constantes en el periodo de conmutación.

Aplicando el operador de la función promedio a S_{Q_1} y S_{Q_2} , se puede deducir:

$$\begin{aligned} \bar{S}_{Q_1} &= d \\ \bar{S}_{Q_2} &= 1 - d \end{aligned} \quad (122)$$

Donde la línea sobre la variable indica que es una variable promedio y d es el ciclo de trabajo útil de la señal de conmutación. Sustituyendo la ecuación (122) desde la ecuación (111) se obtiene la representación promedio para el voltaje, la potencia y las pérdidas.

$$\bar{v}_t = \frac{V_{dc}}{2} (2d - 1) \quad (123)$$

$$\bar{P}_{DC} = \frac{V_{DC}}{2} (2d - 1) i \quad (124)$$

$$\bar{P}_t = \frac{V_{DC}}{2} (2d - 1) i \quad (125)$$

$$\bar{P}_s = v_s i \quad (126)$$

$$\bar{P}_{loss} = \bar{P}_{DC} - \bar{P}_t = 0 \quad (127)$$

El ciclo de trabajo útil d puede asumir cualquier valor entre 0 y 1. Si se adopta la estrategia de modulación SPWM, m puede ser definido como:

$$m = 2d - 1 \quad (128)$$

El modelo promedio de la corriente se muestra en la ecuación (129).

$$L \frac{d\bar{i}}{dt} + R\bar{i} + \bar{v}_s - \bar{v}_t = 0 \quad (129)$$

3.4.3. Principio de operación del VSC trifásico

En esta sección se emplean el modelo dinámico promedio del inversor de medio puente y las transformaciones del sistema trifásico a los marcos de referencia $\alpha\beta$ y dq para obtener el modelo promedio del VSC trifásico de dos niveles. El VSC trifásico, mostrado en la

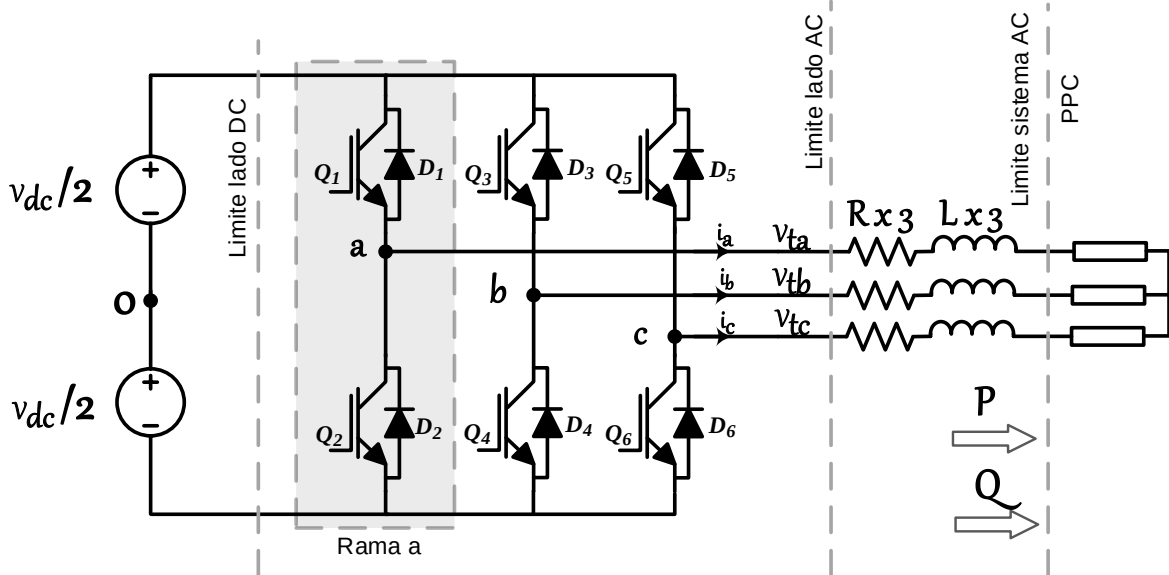


Figura 90, está compuesto por tres ramas de inversores de medio puente idénticas. Este convertidor es llamado VSC de dos niveles, debido a que el voltaje AC en sus terminales puede asumir los niveles de voltaje $-V_{dc}$ y V_{dc} . El VSC trifásico puede proveer flujo de potencia bidireccional entre el bus DC y el sistema AC trifásico, intercambiando potencia activa o reactiva. El sistema AC puede ser pasivo como una carga RLC o puede ser activo como una maquina asíncrona trifásica o la red de distribución. La conexión del VCS con el sistema AC se hace a través del punto de acoplamiento común (PCC, Point of Common Coupling). En la figura 90, las letras a, b, c se asocian a la correspondiente fase del sistema AC trifásico.

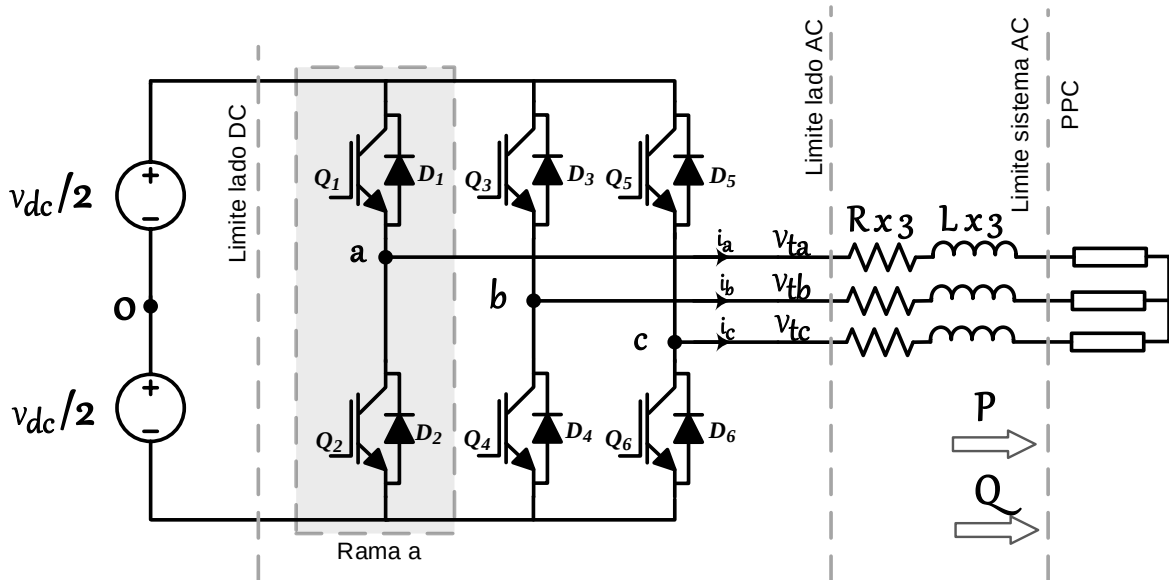


Figura 90. Diagrama esquemático del VSC trifásico

Los voltajes en las terminales de cada inversor de medio puente, representado en cada fase se denotan en las ecuaciones (130), (131) y (132).

$$v_{ta} = m_a \frac{V_{dc}}{2} \quad (130)$$

$$v_{tb} = m_b \frac{V_{dc}}{2} \quad (131)$$

$$v_{tc} = m_c \frac{V_{dc}}{2} \quad (132)$$

Las ecuaciones (130), (131) y (132) indican que, para obtener el voltaje trifásico balanceado en el lado AC debe suministrarse una señal trifásica balanceada para la generación de las señales de conmutación, como se muestra en las siguientes ecuaciones

$$m_a = \hat{m}_a \cos [\varepsilon(t)] \quad (133)$$

$$m_b = \hat{m}_b \cos [\varepsilon(t) + 120^\circ] \quad (134)$$

$$m_c = \hat{m}_c \cos [\varepsilon(t) + 240^\circ] \quad (135)$$

Donde $\varepsilon(t)$ tiene embebida la información de la frecuencia y el ángulo de fase del sistema trifásico.

3.4.4. Modelo del VSC trifásico de dos niveles en el marco de referencia $\alpha\beta$

Las ecuaciones (130)-(132) describen la relación entre la señal de modulación y los voltajes de fase en el lado AC del VSC trifásico de dos niveles. Con base en estas ecuaciones se puede transformar el vector espacial del sistema trifásico al marco de referencia $\alpha\beta$, como:

$$v_{t\alpha} = m_\alpha \frac{V_{dc}}{2} \quad (136)$$

$$v_{t\beta} = m_\beta \frac{V_{dc}}{2} \quad (137)$$

Las ecuaciones (136) y (137) indican que los componentes α y β del voltaje en el lado AC son proporcionales a los componentes α y β de la señal de modulación. La potencia real del VSC puede ser expresada en términos de las cantidades mapeadas en el marco $\alpha\beta$.

$$P_t = \frac{3}{2} [v_{t\alpha} i_\alpha + v_{t\beta} i_\beta] \quad (138)$$

Similarmente, La potencia reactiva del VSC puede ser expresada en términos de las cantidades mapeadas en el marco $\alpha\beta$.

$$Q_t = \frac{3}{2} [-v_{t\alpha} i_\beta + v_{t\beta} i_\alpha] \quad (139)$$

3.4.5. Modelo del VSC trifásico de dos niveles en el marco de referencia dq

Las variables a controlar en el marco de referencia $\alpha\beta$ y en el sistema abc son funciones sinusoidales del tiempo. Los sistemas de control lineales se diseñan con un ancho de banda que rechaza las señales de ruido de alta frecuencia. Esta configuración dificulta que el sistema de control PI pueda seguir adecuadamente las señales de referencia sinusoidales. En contraste, las variables a controlar en el marco de referencia dq son señales constantes fácilmente reguladas por el controlador lineal PI.

Los voltajes de fase en lado AC del VSC trifásico pueden ser representados en el marco de referencia dq , como:

$$v_{td} = m_d \frac{V_{dc}}{2} \quad (140)$$

$$v_{tq} = m_q \frac{V_{dc}}{2} \quad (141)$$

La potencia real del VSC puede ser expresada en términos de las cantidades mapeadas en el marco dq .

$$P_s = \frac{3}{2} [v_{sd}i_d + v_{sq}i_q] \quad (142)$$

Similarmente, La potencia reactiva del VSC puede ser expresada en términos de las cantidades mapeadas en el marco dq .

$$Q_s = \frac{3}{2} [-v_{sd}i_q + v_{sq}i_d] \quad (143)$$

3.4.6. Sistema de control del VSC en el marco de referencia $\alpha\beta$ con conexión a la red

Los sistemas que usan VSC pueden ser clasificados como: 1) los sistemas VSC en los cuales la frecuencia es impuesta por la red de distribución, 2) los sistemas VSC donde la frecuencia es impuesta por el VSC, y 3) los sistemas VSC con frecuencia de operación variable.

En los sistemas de control del VSC donde la frecuencia es impuesta por la red, el VSC debe sincronizarse en frecuencia y en fase con el sistema AC. Algunas de las aplicaciones de este sistema de control son las unidades de generación distribuidas (DG, Distributed Generation), los sistemas de transmisión de alto voltaje DC (HVDC, High Voltage Direct Current) y los controladores de los sistemas FACTS. El sistema de control puede ser usado para controlar la potencia activa y la potencia reactiva que se intercambia con el sistema AC, en el punto de acoplamiento común PCC. En el VSC, mostrado en la figura 90, las potencias P_s y Q_s pueden ser controladas con base en dos métodos. 1) El control del voltaje y 2) el control de la corriente.

Usualmente, el control en modo de voltaje es usado en aplicaciones de voltaje alto o potencia alta como en los controladores FACTS [89]. En el control de voltaje, la potencias P_s y Q_s se controlan con base en la variación del ángulo de fase y de la amplitud del voltaje del VSC respecto al voltaje del sistema AC en el PCC. El sistema de control de voltaje tiene la ventaja de requerir pocos lazos de control. Sin embargo, este controlador no puede proteger el sistema en los eventos de falla con la presencia de sobre corrientes.

El sistema de control de la corriente permite controlar las potencias P_s y Q_s , modificando el ángulo de fase y la amplitud de la corriente de línea respecto al voltaje presente en el PCC. El sistema de control de la corriente permite proteger el sistema en presencia de eventos de falla con sobre corriente. En comparación con el sistema de control del voltaje, el sistema de control de la corriente tiene mejor desempeño dinámico y mayor precisión [75].

La Figura 91 muestra el diagrama esquemático del sistema de control de la corriente en el marco de referencia $\alpha\beta$. Esta estrategia de control permite controlar indirectamente la potencia activa y reactiva que intercambia el VSC con el sistema AC. Las potencias P_s y Q_s son controladas modificando los componentes de la corriente i_α e i_β . Las señales de las mediciones realizadas a las corrientes y voltajes de línea son transformadas al marco de referencia $\alpha\beta$ y luego procesadas por los sistemas de control. La señal de control producida está en el marco de referencia $\alpha\beta$. Las señales de control son transformadas al marco abc y luego son usadas para producir las señales de disparo de los interruptores de potencia. Este sistema de control no requiere de la sincronización del sistema mediante el PLL o la detección del cruce por cero, debido a que las señales en el marco de referencia $\alpha\beta$ contienen la información de la frecuencia y la fase de la red de distribución.

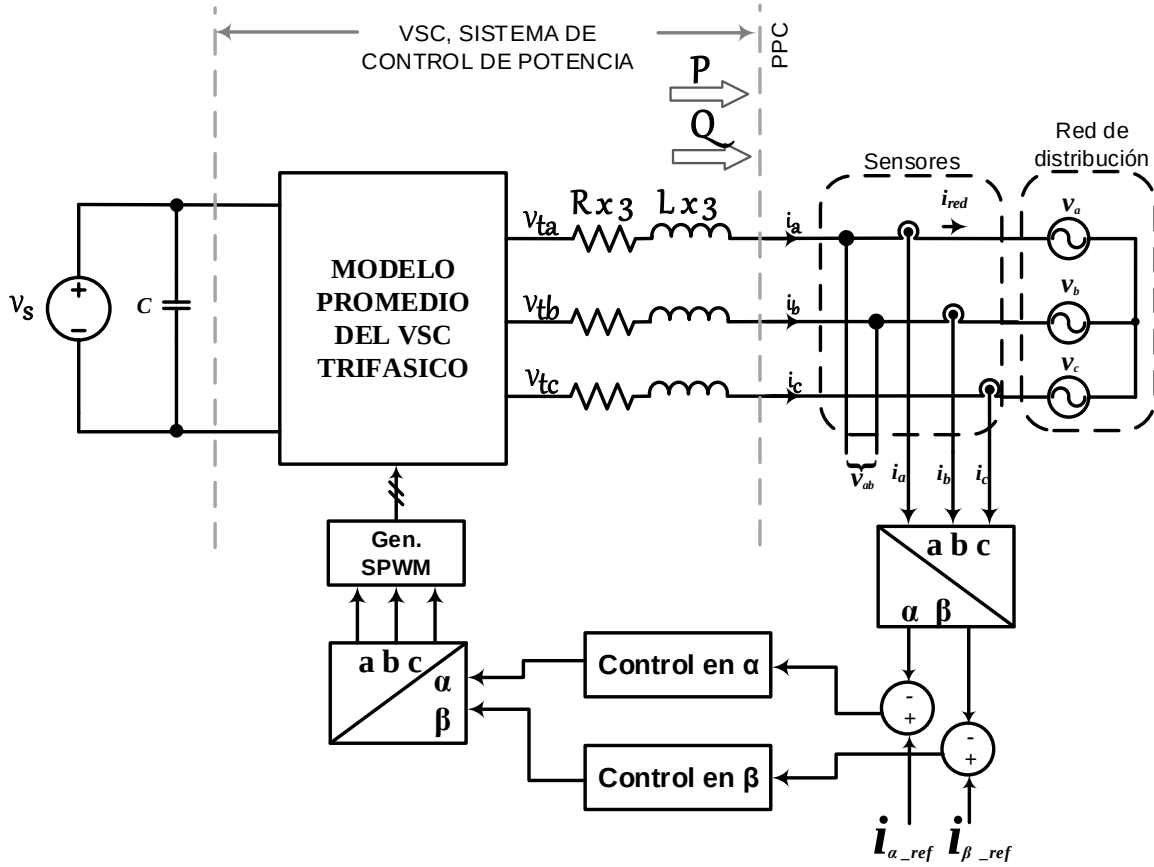


Figura 91. Diagrama esquemático del sistema de control de corriente en el marco de referencia $\alpha\beta$
Asumiendo que el voltaje trifásico en el sistema AC es:

$$v_{sa} = \hat{v}_s \cos(\omega_0 t + \theta_0) \quad (144)$$

$$v_{sb} = \hat{v}_s \cos(\omega_0 t + \theta_0 + 120^\circ) \quad (145)$$

$$v_{sc} = \hat{v}_s \cos(\omega_0 t + \theta_0 + 240^\circ) \quad (146)$$

Donde $\hat{v}_s$ es el voltaje pico de línea a neutro, ω_0 es la frecuencia del sistema AC, y θ_0 es el ángulo inicial. La potencia activa y la potencia reactiva pueden ser calculadas con base en la transformada de Clark de las magnitudes eléctricas del sistema AC, como se muestra en las ecuaciones (147) y (148).

$$P_s = \frac{3}{2} [v_{s\alpha} i_\alpha + v_{s\beta} i_\beta] \quad (147)$$

$$Q_s = \frac{3}{2} [-v_{s\alpha} i_\beta + v_{s\beta} i_\alpha] \quad (148)$$

Las corrientes i_β y i_α pueden ser reguladas por el sistema control, controlando P_s y Q_s de forma indirecta. Las corrientes de referencia que debe seguir el sistema de control están dadas por:

$$i_{\alpha_ref} = \frac{2}{3} \left[\frac{v_{s\alpha}}{v_{s\alpha}^2 + v_{s\beta}^2} \right] P_{s-ref} + \frac{2}{3} \left[\frac{v_{s\beta}}{v_{s\alpha}^2 + v_{s\beta}^2} \right] Q_{s-ref} \quad (149)$$

$$i_{\beta_ref} = \frac{2}{3} \left[\frac{v_{s\beta}}{v_{s\alpha}^2 + v_{s\beta}^2} \right] P_{s-ref} - \frac{2}{3} \left[\frac{v_{s\alpha}}{v_{s\alpha}^2 + v_{s\beta}^2} \right] Q_{s-ref} \quad (150)$$

Las ecuaciones dinámicas en el lado AC del VSC pueden ser descritas por:

$$L \frac{di_a}{dt} = -Ri_a - v_{sa} + v_{ta} \quad (151)$$

$$L \frac{di_b}{dt} = -Ri_b - v_{sb} + v_{tb} \quad (152)$$

$$L \frac{di_c}{dt} = -Ri_c - v_{sc} + v_{tc} \quad (153)$$

Con base en la ecuación (154) las ecuaciones (151)-(153) pueden ser representadas en función del fasor espacial, como se muestra a continuación:

$$e^{j0^\circ} + e^{j120^\circ} + e^{j240^\circ} \triangleq 0 \quad (154)$$

$$L \frac{d\vec{i}}{dt} = -R\vec{i} - \vec{v}_s + \vec{v}_t \quad (155)$$

Sustituyendo con la transformada de Clark en la ecuación (155) y separando los componentes real e imaginario, se deduce:

$$L \frac{di_\alpha}{dt} = -Ri_\alpha - v_{s\alpha} + v_{t\alpha} \quad (156)$$

$$L \frac{di_\beta}{dt} = -Ri_\beta - v_{s\beta} + v_{t\beta} \quad (157)$$

Expresando $v_{t\alpha}$ y $v_{t\beta}$ en términos de m_α y m_β respectivamente, en (156) y (157) se puede deducir que:

$$L \frac{di_\alpha}{dt} = -Ri_\alpha - v_{s\alpha} + m_\alpha \frac{V_{DC}}{2} \quad (158)$$

$$L \frac{di_\beta}{dt} = -Ri_\beta - v_{s\beta} + m_\beta \frac{V_{DC}}{2} \quad (159)$$

3.4.7. Sistema de control del VSC en el marco de referencia dq con conexión a la red

El sistema de control en el marco de referencia dq y el sistema de control en el marco de referencia $\alpha\beta$ reducen el número de plantas a controlar de tres a dos, en comparación con el sistema trifásico abc . Sin embargo, el sistema de control en el marco de referencia $\alpha\beta$ debe seguir señales de referencia sinusoidales. El sistema de control en el marco de referencia dq sigue señales de referencia constantes, facilitando la regulación de las variables eléctricas con controladores PI. El sistema de control PI puede reducir el error en estado estacionario a cero, cuando sigue referencias constantes.

Las ventajas del control dq respecto al control $\alpha\beta$ son: 1) el control y filtrado de magnitudes DC es más sencillo que el control de magnitudes AC. 2) El sistema de control de corriente dq desacopla el control de la potencia activa del sistema de control de la potencia reactiva.

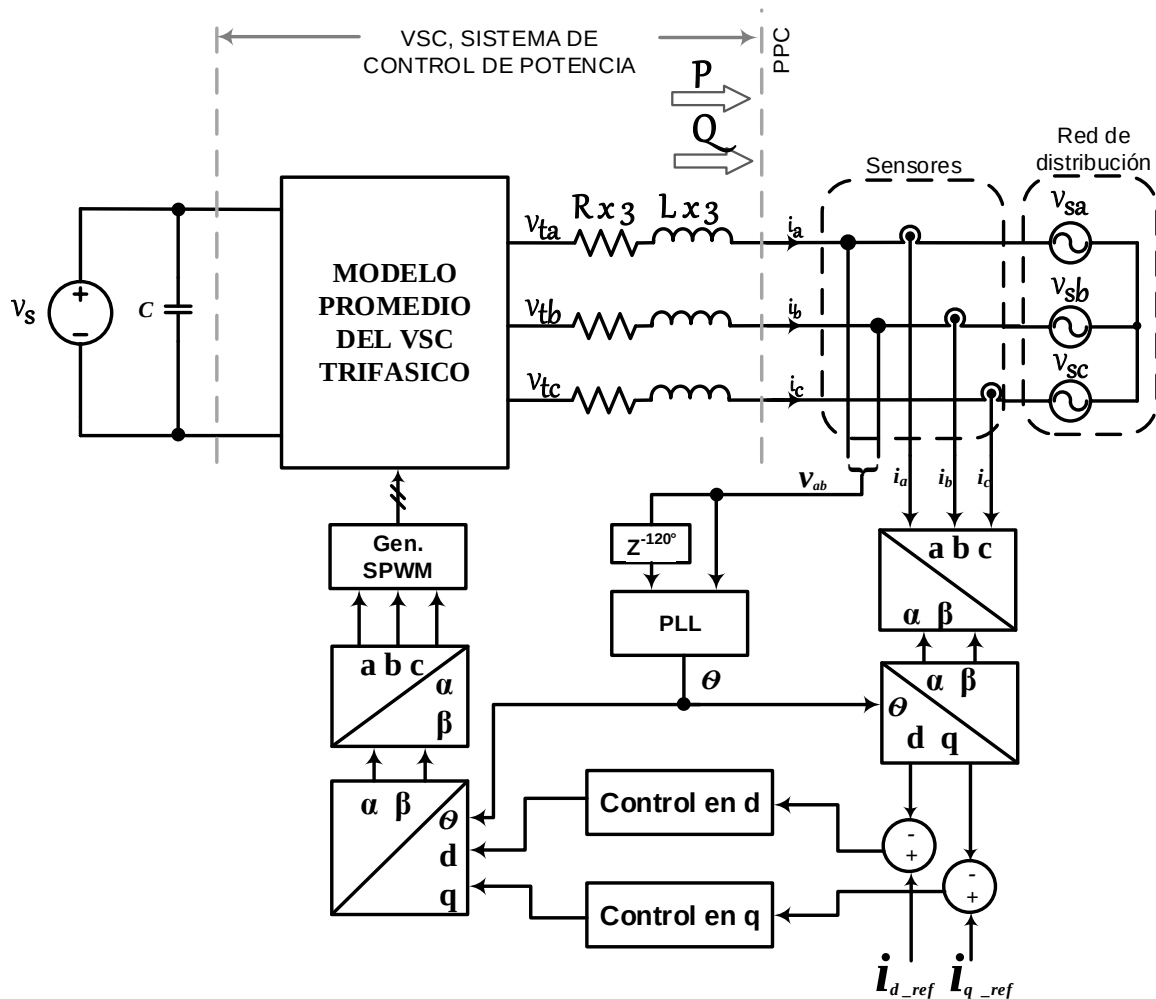


Figura 92 muestra el diagrama esquemático del sistema de control de la corriente en el marco de referencia dq . Esta estrategia de control permite controlar las potencias P_s y Q_s , modificando los componentes de la corriente i_d e i_q . Las señales de las mediciones realizadas a las corrientes y voltajes de línea son transformadas al marco de referencia dq . Luego, las señales de corriente son procesadas por los sistemas de control. La señal de control producida está en el marco de referencia dq . Las señales de control son transformadas al marco de referencia abc y luego son usadas para producir las señales de disparo de los interruptores de potencia. Este sistema de control requiere de la sincronización del sistema de control del VSC con la red de distribución mediante el sistema PLL o la detección del cruce por cero.

94

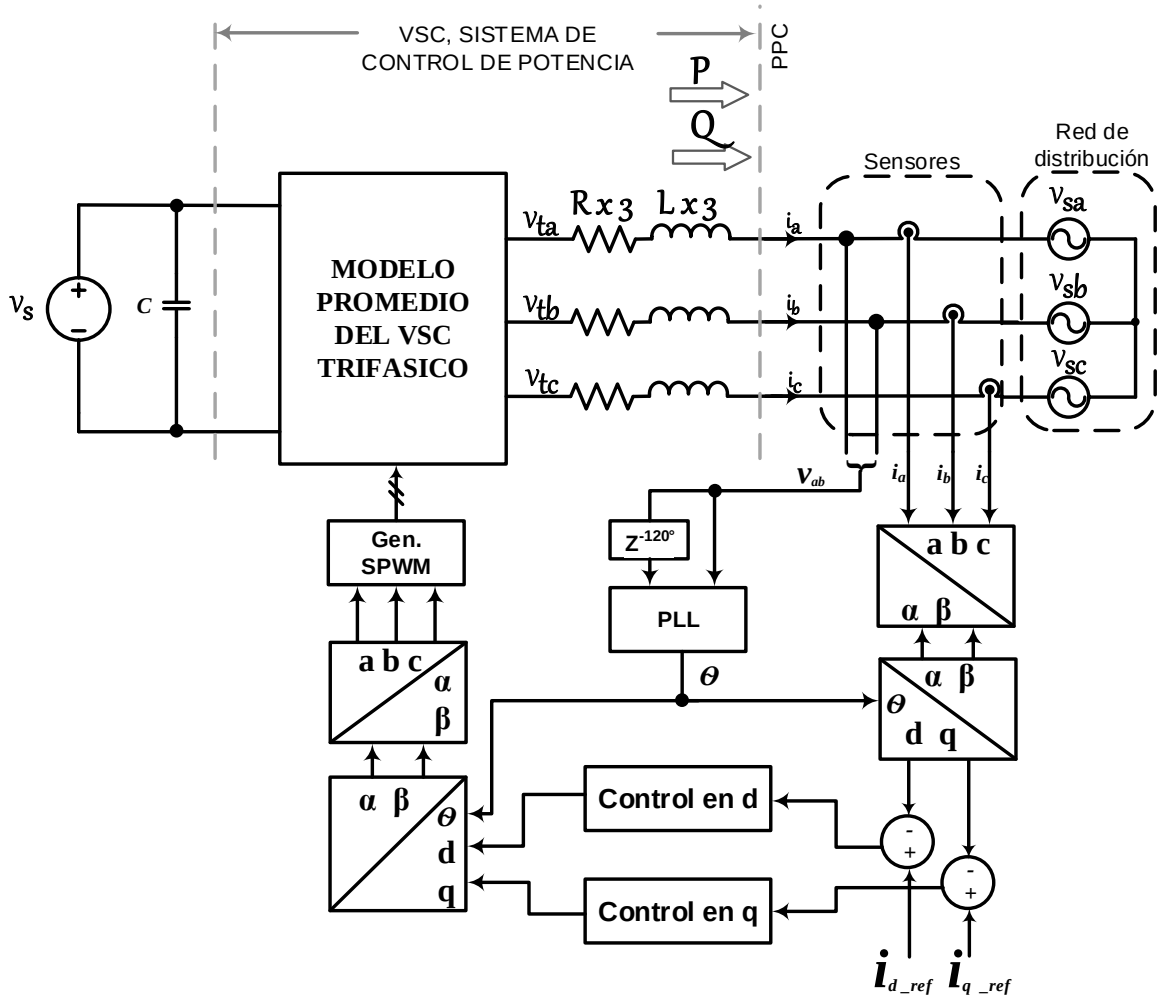


Figura 92. Diagrama esquemático del sistema de control de corriente en el marco de referencia dq
El fasor espacial del sistema trifásico en el marco de referencia rotatorio dq se expresa en la ecuación (160).

$$X_d + jX_q = \vec{X} e^{-j\theta} \quad (160)$$

El voltaje fasorial en el sistema AC puede ser representado como se muestra en la ecuación (161).

$$\vec{v}_s = \hat{v}_s e^{j(\omega_0 t + \theta_0)} \quad (161)$$

El comportamiento dinámico del sistema en el lado AC del VSC puede ser representado como:

$$L \frac{d\vec{i}}{dt} = -R\vec{i} - \vec{v}_s + \vec{v}_t \quad (162)$$

Sustituyendo $\vec{v}_s$ de la ecuación (161) en la ecuación (162), se tiene:

$$L \frac{d\vec{i}}{dt} = -R\vec{i} - \hat{v}_s e^{j(\omega_0 t + \theta_0)} + \vec{v}_t \quad (163)$$

El vector espacial de la ecuación (160) se utiliza para expresar las dinámicas del sistema en el marco de referencia dq .

$$L \frac{di_d}{dt} = -Ri_d - \hat{v}_s \cos(\omega_0 t + \theta_0) + v_{td} \quad (164)$$

$$L \frac{di_q}{dt} = -Ri_q - \hat{v}_s \sin(\omega_0 t + \theta_0) + v_{tq} \quad (165)$$

Las ecuaciones (164) y (165) describen dos ecuaciones desacopladas de primer orden, dependientes de funciones de entrada sinusoidales. La apropiada selección de ω_0 y θ_0 permite representar el sistema en el marco de referencia dq como:

$$L \frac{di_d}{dt} = L\omega_0 i_q - Ri_d - \hat{v}_{sd} + v_{td} \quad (166)$$

$$L \frac{di_q}{dt} = -L\omega_0 i_d - Ri_q - \hat{v}_{sq} + v_{tq} \quad (167)$$

La potencia activa y la potencia reactiva puede ser expresada en función de los componentes dq en el marco de referencia rotatorio como:

$$P_s = \frac{3}{2} [v_{sd} i_d + v_{sq} i_q] \quad (168)$$

$$Q_s = \frac{3}{2} [-v_{sd} i_q + v_{sq} i_d] \quad (169)$$

En estado estable $v_{sq} = 0$, entonces P_s y Q_s se pueden simplificar como:

$$P_s = \frac{3}{2} [v_{sd} i_d] \quad (170)$$

$$Q_s = \frac{3}{2} [-v_{sd} i_q] \quad (171)$$

Las corrientes de referencia que deben seguir los sistemas de control pueden ser calculadas por:

$$i_{d_ref} = \frac{2}{3v_{sd}} P_{s_ref} \quad (172)$$

$$i_{q_ref} = \frac{-2}{3v_{sd}} Q_{s_ref} \quad (173)$$

El voltaje en el lado AC del VSC puede ser expresa en función de la señal de conmutación como:

$$v_{td} = m_d \frac{V_{dc}}{2} \quad (174)$$

$$v_{tq} = m_q \frac{V_{dc}}{2} \quad (175)$$

Las ecuaciones (174) y (175) representan el modelo del VSC en el marco de referencia dq . En las ecuaciones (166) y (167) la presencia de los términos $L\omega_0 i_q$ y $L\omega_0 i_d$ representa un acoplamiento de las dinámicas de i_d e i_q . El desacoplamiento de los términos puede ser llevado a cabo en la implementación del sistema de control con base en lazos de pre alimentación de desacople. Sin embargo, esta forma de desacoplar los controles implica la medición de dos voltajes de línea a línea para completar los lazos de pre alimentación. Esta tesis implementa el sistema de control obviando los lazos de pre alimentación con resultados satisfactorios. Para desacoplar los términos $L\omega_0 i_q$ y $L\omega_0 i_d$ para el diseño del sistema de control se propone determinar m_d y m_q , como:

$$m_d = \frac{2}{V_{dc}} (\mu_d - L\omega_0 i_q + v_{sd}) \quad (176)$$

$$m_q = \frac{2}{V_{dc}} (\mu_q - L\omega_0 i_d + v_{sq}) \quad (177)$$

Donde μ_d y μ_q son dos nuevas entradas de control, sustituyendo m_d y m_q en las ecuaciones (166) y (167), se deduce:

$$L \frac{di_d}{dt} = -Ri_d + \mu_d \quad (178)$$

$$L \frac{di_q}{dt} = -Ri_q + \mu_q \quad (179)$$

El diagrama simplificado del sistema de control mostrado en la Figura 93 indica que el modelo del VSC (planta del sistema a controlar) para los componentes d y q son idénticos. Razón por la cual, el sistema de control para los componentes de la corriente d y q también pueden ser idénticos. El lazo del control para el componente d , $K_d(s)$ puede ser un controlador proporcional-integral (PI) habilitado para regular la señal de referencia de la corriente d DC. El diseño del lazo de control para el componente d se puede extender para el lazo de control del componente q .

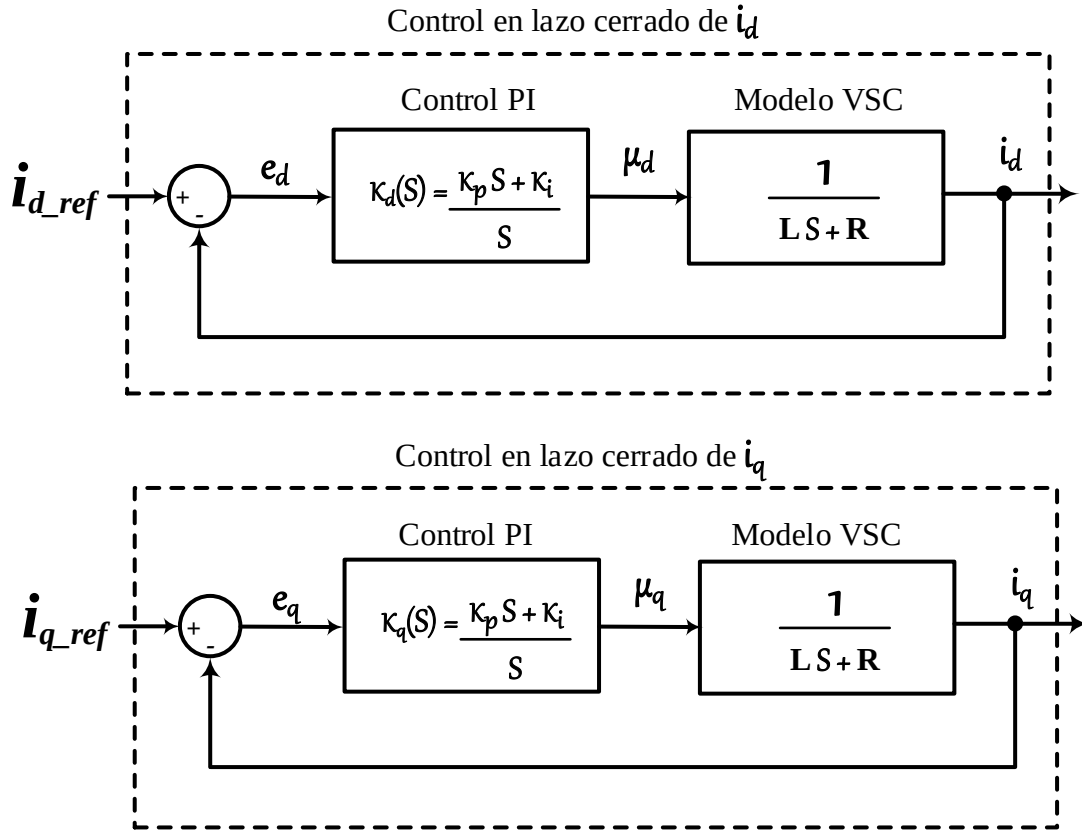


Figura 93. Diagrama simplificado del sistema de control de corriente en el marco de referencia dq

Los parámetros usados en el diseño del sistema de control PI se muestran en la Tabla 16. Estos parámetros se obtienen con base en el diseño del filtro LCL mostrado en la sección 3.4 y el método de ubicación de las raíces.

Tabla 16. Parámetros usados en el diseño del sistema de control

Parámetro	Valor
Inductancia equivalente del filtro LCL	800 μ H
Resistencia parasita del inductor	2 Ω
Ganancia proporcional K_p	3620
Ganancia integral K_i	0,003

La Figura 94 muestra la ubicación de las raíces de la ecuación característica de la planta para el componente d de la corriente en lazo abierto y en lazo cerrado. La ubicación del único polo del sistema en lazo abierto al lado izquierdo del semiplano complejo muestra que el sistema es inherentemente estable en lazo abierto, facilitando el diseño del sistema de control.

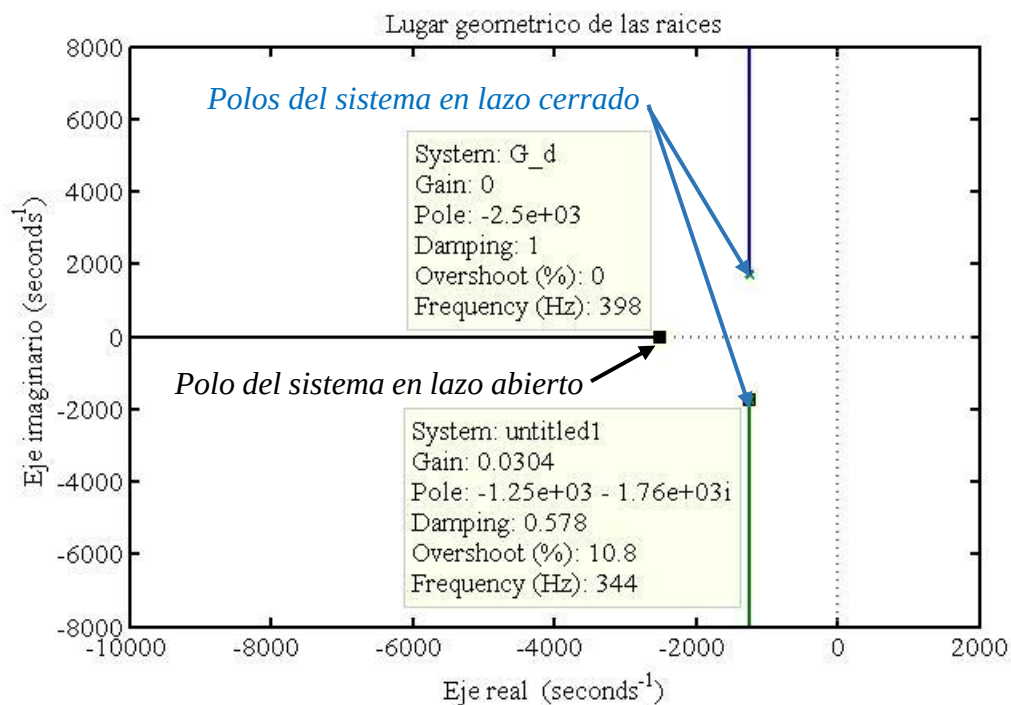


Figura 94. Lugar geométrico de las raíces del sistema en lazo abierto y en lazo cerrado

La Figura 95 muestra la respuesta del sistema en lazo abierto y en lazo cerrado ante una entrada del tipo escalón unitario. Para el sistema en lazo cerrado los polos se ubican haciendo el sistema sub-amortiguado y buscando obtener ganancia unitaria en estado estable.

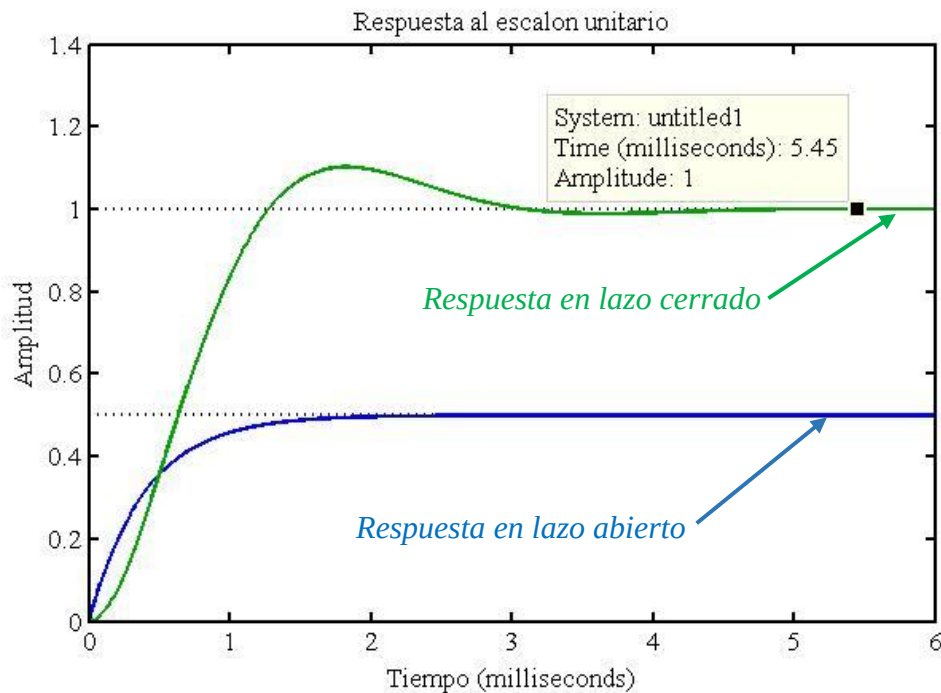


Figura 95. Respuesta al escalón unitario del sistema en lazo abierto y en lazo cerrado

La Figura 96 muestra el diagrama de bode de magnitud y de fase del sistema en lazo abierto y en lazo cerrado. El sistema en lazo cerrado tiene una ganancia unitaria en estado estacionario. La acción integral garantiza la eliminación del error en estado estable. La frecuencia de corte del sistema en lazo cerrado es de 400 Hz aproximadamente. Esto filtra los componentes de alta frecuencia debido al ruido eléctrico producido en la conmutación de los interruptores.

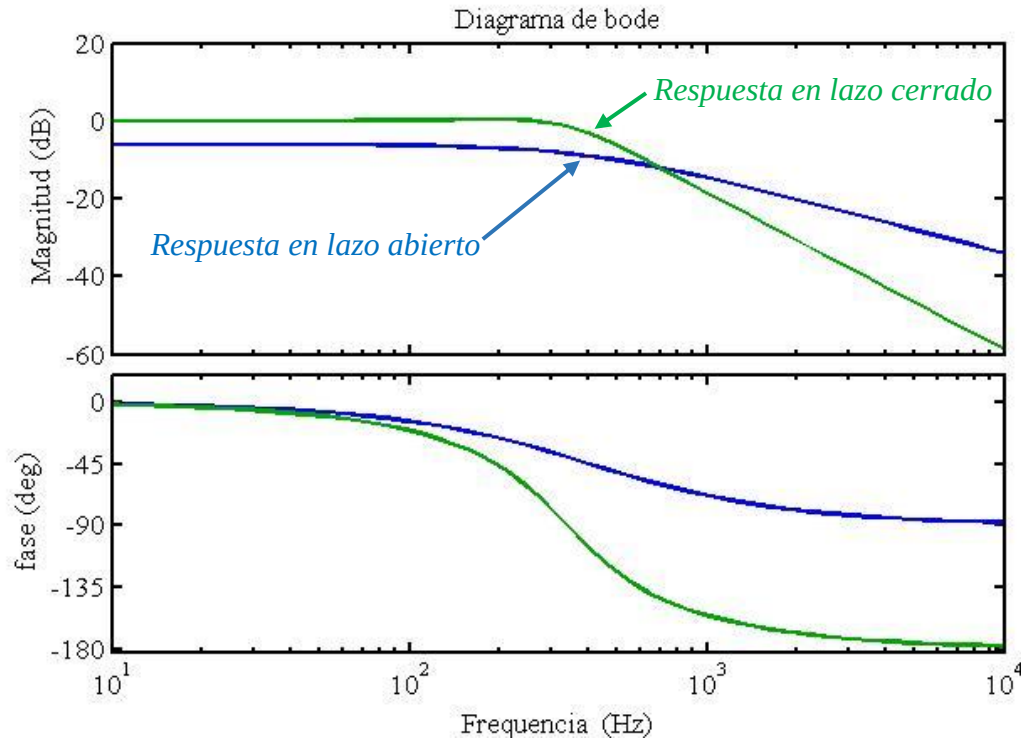


Figura 96. Diagrama de bode del sistema en lazo abierto y en lazo cerrado

3.4.8. Sistema de control de la amplitud del voltaje a la salida del VSC trifásico

El sistema de control de la amplitud del voltaje en el VSC trifásico de dos niveles puede ser realizado al menos de tres formas: 1) el control de la amplitud del voltaje con base en los componentes $\alpha\beta$ del voltaje AC en el PCC., 2) el control de la amplitud del voltaje con base en los componentes dq . Los sistemas de control 1) y 2) requieren de la medición de los voltajes entre fase y fase a, b y c, haciendo costosa la implementación física, y 3) el control con base en la medición del voltaje pico entre dos fases del sistema AC. Este sistema de control se puede implementar con base en la medición de un voltaje entre fase y fase, asumiendo que el sistema es equilibrado y la carga es balanceada.

La Figura 97 muestra el diagrama de bloques del sistema de control de la amplitud del voltaje implementado para el VSC trifásico. El sistema de control determina el voltaje pico entre las dos fases medidas con base en el algoritmo mostrado en la Figura 98. La señal DC de voltaje pico es comparada con el valor de voltaje pico deseado. La señal de error resultante (ε) es procesada por el sistema de control lineal PI. La acción de control (μ_c) modifica el índice de modulación en amplitud del sistema de generación de las señales de disparo (m_A). Para esto se modifica la amplitud de las tres señales sinusoidales de referencia que se comparan con la señal triangular para generar las señales de disparo de los interruptores de potencia. El sistema de control PI se sintoniza mediante el método de prueba y error.

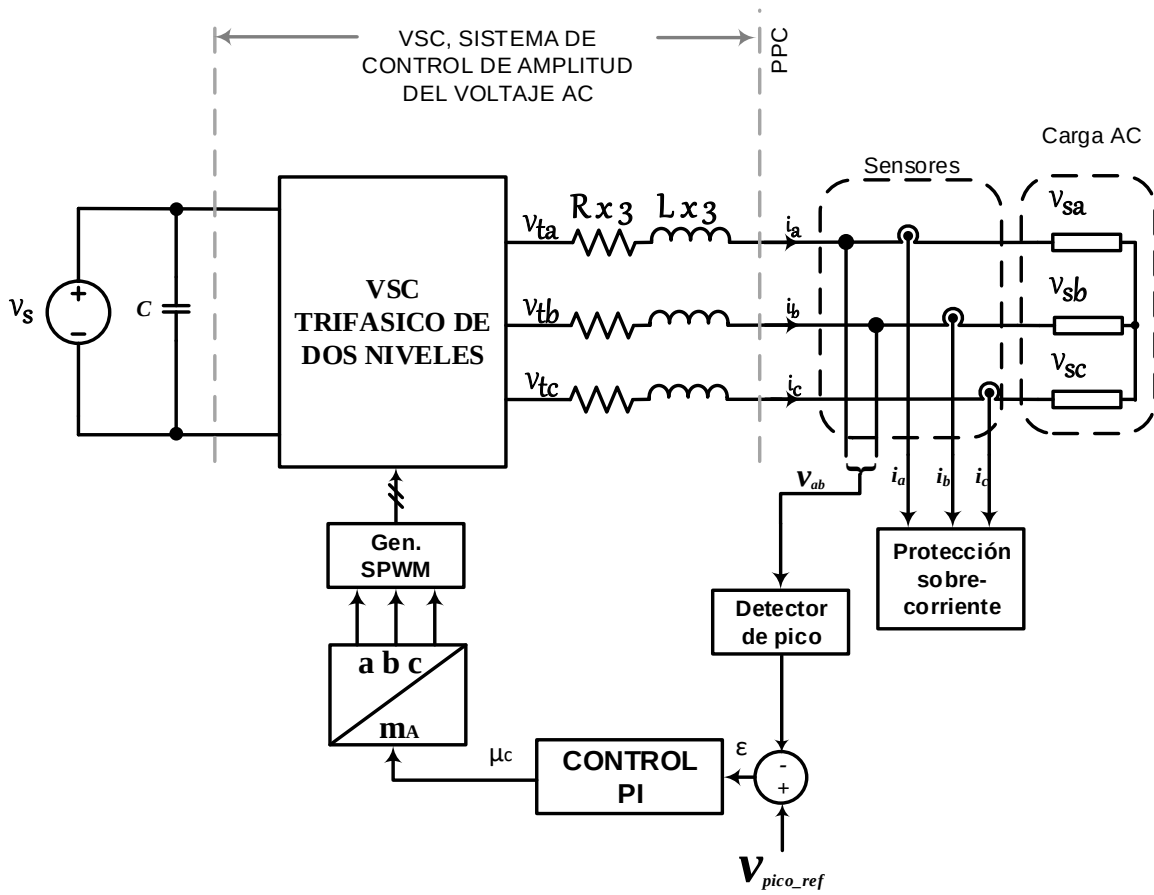


Figura 97. Sistema de control de la amplitud del voltaje AC en el inversor trifásico de dos niveles

La Figura 98 muestra el diagrama de flujo del algoritmo usado para implementar el detector de pico. El algoritmo comienza con el muestreo de la señal de voltaje. El dato del muestreo actual (x_i) se transforma en su valor absoluto ($|x_i|$), rectificandando la señal sinusoidal de voltaje medida. La señal $|x_i|$ se compara con la señal rectificadada del muestreo anterior ($|x_{i-1}|$), si $|x_i|$ es mayor que la $|x_{i-1}|$ el dato de esta muestra se almacena en la variable temporal (x_{max}). Se contabilizan las muestras de cada semiperiodo del voltaje medido. Cuando se alcanzen la cantidad de muestras del semiperiodo, la variable temporal (x_{pico}) almacena el dato contenido en la variable x_{max} . Luego, se reinician el contador de las muestras del semiperiodo y la variable x_{max} .

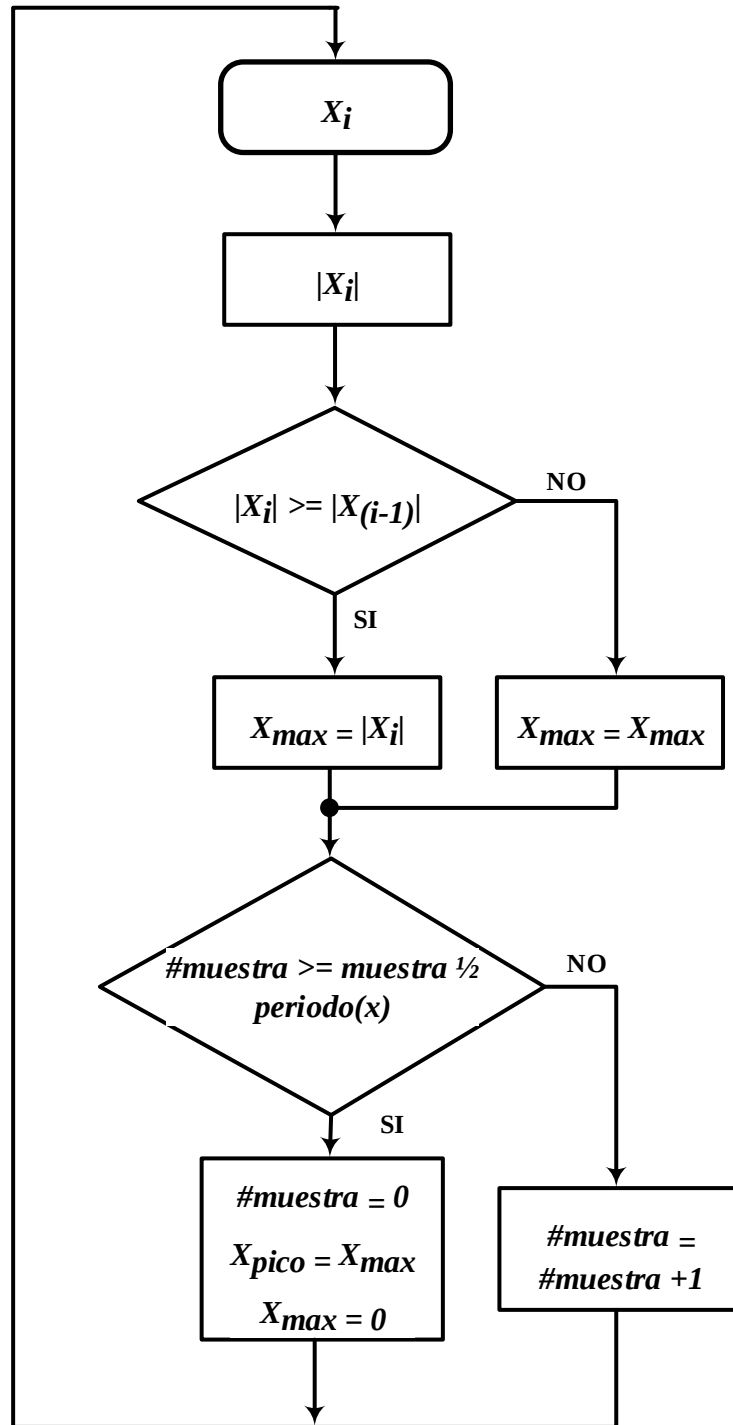


Figura 98. Algoritmo usado para la determinación del valor pico del voltaje AC en el VSC trifásico

3.5. FILTROS DE RED

La utilización de las fuentes de energía renovables en las redes de distribución modernas implica la presencia de recursos distribuidos de energía (DR, por sus siglas en inglés) y generación distribuida (DG, por sus siglas en inglés). Los DR pueden producir energía en forma de corriente directa (DC), por ejemplo los paneles solares fotovoltaicos y las celdas de combustible, y en forma de corriente alterna (AC) como las micro turbinas eólicas. Usualmente, los DR que producen energía eléctrica AC requieren cambiar las características de la energía que generan, adaptando el voltaje y la frecuencia del voltaje generado al voltaje y la frecuencia que la red de distribución requiere. Esta adaptación es realizada por el convertidor AC-DC-AC [90], [91].

El VSC es el convertidor DC-AC más usado para la conexión de los DR a la red de distribución. Las modulaciones PWM de alta frecuencia generadas por el VSC causan la inyección de armónicos a la red. Estos armónicos pueden ser reducidos usando el filtro de red [90], [91].

Los filtros de red, también conocidos como filtros de línea, son circuitos electrónicos que se conectan entre el VSC y la red de distribución. Las dos funciones principales del filtro de red son 1) reducir los armónicos de alta frecuencia causados por la modulación PWM en los inversores, para mejorar la calidad de la potencia que se entrega a la red, y 2) acoplar las impedancias entre dos fuentes de voltaje, el VSC y la red, evitando la ocurrencia de cortocircuito por la conexión directa del VSC a la red de distribución [92].

Algunas de las técnicas usadas para controlar la inyección de armónicos a la red son: la compensación del flujo magnético, la inyección controlada de armónicos en la corriente, los filtros activos en serie y en paralelo y los filtros pasivos. Usualmente, los filtros pasivos son usados para la conexión del VSC a la red. Debido a que, la topología del filtro pasivo es simple y de bajo costo en comparación con las otras técnicas de filtrado mencionadas previamente [79], [93], [94].

Esta sección presenta las normas que deben ser consideradas en el diseño de los filtros de red, las topologías y características de los filtros de red pasivos más usados, y se presentan las reglas y las ecuaciones de diseño necesarias para calcular el valor de los elementos del filtro de red LCL.

3.5.1. Normas que regulan la conexión del DR a la red de distribución

Algunas de las normas que regulan la conexión de DR a la red de distribución son:

- IEEE 519 (Recommended Practices and Requirements for Harmonic Control in Electrical Power Systems)
- IEEE 1547 (Standard for Interconnecting Distributed Resources with Electric Power Systems and applies to DR less than 10 MW)
- IEEE 929-2000 (Practice for Utility Interface of Photovoltaic (PV) Systems)
- IEC 61000-3 (Electromagnetic compatibility (EMC), in particular Part, Limits on harmonics, distortion, voltage fluctuations)
- IEC 61727 (Photovoltaic (PV) systems - Characteristics of the utility interface)

La Tabla 17 resume los límites máximos de distorsión armónica permitidos por las normas mencionadas previamente en función del orden del armónico.

Tabla 17. Resumen de los límites máximos de distorsión armónica

Orden del armónico	Límite de distorsión armónica con base en el % de la fundamental
3-9	< 4 %
11-15	< 2 %
17-21	< 1,5 %

23-33	< 0,6 %
THD < 5 %	

3.5.2. Topologías de los filtros de red

Las topologías para los filtros pasivos de red más usadas son: el filtro L y el filtro LCL [95]. Para facilitar el análisis de los filtros se estudian los circuitos equivalentes para una fase. Se desprecian las resistencias parasitas de los inductores y de los capacitores del filtro, debido a que las reactancias inductivas y capacitivas son mucho mayores que las resistencias parasitas.

A. El filtro L (filtro pasa bajas de primer orden)

El filtro L, mostrado en la Figura 99, se compone de un inductor conectado en serie entre el VSC y la red o la carga. La atenuación del filtro L es de -20dB/década sobre todo el rango de frecuencias. Cuando se usa el filtro L se recomienda que la frecuencia de conmutación sea alta, logrando que el filtro reduzca los armónicos de alta frecuencia con un tamaño, peso y costo razonable [96]. La función de transferencia del filtro L es

$$G(S) = \frac{I_{red}}{V_{SVC}} = \frac{1}{L_1 S} \quad (180)$$

Donde V_{SVC} es el voltaje de salida del VSC e I_{red} es la corriente inyectada a la red. La reactancia inductiva a la frecuencia de la red es (X_L) puede ser calculada por la siguiente expresión

$$X_L = \omega L \quad (181)$$

Donde ω es la frecuencia angular del voltaje de la red (v_{red})

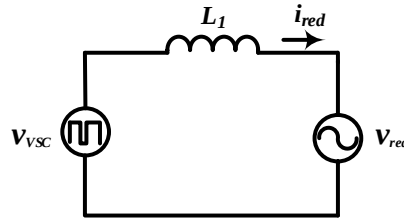


Figura 99. Diagrama esquemático del filtro de red L

B. El filtro LCL (filtro pasa bajas de tercer orden)

El filtro LCL, mostrado en la Figura 100, está compuesto por dos inductores y un condensador. La atenuación del filtro LCL es de -60 dB/década para los armónicos de orden superior a la frecuencia de resonancia, reduciendo con mayor efectividad los armónicos en la señal de corriente y de voltaje a la salida del VSC en comparación con el filtro L. Además, el filtro LCL provee el desacople de las impedancias entre el DR y la red de distribución, y rizados bajos de corriente a través del inductor L_2 [92].

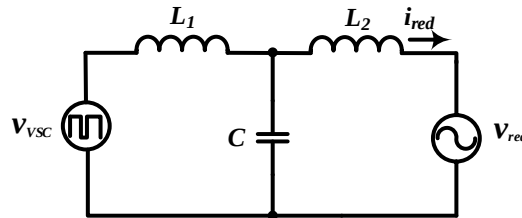


Figura 100. Diagrama esquemático del filtro de red LCL

La función de transferencia que modela el filtro LCL se muestra en la siguiente expresión:

$$G(S) = \frac{I_{red}}{V_{vsc}} = \frac{1}{L_1 L_2 C S^3 + (L_1 + L_2) S} \quad (182)$$

La frecuencia de resonancia (f_0) se presenta en la siguiente ecuación:

$$f_0 = \frac{1}{2\pi} \sqrt{\frac{L_1 + L_2}{L_1 L_2 C}} \quad (183)$$

La reactancia capacitiva puede ser calculada por:

$$X_C = \frac{1}{\omega C} \quad (184)$$

C. Amortiguación del filtro LCL

El filtro LCL pasivo puede causar inestabilidad en el sistema electrónico de potencia, debido a que tienen ganancia alta y baja amortiguación a la frecuencia de resonancia. Los armónicos cercanos a la frecuencia de resonancia del filtro pueden ser amortiguados mediante la conexión de una resistencia en serie o en paralelo con el condensador. Este sistema de amortiguación es fácil de implementar y de bajo costo. Sin embargo, la potencia disipada en la resistencia de amortiguamiento reduce la eficiencia energética del filtro. En algunas ocasiones la resistencia parasita del condensador y de los inductores es suficiente para lograr la amortiguación a la frecuencia de resonancia [97], [98]. Las Figura 101(a) y Figura 137(b) muestran los diagramas esquemáticos de los filtros LCL con la resistencia de amortiguación instalada en serie y en paralelo respectivamente [95], [99].

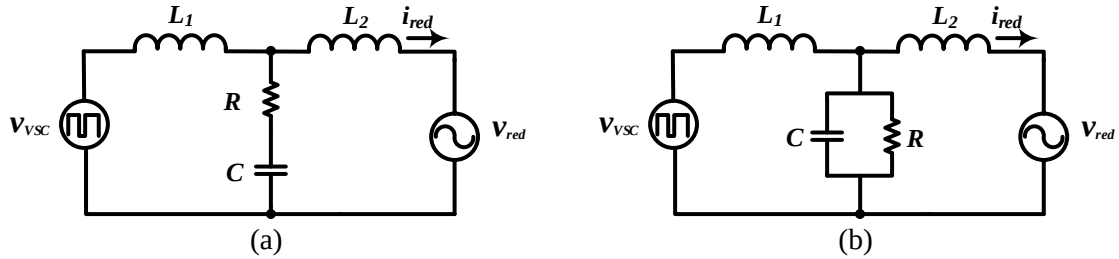


Figura 101. Diagrama esquemático del filtro de red LCL con resistencia de amortiguación (a) en serie (b) en paralelo

El filtro LCL con resistencia en serie se recomienda para aplicaciones de baja potencia hasta 1KW. Cuando la potencia requerida es mayor que 1KW se recomienda usar técnicas de amortiguación activas. Las pérdidas de potencia son mayores con la resistencia en serie en comparación con el sistema que incluye la resistencia en paralelo [81], [95].

La función de transferencia del filtro LCL que incluye la resistencia en serie es la siguiente:

$$G(S) = \frac{I_{red}}{V_{vsc}} = \frac{RCS + 1}{L_1 L_2 C S^3 + (L_1 + L_2)CR S^2 + (L_1 + L_2) S} \quad (185)$$

La función de transferencia del filtro LCL que incluye la resistencia en paralelo es la siguiente:

$$G(S) = \frac{I_{red}}{V_{vsc}} = \frac{R}{L_1 L_2 C R S^3 + L_1 L_2 S^2 + (L_1 + L_2) R S} \quad (186)$$

3.5.3. Diseño de los parámetros del filtro pasivo de red LCL

El diseño de los filtros de red LCL requiere emplear inductores y capacitores que garanticen la reducción de los armónicos de alta frecuencia en la corriente i_{red} , para obtener THD baja y el cumplimiento de las normas necesarias para inyectar corriente a la red. No obstante, el diseño del filtro de red debe tener en cuenta los siguientes aspectos funcionales [90], [92]:

- mantener las pérdidas de potencia bajas en el filtro, evitando atenuar el voltaje más de lo deseado
- evitar que el ancho de banda del filtro de red afecte significativamente el ancho de banda del sistema de control de corriente
- evitar que se presenten oscilaciones no deseadas y distorsiones de la forma de onda de la corriente o el voltaje en la conexión con la red
- garantizar que el tamaño, el peso y el costo económico de los elementos del filtro sean razonables
- los valores de los inductores L_1 y L_2 , el condensador C y la resistencia R son establecidos con base en los aspectos y restricciones funcionales mencionadas previamente.

A. Diseño del inductor L_1 del filtro LCL

El valor alto de L_1 y L_2 permite alcanzar niveles muy bajos en el rizado de la corriente. Sin embargo, Estos valores altos de L_1 y L_2 implican inductores de alto peso, volumen y costo. Razón por la cual, el diseño del valor de los inductores L_1 y L_2 debe mantener un compromiso entre la reducción del rizado en la corriente, y el tamaño y el costo del inductor.

El valor del inductor L_1 puede ser aproximado asumiendo una caída de voltaje en L_1 menor al 5% del voltaje nominal de la red, así:

$$V_{L_1} \leq 0,05 V_{linea} \quad (187)$$

Donde V_{L_1} es el voltaje de caída en el inductor L_1 y V_{linea} es el voltaje efectivo de la red (RMS).

$$V_{L_1} = L_1 \frac{\Delta i_{red}}{\Delta t} = L_1 \frac{\Delta i_{red}}{\delta T_{conm}} = L_1 \frac{\Delta i_{red} f_{conm}}{\delta} \quad (188)$$

Donde Δi_{red} es el rizado máximo que se espera en la corriente i_{red} , δ es el ancho máximo de la señal PWM en la modulación del VSC, f_{conm} es la frecuencia de conmutación y T_{conm} es el periodo de conmutación.

Igualando las ecuaciones (187) y (188) se obtiene la expresión para el cálculo del valor mínimo de L_1

$$L_1 \leq \frac{0,05 V_{linea} \delta}{\Delta i_{red} f_{conm}} \quad (189)$$

B. Diseño del inductor L_2 del filtro LCL

El rango de $5 < X_{L_1}/X_{L_2} < 10$ permite alcanzar rizados de baja amplitud en la corriente, conservando volumen, peso y costo bajo de los inductores [90]. La siguiente ecuación permite hallar el valor aproximado del inductor L_2 :

$$\frac{1}{10} L_1 \leq L_2 \leq \frac{1}{5} L_1 \quad (190)$$

C. Diseño del condensador del filtro LCL

El valor del condensador se selecciona para lograr aumentar la atenuación de los armónicos cercanos a la frecuencia de conmutación, produciendo una reactancia baja a la frecuencia de conmutación. A la frecuencia fundamental de la red, el condensador debe absorber poca potencia reactiva, evitando que se incremente significativamente la corriente en el inductor L_1 .

La potencia reactiva en el condensador (Q_C) puede ser calculada mediante la siguiente expresión:

$$Q_C = 2 \pi f_{red} C V_{linea}^2 \quad (191)$$

Donde f_{red} es la frecuencia de la red (Hz) y C es el valor de la capacitancia del filtro de red LCL (F).

Para mantener la potencia Q_C baja respecto a la potencia activa nominal del VSC (P), se selecciona Q_C tal que:

$$15\% P \leq Q_C \leq 25\% P \quad (192)$$

La potencia P puede ser calculada en un sistema trifásico por:

$$P = \sqrt{3} V_{linea} I_{linea} \cos(\varphi) \quad (193)$$

Donde I_{linea} es la corriente nominal de la línea y $\cos(\varphi)$ es el factor de potencia.

Seleccionando $Q_C = 20\% P$ e igualando con la ecuación (193) se obtiene la siguiente ecuación

$$C = \frac{0,2 P}{Q_C} \quad (194)$$

La impedancia del condensador a la frecuencia de conmutación del condensador C debe ser menor que la impedancia del inductor L_2 , permitiendo que los armónicos de alta frecuencia se mitiguen con la presencia del condensador C . Tal que:

$$\frac{1}{10} X_{L_2} \leq X_C \leq \frac{1}{5} X_{L_2} \quad (195)$$

El valor del condensador C se debe seleccionar tal que satisfaga las expresiones (194) y (195).

D. Diseño de la resistencia de amortiguamiento en el filtro LCL

Usualmente, la resistencia para la amortiguación pasiva es seleccionada para cumplir la siguiente ecuación [90]:

$$R = \frac{1}{3} X_c = \frac{1}{3} \left(\frac{1}{2 \pi f_0 C} \right) \quad (196)$$

E. Selección de la frecuencia de resonancia del filtro LCL (f_0)

La frecuencia de resonancia f_0 debe seleccionarse para que se ubique lejos de la frecuencia de los armónicos característicos generados por el VSC. Se recomienda que f_0 cumpla la regla descrita en la expresión (197) [90].

$$10f_{red} \leq f_0 \leq \frac{1}{2}f_{conm} \quad (197)$$

En [100] se recomienda seleccionar la frecuencia de resonancia de acuerdo a la siguiente expresión:

$$\frac{1}{4}f_{conm} \leq f_0 \leq \frac{1}{5}f_{conm} \quad (198)$$

La tabla 18 resume los valores de los parámetros usados en la implementación del filtro LCL.

Tabla 18. Parámetros usados en el diseño del filtro LCL

Parámetro	Valor
f_0	5,3kHz
Δi_{red}	20%
f_{conm}	20kHz
L_1	675μH
L_2	100μH
C	10μF

3.6. LAZO DE ENGANCHE DE FASE (PLL)

El lazo de enganche de fase (PLL, por sus siglas en inglés) permite sincronizar la fase y la frecuencia en los sistemas eléctricos. El concepto del PLL fue publicado originalmente por Appleton en 1923 y por Bellescize en 1932. Este concepto del PLL fue principalmente usado para la sintonización de receptores de radio [101], [102]. Actualmente el PLL es usado en diferentes áreas industriales como: los sistemas de comunicación, sistemas de control de motores y sistemas convertidores como fuente de voltaje, (VSC, por sus siglas en inglés), conectados y sincronizados con la red de distribución. Algunas de las aplicaciones del VSC y el PLL son: compensadores estáticos VAR, ciclo-convertidores y filtros activos [103]–[105].

Algunas de las técnicas de sincronización mediante PLL reportadas en la literatura técnica son: Synchronous Frame PLL (SF-PLL) [103], [104], PQ-PLL [106], Double Synchronous Frame PLL (DSF-PLL) [107], Sinusoidal Signal Integrator PLL (SSI-PLL) [108], Enhanced phase-locked loop (EPLL) [109], Three-phase magnitude phase locked loop (3MPLL) [110], quadrature PLL (QPLL) [111], robust single-phase PLL (RPLL) [112], adaptive linear combiner (ALC-PLL) [113], The multirate PLL (MR-PLL) [114], The adaptive PLL (APLL) [115]. El SF-PLL es ampliamente usado en sistemas trifásicos por su simpleza y buen desempeño [105], [116]. El análisis siguiente se enfocara al SF-PLL. Las pruebas experimentales y desarrollo del prototipo utilizan el SF-PLL para sincronizar el VSC con la red de distribución.

Otros métodos usados para sincronizar los sistemas eléctricos son: El detector de cruce por cero (DCC) y el método de la raíz cuadrada [103]. El detector de cruce por cero es un método sencillo para detectar la fase y la frecuencia de un sistema eléctrico. Sin embargo, el DCC se produce cada medio ciclo de la señal, haciendo la respuesta dinámica del sistema lenta. Además, el DCC puede detectar señales de ruido eléctrico, generando una señal de sincronización errónea. Razones por las cuales, el DCC no debe ser usado cuando se requiere respuesta dinámica rápida del sistema de control y cuando hay presencia de ruido eléctrico en la señal de referencia.

3.6.1. Principio de operación del SF-PLL

El diagrama de bloques funcional del SF-PLL se muestra en la Figura 102. El SF-PLL se compone por un filtro pasa bajas (LPF, por sus siglas en ingles), un oscilador controlador de voltaje (VCO, por

sus siglas en ingles) y un sistema para la transformación del marco de referencia estacionario al marco de referencia rotatorio (transformadas de Clark y de Park).

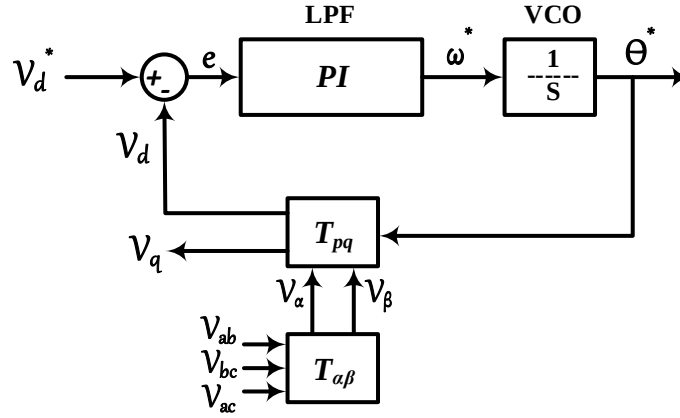


Figura 102. El diagrama de bloques funcional del SF-PLL

El análisis del principio de operación del SF-PLL permite obtener el modelo simplificado del SF-PLL, operando en un sistema trifásico balanceado, como se muestra a continuación [103], [104].

La transformada de Clark del voltaje trifásico ($v_{\alpha\beta}$) pueden ser representados en el marco de referencia rotatorio (transformada de Park), usando la señal de salida del SF-PLL (θ^*). La frecuencia de rotación del marco rotatorio es igual a la frecuencia de la red de distribución.

$$v_{dq} = T_{dq}(\theta) v_{\alpha\beta} \quad (199)$$

Donde $T_{dq}(\theta)$ representa la transformada de Park. En el funcionamiento simplificado del SF-PLL, el voltaje v_d puede ser representado por la ecuación (83), como se muestra en el área sombreada de la Figura 139.

$$v_d = E_m \sin(\Delta\theta) \quad (200)$$

Donde $E_m = -v_m$ y $\Delta\theta = \theta - \theta^*$, siendo θ el ángulo de fase del voltaje v_{ab}

La señal de error (e) puede ser representada por:

$$e = v_d^* - v_d \quad (201)$$

La señal v_d^* determina la diferencia de fase entre θ y θ^* . No obstante, el objetivo del SF-PLL es reducir $\Delta\theta$, para lo cual se hace $v_d^* = 0$. Con esta condición de operación $e = -v_d$.

La frecuencia angular del SF-PLL (ω^*) puede ser representada por

$$\omega^* = \frac{d\theta^*}{dt} = e(s) PI(s) \quad (202)$$

Donde $PI(s)$ denota la función de transferencia del filtro pasa bajas (LPF, por sus siglas en ingles). Usualmente, el LPF es un sistema de control PI. Si ω^* es idéntica a la frecuencia de la red los voltajes v_d y v_q se observan como voltajes DC dependientes del ángulo θ^* [104].

Si se asume que $\Delta\theta$ es muy pequeño, la ecuación (6) puede hacerse lineal como se muestra en la ecuación (203), permitiendo usar técnicas de control lineal para reducir el error e .

$$e \triangleq E_m \Delta\theta \quad (203)$$

3.6.2. Modelo en lazo cerrado del sistema PLL

La planta que deberá controlar el sistema $PI(S)$ es el VCO, representado por el integrador en el diagrama de bloques de la Figura 103.

El modelo simplificado del SF-PLL mostrado en la Figura 103, usando el sistema de control PI en lazo cerrado puede ser descrito por las ecuaciones (204) y (205) respectivamente [103], [104].

$$H_c(S) = \frac{\Theta^*(S)}{\Theta(S)} = \frac{PI(S) E_m}{S + PI(S) E_m} \quad (204)$$

$$H_{\Delta\theta}(S) = \frac{\Delta\theta^*(S)}{\Theta(S)} = \frac{S}{S + PI(S) E_m} \quad (205)$$

Donde la función de transferencia del sistema de control PI se describe en la ecuación (206):

$$PI(S) = K_p + \frac{K_i}{S} \quad (206)$$

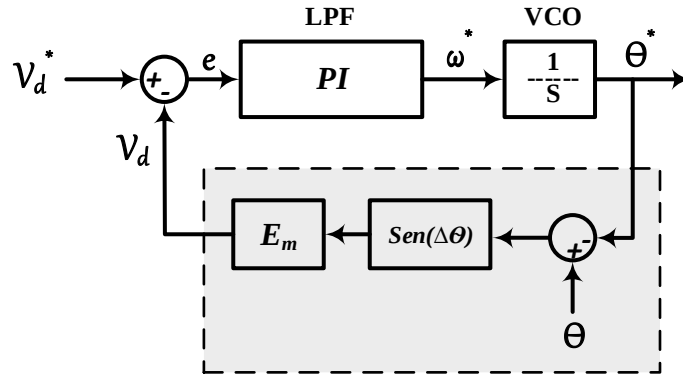


Figura 103. Diagrama funcional simplificado del PLL

3.7. ENSAYOS Y RESULTADOS EXPERIMENTALES DEL DESARROLLO DEL CONVERTIDOR DC-AC TRIFASICO

Este capítulo presenta los resultados experimentales obtenidos mediante los ensayos realizados al prototipo de laboratorio del convertidor DC-AC trifásico de dos niveles. Los ensayos muestran el desempeño dinámico del convertidor en presencia de cambios en las condiciones de operación. Se muestra el funcionamiento del sistema de sincronización con la red PLL y la efectividad del filtro de red LCL para reducir el contenido de armónicos. La implementación física del prototipo de laboratorio se muestra en las figuras 104, 105 y 106.

Los diagramas esquemáticos de los circuitos y los planos de los circuitos impresos se muestran en el apéndice 3 y los algoritmos programados para el control digital se muestran en el apéndice 4. Las pruebas experimentales realizadas al convertidor DC-AC trifásico de dos niveles se resumen en la tabla 19. Las mediciones fueron realizadas con el osciloscopio digital de referencia GDS-2000 de 4 canales, las puntas de voltaje diferenciales y aisladas de referencia AP031 de marca Teledyne (atenuación de 100V/div) y las puntas de medición de corriente de referencia A622 marca Tektronics (conversión de 100mV/A).

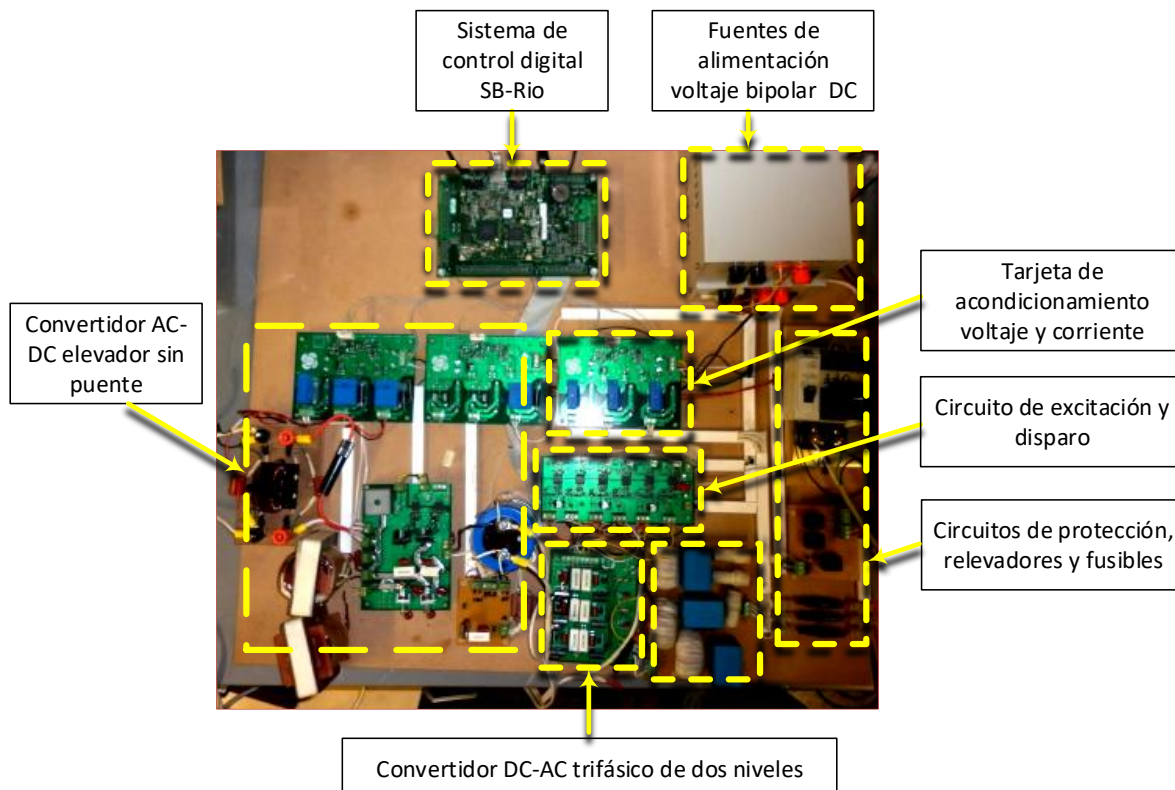


Figura 104. Prototipo del convertidor de potencia usado en los ensayos experimentales

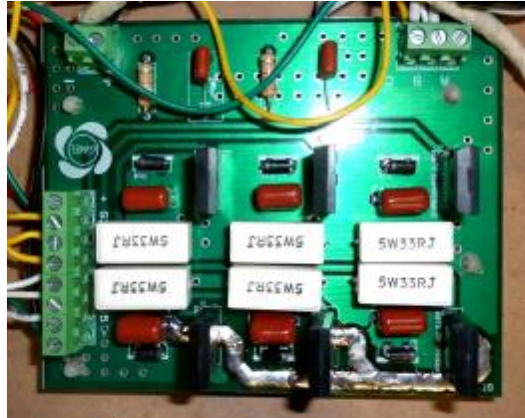


Figura 105. Circuito del convertidor DC-AC trifásico de dos niveles



Figura 106. Circuito del filtro LCL

En la tabla 19 se describen los ensayos experimentales realizados al convertidor DC-AC trifásico de dos niveles, resumiendo las condiciones en las cuales son realizadas las mediciones de corriente y de voltaje.

Tabla 19. Resumen de los ensayos realizados al prototipo de laboratorio del convertidor DC-AC trifásico de dos niveles.

Ensayos realizados	
Tipo de Ensayo	Descripción
Ensayo realizados al PLL	Se realizaron mediciones del voltaje de referencia para la sincronización de la red de suministro con el voltaje de salida del filtro LCL. Se realizaron mediciones del tiempo y la cantidad de ciclos que tarda el PLL en sincronizar el inversor con la red. Estos resultados se muestran en las figuras 107 y 108.
Ensayo realizados al filtro LCL	Se realizaron las mediciones del voltaje de salida del VSC antes del filtro LCL y del voltaje a la salida del filtro LCL. El objetivo de las mediciones es verificar la eficacia del filtro para reducir los armónicos de orden superior a la frecuencia fundamental (60 Hz). Estas mediciones se muestran en las figuras 109 y 110.
Ensayo realizados al sistema de control de la corriente AC	Se realizaron mediciones de las corrientes trifásicas inyectadas a la red de distribución, cambiando el <i>set-point</i> de las corrientes i_d e i_q . También se realizaron mediciones del voltaje de la fase a y de las corrientes trifásicas,

	buscando mostrar la diferencia de fase y monitorear la inyección de potencia reactiva. Estas mediciones se muestran en las figuras 111 y 112.
Ensayo realizados al sistema de control de la amplitud del voltaje AC	Se realizaron mediciones de la amplitud del voltaje trifásico generado usando cargas resistivas con conexión en triángulo. Se realizaron también mediciones del ángulo de desfase entre las fases <i>a</i> , <i>b</i> y <i>c</i> generadas por el inversor. Estas mediciones se muestran en las figuras 113 y 114.

3.7.1. Ensayos realizados al sistema PLL del convertidor DC-AC trifásico de dos niveles

Este aparte del capítulo presenta los resultados de los ensayos experimentales realizados al sistema PLL implementado en el prototipo del convertidor DC-AC trifásico de dos niveles. Las figuras 107 y 108 muestran los oscilogramas del voltaje de la red de suministro (v_{ref}) que sirve de señal de referencia para el PLL y el voltaje generado por el VSC en la fase *a* (v_{VSC}). Los oscilogramas permiten concluir que el tiempo de estabilización del sistema de control del PLL depende de la diferencia de fase inicial entre v_{ref} y v_{VSC} . La figura 107 muestra que el PLL tarda 6 ciclos de la red para sincronizar el voltaje v_{VSC} con el voltaje v_{ref} . En este caso, la diferencia de fase inicial entre v_{ref} y v_{VSC} es menor a 90° . La figura 108 muestra que el PLL tarda 8 ciclos de la red para sincronizar el voltaje v_{VSC} con el voltaje v_{ref} . En este caso, la diferencia de fase inicial entre v_{ref} y v_{VSC} es mayor a 180° .

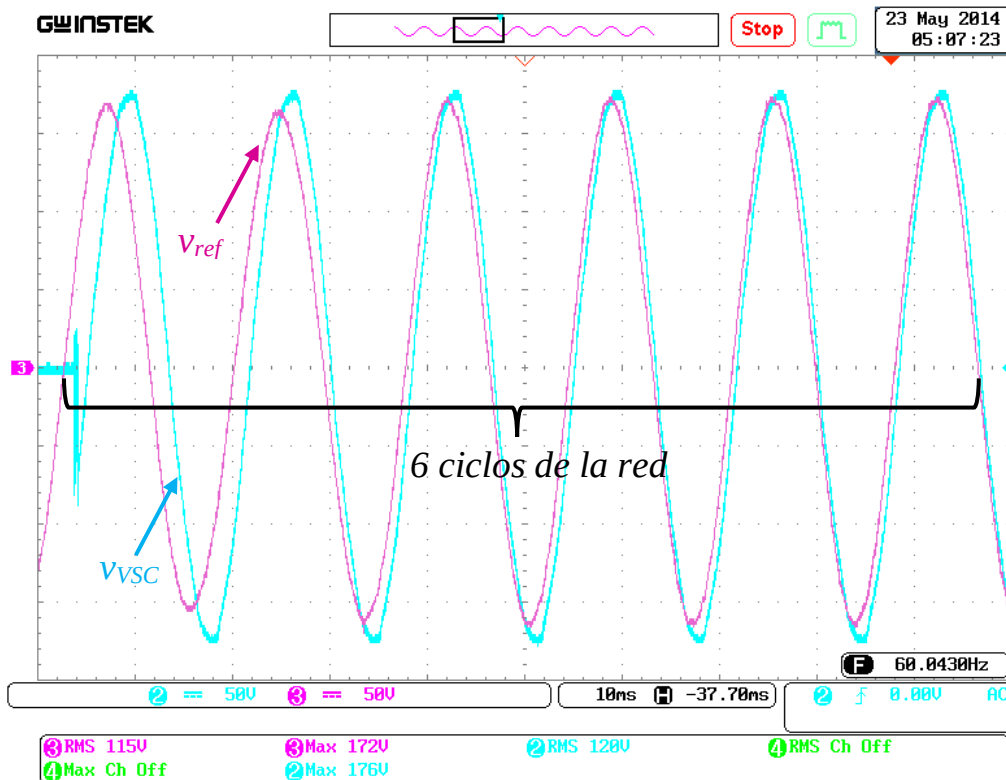


Figura 107. Oscilograma del voltaje de referencia del PLL v_{ref} y del voltaje generado por el VSC v_{VSC} (desfase inicial es menor que 90°)

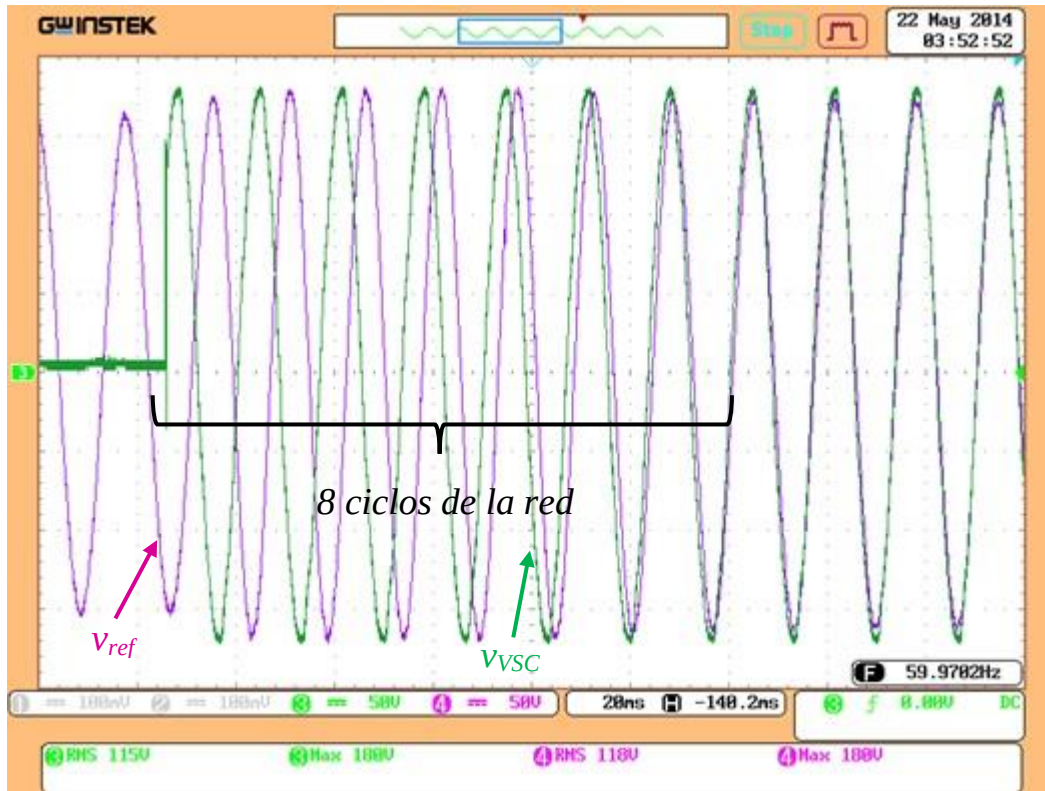


Figura 108. Oscilograma del voltaje de referencia del PLL v_{ref} y del voltaje generado por el VSC v_{VSC} (desfase inicial es mayor que 180°)

3.7.2. Ensayos realizados al filtro LCL del convertidor DC-AC trifásico de dos niveles

Esta sección presenta los resultados de los ensayos experimentales realizados al filtro de red LCL implementado en el prototipo del convertidor DC-AC trifásico de dos niveles. Las figuras 109 y 110 muestran los oscilogramas del voltaje en la salida del VSC antes del filtro en la fase a (v_{VSC}) y el voltaje en la salida del filtro en la fase a (v_{LCL}). Los oscilogramas muestran que el voltaje en la salida del filtro LCL tiene la forma de onda sinusoidal con la frecuencia del armónico fundamental de 60 Hz. Los oscilogramas permiten observar de forma cualitativa la reducción de los armónicos de orden superior al armónico fundamental, mostrando la efectividad del filtro LCL.

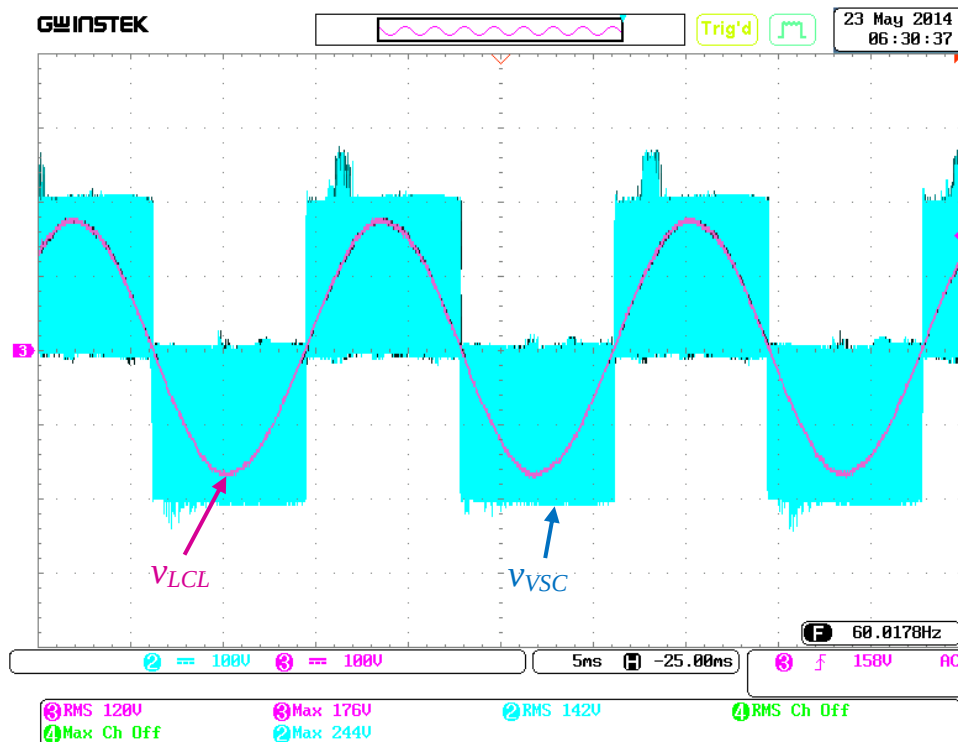


Figura 109. Oscilograma del voltaje de salida del VSC v_{VSC} y el voltaje de salida del filtro LCL v_{LCL}

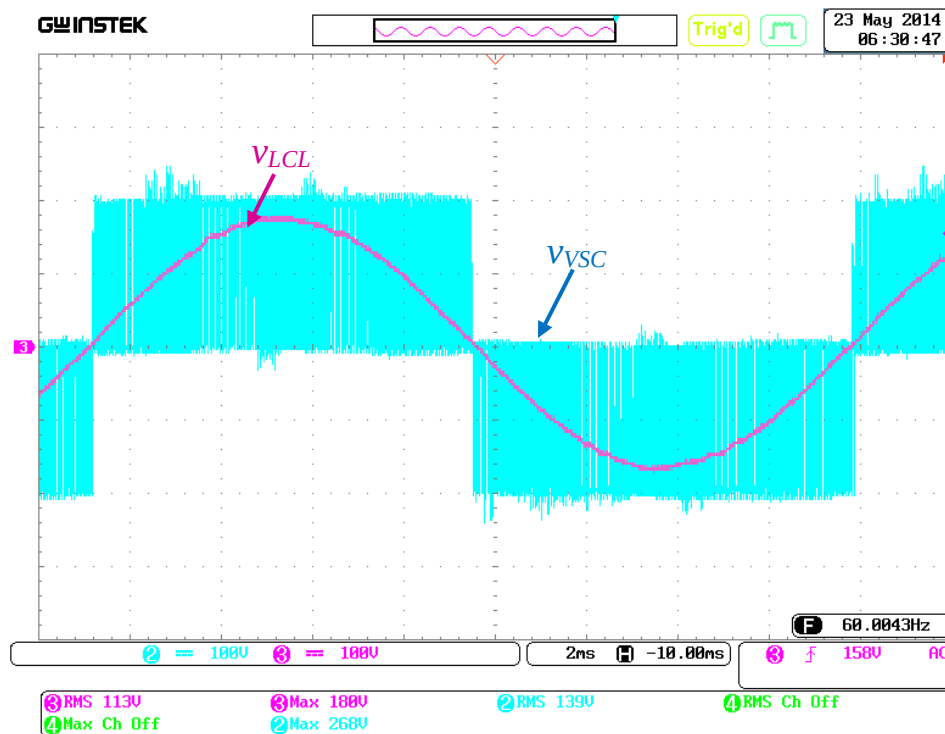


Figura 110. Oscilograma del voltaje de salida del VSC v_{VSC} y el voltaje de salida del filtro LCL v_{LCL}

3.7.3. Ensayos realizados al sistema de control de corriente en el convertidor DC-AC trifásico de dos niveles con inyección de potencia a la red de distribución

Este aparte del capítulo presenta los resultados de los ensayos experimentales realizados al sistema de control digital de la corriente de inyección a la red de suministro. La figura 111 muestra las corrientes trifásicas inyectadas a la red y el voltaje en la fase a . La figura 112 muestra la respuesta del sistema de control de corriente en presencia de un cambio en el valor de referencia. El oscilograma muestra que el sistema de control de la corriente responde al cambio en el *set-point* en menos de 3 ciclos de la red.

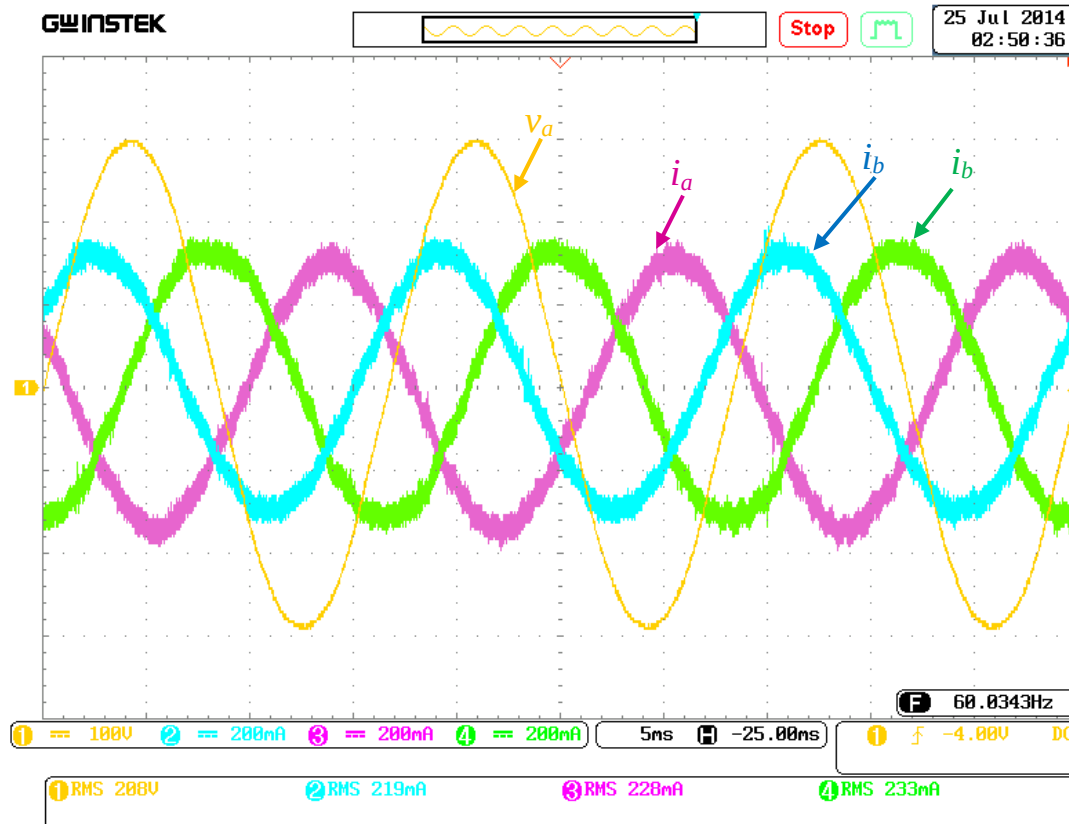


Figura 111. Oscilograma del voltaje generado en la fase a y las corrientes de las tres fases que se inyectan a la red de distribución

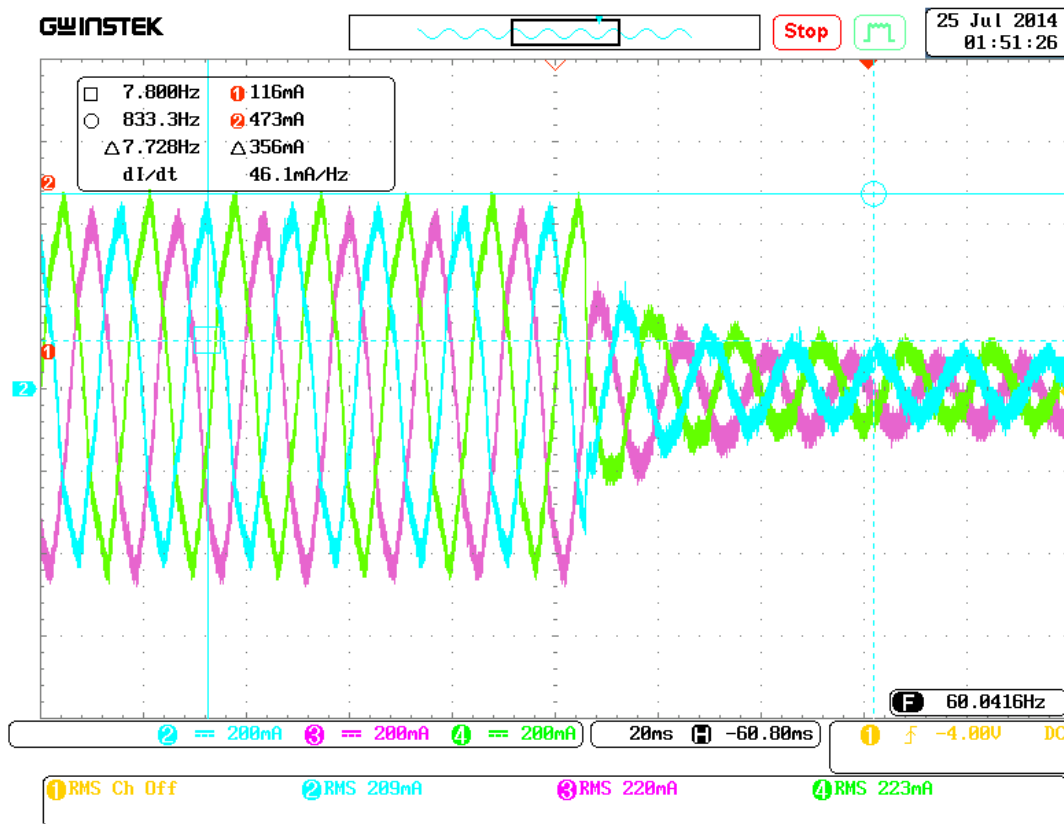


Figura 112. Oscilograma de las corrientes de las tres fases que se inyectan a la red de distribución con un cambio en las corrientes de referencia

3.7.4. Ensayos realizados al sistema de control de la amplitud del voltaje en el convertidor DC-AC trifásico de dos niveles

Este aparte del capítulo presenta los resultados de los ensayos experimentales realizados al sistema de control digital de la amplitud del voltaje de salida del inversor trifásico. Las figuras 113 y 114 muestran los voltajes de las fases *a*, *b* y *c* en la carga trifásica con conexión en estrella. Los oscilogramas permiten observar la amplitud, frecuencia y la fase del voltaje generado. El desfase medido entre las fases del sistema AC es 120° , equivalente a 5.56ms. La frecuencia del voltaje generado en las tres fases es 60 Hz. La amplitud del voltaje sigue a la señal de referencia de 117Vrms.

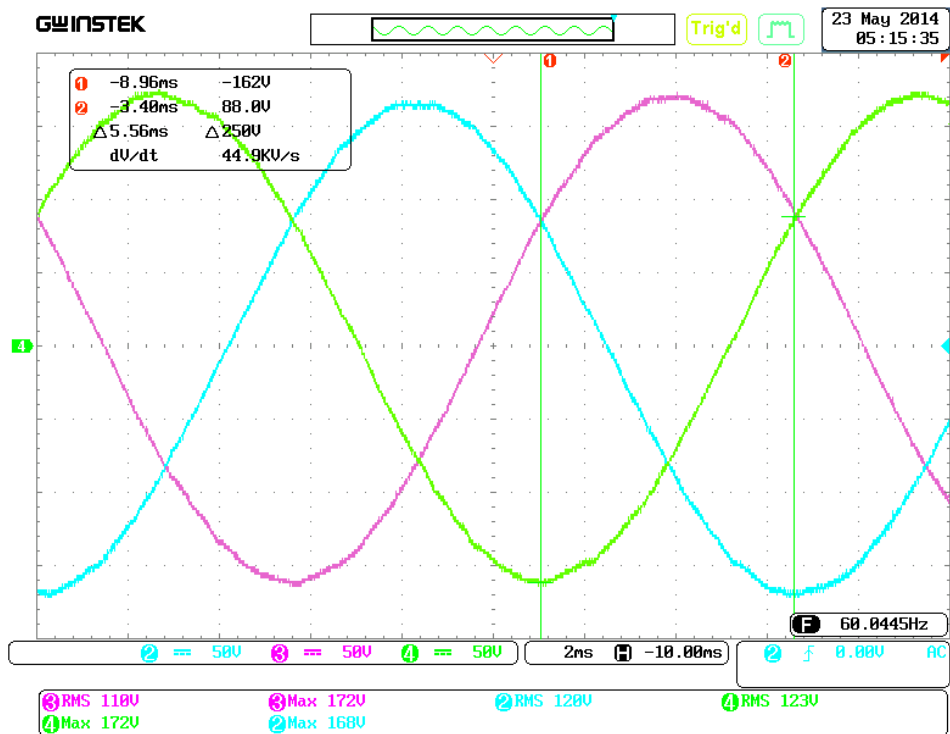


Figura 113. Oscilograma de los voltajes en las tres fases a la salida del inversor trifásico con carga resistiva (El desfase medido entre las fases es 120° , equivalente a 5.56ms)

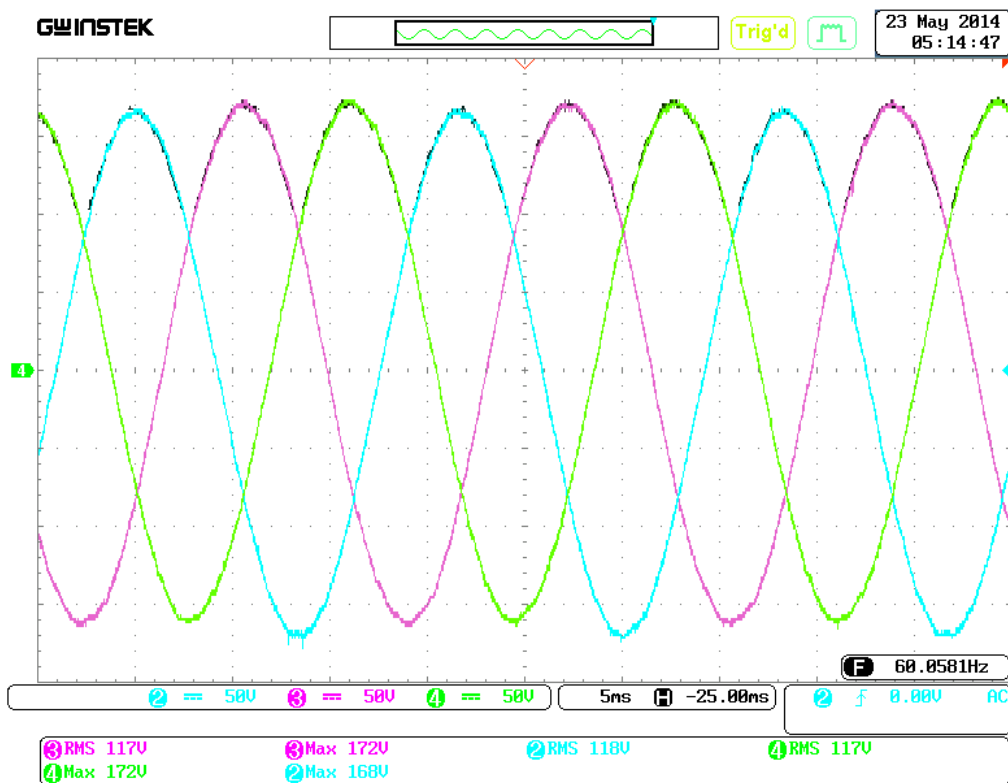


Figura 114. Oscilograma de los voltajes en las tres fases a la salida del inversor trifásico con carga resistiva

3.8. CONCLUSIONES DELCAPITULO

El VSC trifásico de dos niveles con filtro LCL es un convertidor simple y de buen desempeño que puede ser usado en aplicaciones con fuentes de energía renovables. El sistema de control de la corriente en el marco de referencia dq permite controlar de forma independiente la corriente directa y en cuadratura que se inyecta a la red. Este sistema de control permite controlar la potencia activa y reactiva inyectada a la red, regulando señales constantes. El sistema de control PI de la corriente en el marco de referencia dq permite reducir el error en estado estacionario a cero con base en la integración del error hasta su reducción completa.

El PLL permite la sincronización en fase y en frecuencia del voltaje generado por el VSC trifásico con el voltaje de la red de distribución. La señal de fase suministrada por el PLL puede ser modificada, corrigiendo el desfase introducido en el sistema por el filtro de red LCL. El PLL puede garantizar la sincronización del VSC trifásico con la red incluso en la presencia de saltos de fase en el voltaje de la red. El tiempo de estabilización del PLL es menor a 10 ciclos de la red en todos los ensayos experimentales.

El filtro LCL mejora la forma de la onda del voltaje en la salida del VSC trifásico, aproximándola a una onda sinusoidal pura con la frecuencia fundamental deseada. La reducción de la distorsión armónica total del voltaje y de la corriente en la salida del inversor mejora la calidad de la potencia suministrada por el VSC trifásico. Los resultados de los ensayos experimentales muestran que el filtro LCL es una buena alternativa para la atenuación de los armónicos de alta frecuencia. El procedimiento de diseño propuesto en esta tesis para el filtro LCL permite encontrar los valores apropiados para los elementos que componen el filtro en función de la frecuencia de corte y del porcentaje máximo de rizado en la corriente a la salida del filtro.

4. PROCEDIMIENTO NOVEDOSO PARA EL DISEÑO DE SNUBBERS RCD Y DEDUCCIÓN MATEMÁTICA DE LAS ECUACIONES

En este capítulo se presenta los resultados del artículo sometido a revisión en la revista “Información Tecnológica”. Este artículo presenta un procedimiento novedoso para el diseño del *snubber* RCD en circuitos electrónicos de potencia con el objetivo de reducir el voltaje pico transitorio en el apagado de los interruptores de potencia. El procedimiento incluye un método para la determinación de los elementos parásitos en el circuito de conmutación y la deducción matemática de las ecuaciones de diseño. El procedimiento propuesto se constituye en una gran herramienta para el análisis y el diseño de los circuitos *snubber* RCD, aplicados en la mayoría de los circuitos electrónicos de potencia. Las ecuaciones de diseño deducidas permiten calcular teóricamente el valor del condensador y de la resistencia del *snubber* RCD en función de las reactancias parasitas del circuito implementado y del voltaje máximo de operación del interruptor, haciendo posible verificar mediante simulación el desempeño dinámico del circuito antes de la implementación experimental. El procedimiento y las ecuaciones de diseño son verificados en el laboratorio, corroborando la coherencia del análisis teórico con los resultados experimentales.

Los circuitos electrónicos de potencia funcionan con base en interruptores como IGBTs, MOSFETs, BJT, entre otros. Para una operación ideal, los interruptores de potencia deben conmutar entre las regiones de corte (voltaje alto y corriente baja) y de saturación (voltaje bajo y corriente alta). Sin embargo, en la práctica, el cambio entre las regiones de corte y saturación implica atravesar la región activa, donde la corriente y el voltaje del interruptor son altos. Las pérdidas de potencia asociadas a la conmutación están relacionadas con el tiempo que permanece el interruptor en la región activa y la forma en la que se realiza la conmutación. La conmutación de los interruptores de potencia puede realizarse de forma dura o suave. La conmutación dura se presenta cuando el interruptor no dispone de circuitos resonantes que ayudan a la conmutación. En la conmutación dura, el voltaje colector-emisor (v_{ce}) y la corriente de colector (i_c) tienen magnitudes altas simultáneamente, incrementando las pérdidas de potencia, el estrés eléctrico y el calentamiento del interruptor, y limitando la frecuencia máxima de conmutación en el dispositivo [117]. Además de los problemas causados por la conmutación dura, la presencia inevitable de inductancias parasitas en el circuito de conmutación produce sobre-picos y oscilaciones de alta frecuencia en el voltaje colector emisor (v_{ce}) y en la corriente del colector (i_c), aumentando las pérdidas de potencia en la conmutación y causando interferencias electromagnéticas en otras partes del sistema (EMI, Electromagnetic interference) [118], [119].

La conmutación suave se presenta cuando se conectan elementos reactivos en serie o en paralelo con el interruptor de potencia, amortiguando el voltaje v_{ce} o la corriente i_c durante la conmutación [117]. La conmutación suave en el apagado del interruptor se puede lograr con el *snubber* RCD, reduciendo los efectos de la conmutación dura y de la inductancia parasita. El *snubber* RCD es un circuito que permite absorber la energía proveniente de las inductancias parasitas del circuito de conmutación, evitando que se disipe en el interruptor de potencia. Además, el *snubber* RCD permite amortiguar los picos del voltaje v_{ce} en el interruptor de potencia y aumentar la frecuencia de conmutación, disminuyendo el tamaño y el costo de los interruptores de potencia y de los disipadores de calor [120]. Algunas de las aplicaciones donde se usa el *snubber* RCD son: convertidores AC-DC [121], convertidores DC-DC [122], entre otras [123], [124].

Desde 1972, [125] reporta el estudio del *snubber* RC para circuitos de conmutación basados en tiristores, deduciendo las fórmulas de cálculo de los elementos del *snubber* en función de las pérdidas de potencia y del pico de voltaje en las terminales del tiristor. En la década de los 80', [126] realizó el

análisis matemático y experimental de los circuitos *snubber* en serie y en paralelo para circuitos de conmutación basados en BJTs, concluyendo que los circuitos *snubber* serie y paralelo actuando juntos reducen las pérdidas totales del circuito de conmutación. [127] presentan las ecuaciones de diseño del circuito *snubber* RCD en función del tiempo de apagado del interruptor, la corriente de carga y el voltaje de alimentación aplicados a puentes inversores, enfocando el análisis a mejorar la eficiencia energética del sistema. [128] presentan una revisión bibliográfica de los *snubber* RCD y proponen la adición de un inductor para recuperar la energía atrapada en el condensador del *snubber*. [120] presentan el análisis de pérdidas en inversores trifásicos con conmutación dura y conmutación suave, mostrando mediante pruebas experimentales las ventajas del *snubber* en el circuito de conmutación. En [129] se presenta la influencia de los elementos parásitos en los circuitos electrónicos de potencia. [130] presentan la ecuación de diseño para el condensador del *snubber* RCD, aplicado a topologías de interruptores conectados en serie para operar a altos voltajes. En [131] se analizan los factores que limitan el área de operación segura de los interruptores de potencia. En [118] se presenta el diseño del *snubber* RCD para un convertidor DC-AC conectado a la red, operando con conmutación suave. Algunas de las topologías de circuitos *snubber* que la literatura técnica reporta son: *snubber* RL, *snubber* RLD, *snubber* RC y *snubber* RCD [128]. Este artículo enfoca su análisis al circuito *snubber* RCD utilizados en el apagado de los interruptores.

Aunque existen gran cantidad de estudios para el diseño y selección de los componentes del *snubber*. Usualmente, los *snubber* RCD son desarrollados con base en la experiencia del diseñador y métodos de prueba y error. En consecuencia, la capacidad de conocer el desempeño del *snubber* RCD en el circuito de conmutación antes de su implementación está limitada. Este artículo propone un procedimiento novedoso para el diseño del *snubber* RCD en circuitos electrónicos de potencia. El procedimiento incluye la deducción matemática de las ecuaciones de diseño y el método para la determinación de las reactancias parasitas en el circuito de conmutación. El procedimiento de diseño y las ecuaciones deducidas para el cálculo de los componentes del *snubber* RCD son verificados mediante pruebas experimentales y simulaciones realizadas con base en interruptores del tipo IGBT.

Este capítulo, en la sección 4.1, presenta los problemas asociados al apagado del interruptor, haciendo una descripción de su origen y sus consecuencias en el circuito de conmutación. A continuación, en la sección 4.2, se presenta el principio de operación del circuito *snubber* RCD. La sección 4.3 presenta la deducción matemática de las ecuaciones de diseño. La sección V presenta el resumen del procedimiento propuesto para el diseño del *snubber* RCD. La sección 4.4 presenta los resultados de las simulaciones y los resultados de las pruebas experimentales.

4.1. PROBLEMAS ASOCIADOS AL APAGADO DEL INTERRUPTOR DE POTENCIA

Los elementos parásitos en el circuito de conmutación están compuestos por: la capacitancia parasita (C_p), la inductancia parasita (L_p) y la resistencia parasita (R_p).

La C_p está formada por la capacitancia de la unión colector-emisor (C_{oes}) en el interruptor (IGBT's para este artículo) y la capacitancia causada por el diseño del circuito impreso. Usualmente, la capacitancia C_{oes} es varias veces mayor que la capacitancia en el circuito impreso [132], por lo que la capacitancia del circuito impreso suele ser despreciable.

La inductancia L_p depende de la longitud, el ancho y la forma de las pistas en el circuito impreso, y la longitud, el diámetro y la forma de los cables que conforman el lazo de corriente en el colector del interruptor. La L_p puede reducirse con buenas prácticas en el diseño del circuito electrónico, pero es imposible eliminarla completamente.

La resistencia R_p está compuesta por la resistencia de las pistas en el circuito impreso y las resistencias parasitas en serie de los semiconductores. Frecuentemente, el valor de R_p es varias veces menor que el valor de la impedancia de carga [129].

Los elementos parásitos en el circuito de conmutación causan picos de voltaje y oscilaciones de alta frecuencia. Los picos de voltaje en el apagado del interruptor son causados por las inductancias parasitas en el lazo de la corriente del colector. Estos deben ser limitados hasta niveles inferiores al voltaje de ruptura de la unión colector-emisor en el interruptor [131]. Las oscilaciones de alta frecuencia en el apagado del interruptor se producen por el intercambio de energía entre las reactancias parasitas en el circuito de conmutación, causando EMI [133]. Adicionalmente, los elementos parásitos y la conmutación dura incrementan el estrés eléctrico y las pérdidas de potencia. El estrés eléctrico se produce cuando el interruptor de potencia opera con niveles de voltaje o de corriente superiores a los límites especificados, causando calentamiento excesivo y fatiga en el dispositivo. Las pérdidas de potencia excesivas en el apagado del interruptor causan la reducción de la eficiencia energética del circuito de conmutación y pueden ocasionar la aparición de puntos calientes localizados en el semiconductor, produciendo avalancha térmica y la destrucción del dispositivo [131].

La figura 115(a) muestra el diagrama esquemático del circuito de conmutación de potencia utilizado para el análisis teórico y experimental. La fuente de energía consiste en una fuente de voltaje DC (v_s). La carga del circuito de conmutación está compuesta por la inductancia (L_L) y la resistencia (R_L), instalados en paralelo con el diodo de paso libre (D). En la práctica, los elementos parásitos L_p , C_p y R_p están distribuidos en el lazo de corriente del colector en el interruptor. No obstante, ellos se muestran como parámetros concentrados en el circuito para facilitar su análisis.

La figura 115(b) muestra las formas de onda del voltaje colector-emisor (v_{ce}) y de la corriente de colector (i_c) en el tiempo de apagado del interruptor (t_{off}) del circuito de la figura 115(a). Al iniciar el apagado (t_1), el voltaje v_{ce} comienza a incrementarse y la corriente de carga (i_L) comienza a disminuir. La reducción de la corriente i_L produce un voltaje en la inductancia L_L que se adiciona al voltaje v_{ce} , polarizando directamente el diodo D . Esto permite que la energía almacenada en la inductancia L_L se disipe en la resistencia R_L , limitando el pico de voltaje producido. También, la disminución de la corriente i_c causa la aparición de un voltaje en la inductancia parásita L_p . El voltaje inducido en L_p ocasiona el incremento del voltaje v_{ce} , causando un pico de voltaje. Este pico de voltaje no puede ser limitado por el diodo D , debido a que la inductancia L_p no está dentro del lazo del diodo. La resistencia parásita R_p causa una caída de voltaje, cuya magnitud no es significativa en comparación con los voltajes v_s y v_{ce} en el t_{off} . El proceso de apagado del interruptor termina en el instante t_2 , cuando la corriente i_c disminuye a menos del 10% de su valor máximo y el voltaje v_{ce} se iguala con el voltaje de la fuente v_s . La figura 115(b) permite observar que la corriente i_c y el voltaje v_{ce} tienen magnitudes altas simultáneamente en el tiempo t_{off} , causando disipación de potencia en el interruptor en forma de calor.

Las ecuaciones de nodos y de mallas en el circuito de la figura 115(a), en el tiempo t_{off} , permite deducir las ecuaciones (207), (208) y (209), relacionando las reactancias parasitas con la frecuencia de oscilación del voltaje v_{ce} . Para facilitar los cálculos, la deducción de las ecuaciones supone que la caída de voltaje en las terminales del diodo D es cero.

$$i_c = i_s = i_L - i_D \quad (207)$$

$$v_{ce} \triangleq v_s - L_p \frac{di_s}{dt} - R_p i_s \quad ; \quad \text{donde } \frac{di_s}{dt} < 0 \quad (208)$$

$$i_C = i_S = C_p \frac{dv_{ce}}{dt} \quad (209)$$

$$\frac{d^2 v_{ce}}{dt^2} + \frac{R_p}{L_p} \frac{dv_{ce}}{dt} + \frac{1}{L_p C_p} v_{ce} \triangleq v_s \quad (210)$$

Las ecuaciones (207) a (210) permiten deducir la ecuación característica del sistema en el dominio de Laplace, mostrada en la ecuación (211). Donde ξ es el coeficiente de amortiguamiento y ω_n es la frecuencia natural no amortiguada de oscilación.

$$S^2 + 2\xi\omega_n S + \omega_n^2 = S^2 + \frac{R_p}{L_p} S + \frac{1}{L_p C_p} \triangleq 0; \quad \omega_n = \frac{1}{\sqrt{L_p C_p}} \quad (211)$$

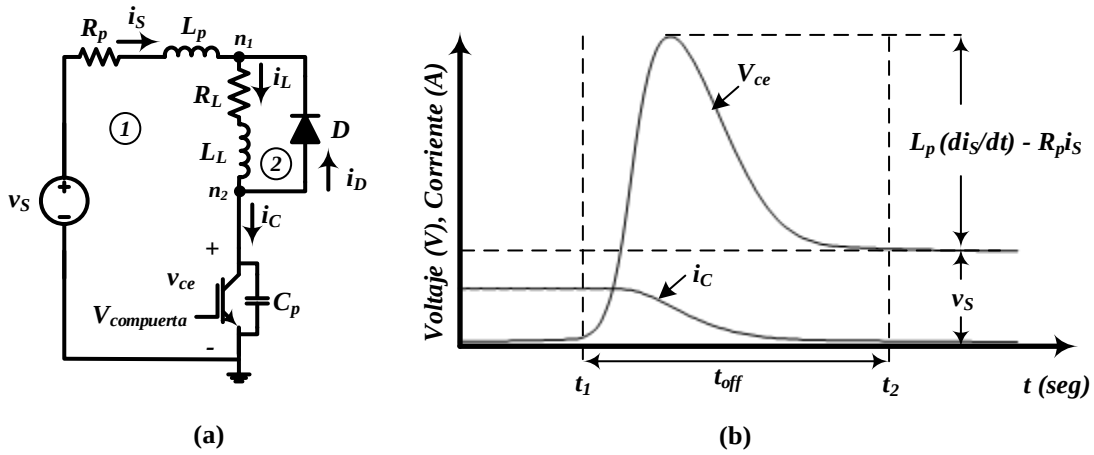


Figura 115. (a) Diagrama esquemático del circuito de conmutación, (b) Formas de onda del voltaje v_{ce} y de la corriente i_C en el interruptor de la figura 115(a)

Usualmente, la inductancia parasita L_p tiene valores del orden de μH y la capacitancia parasita C_p tiene valores del orden de pF . En consecuencia, las oscilaciones en el voltaje v_{ce} son de alta frecuencia en comparación con la frecuencia de conmutación y la frecuencia de las redes de distribución, causando problemas de EMI [129].

4.2. PRINCIPIO DE FUNCIONAMIENTO DEL *SNUBBER* RCD

El *snubber* RCD se compone de un condensador (C_{SN}), una resistencia (R_{SN}) y un diodo de conmutación rápida (D_{SN}). La conexión de los elementos del *snubber* RCD se muestra en el área sombreada de la figura 116(a). Durante el apagado del interruptor, el diodo D_{SN} entra en conducción, permitiendo que el condensador C_{SN} almacene la energía proveniente de la inductancia parasita L_p . Durante el encendido, el diodo D_{SN} está en corte y la energía almacenada en C_{SN} se disipa en la resistencia R_{SN} , circulando a través del interruptor.

Durante el apagado, la capacitancia C_{SN} queda en paralelo con la capacitancia del interruptor C_p , aumentando la capacitancia total del circuito resonante. En consecuencia, el *snubber* RCD permite amortiguar las oscilaciones de alta frecuencia en el voltaje v_{ce} . [120].

La figura 116(b) muestra las formas de onda del voltaje v_{ce} y de las corrientes i_C e i_{sn} en el tiempo t_{off} del interruptor de potencia (figura 116(a)), utilizando el circuito *snubber* RCD. El proceso de

apagado del interruptor comienza en el instante t_1 . En el periodo de tiempo comprendido entre t_1 y t_2 , el voltaje v_{ce} comienza a aumentar, polarizando directamente el diodo D_{SN} y la corriente de carga (i_L) se distribuye entre i_c e i_{SN} . Simultáneamente, la corriente i_c disminuye y la corriente i_{SN} aumenta hasta igualar a la corriente i_L en el instante de tiempo t_2 .

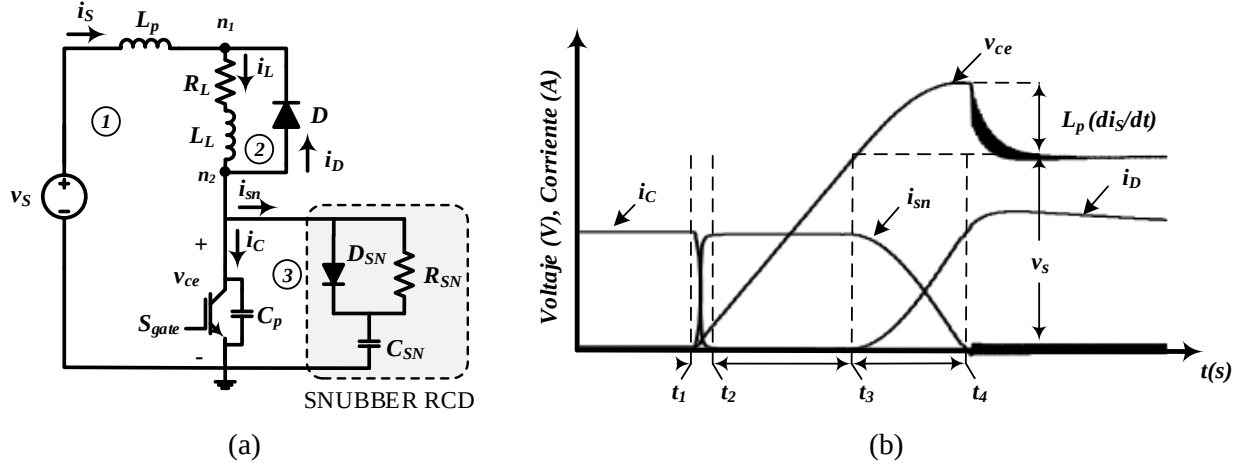


Figura 116. (a). Diagrama esquemático del circuito electrónico de potencia usado en las simulaciones y en las pruebas experimentales. (b) Corrientes y voltaje en el periodo de apagado del interruptor

En el periodo de tiempo comprendido entre t_2 y t_3 , el condensador C_{SN} continúa cargándose con la corriente i_L . En consecuencia, el voltaje v_{ce} continúa aumentando. En el instante de tiempo t_3 , el voltaje v_{ce} alcanza el valor del voltaje v_s , polarizando directamente el diodo D . En el periodo de tiempo comprendido entre t_3 y t_4 , la energía almacenada en la inductancia L_L comienza a circular a través del diodo D , disipándose en forma de calor en R_L . En este periodo de tiempo, el cambio en la corriente i_s induce un voltaje en L_p , causando el pico de voltaje en v_{ce} (figura 116(b)). Este pico de voltaje no puede ser limitado por el diodo D , ya que L_p no está en el lazo de corriente del diodo D . Simultáneamente, la corriente i_{SN} disminuye hasta llegar a cero en el instante de tiempo t_4 , terminando el proceso de amortiguación producido por el *snubber* RCD. Luego del instante de tiempo t_4 , el condensador C_{SN} se descarga a través de R_{SN} y el diodo D hasta alcanzar el voltaje de la fuente. La descarga del condensador C_{SN} se completa en el encendido del interruptor, circulando la corriente de descarga a través de la resistencia R_{SN} y el interruptor.

4.3. DEDUCCION MATEMATICA DE LAS ECUACIONES DE DISEÑO

4.3.1. Deducción de las ecuaciones para calcular las reactancias parasitas en el circuito de conmutación

El valor de las reactancias parasitas puede ser determinado con base en las mediciones experimentales y las ecuaciones deducidas a partir del circuito de conmutación en dos condiciones de funcionamiento, para diferenciarlas se utiliza el subíndice x :

1) El circuito de conmutación de la figura 117. En esta condición de funcionamiento, la capacitancia total (C_{total_1}) en paralelo con el interruptor de potencia está dada por $C_{total_1} = C_p$. Esta condición utiliza el subíndice $x=1$.

2) El circuito de conmutación agregando el condensador C_{adic} , de valor conocido, en paralelo al interruptor. Como se muestra con las líneas punteadas en la figura 3. En esta condición de

funcionamiento, la capacitancia total (C_{total_2}).en paralelo con el interruptor está dada por $C_{total_2} = C_p + C_{adic}$. Esta condición utiliza el subíndice $x=2$.

En las dos condiciones de funcionamiento, las mediciones experimentales necesarias para el cálculo de las reactancias parasitas pueden ser realizadas como se muestra en la figura 117. Los parámetros que se deben medir son: el periodo de oscilación (T_{OSC_x}), el valor del pico del voltaje v_{ce} ($v_{ce\ pico_x}$) y el valor en estado estable del voltaje v_{ce} ($v_{ce\ ss_x}$).

Las dos condiciones de funcionamiento proveen los datos necesarios para el cálculo de las dos reactancias parasitas, ecuaciones (215) y (216).

$$T_{osc_x} = \frac{2\pi}{\omega_{n_x}} = \frac{2\pi}{\omega_{n_x}\sqrt{1-\xi_{-x}^2}} \text{ donde } \omega_{n_x} = \frac{1}{\sqrt{L_p C_{total_x}}} \quad (212)$$

La expresión para el coeficiente de amortiguamiento (ξ_{-x}), ecuación (214), puede ser obtenida operando matemáticamente en la definición del sobre pico del voltaje (M_{p_x}) mostrada en la ecuación (213).

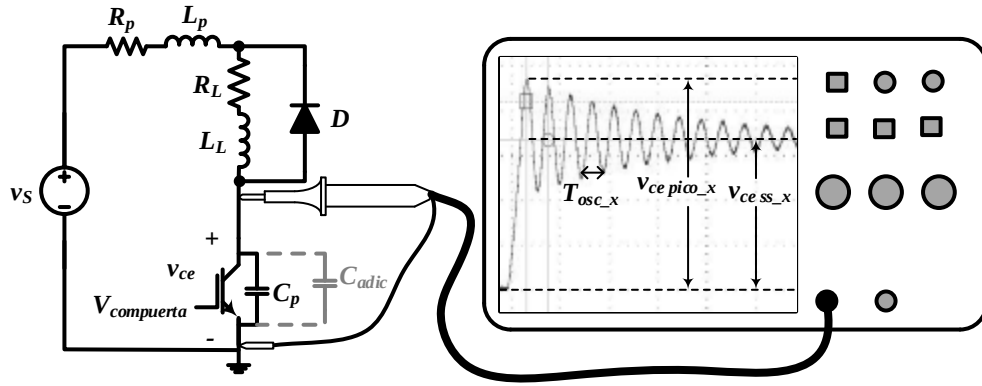


Figura 117. Procedimiento para la medición del periodo de oscilación T_{OSC_x} , $v_{ce\ pico_x}$ y $v_{ce\ ss_x}$ en el voltaje v_{ce}

$$M_{p_x} = \frac{v_{ce\ pico_x}}{v_{ce\ ss_x}} = 1 + e^{\frac{-\xi_{-x}\pi}{\sqrt{1-\xi_{-x}^2}}} \quad (213)$$

$$\xi_{-x} = -\frac{\ln\left(\frac{v_{ce\ pico_x}}{v_{ce\ ss_x}} - 1\right)}{\sqrt{\pi^2 + \left(\ln\left(\frac{v_{ce\ pico_x}}{v_{ce\ ss_x}} - 1\right)\right)^2}} \quad (214)$$

Las reactancias parasitas L_p y C_p pueden ser calculadas con base en las ecuaciones (215), y (216) y los resultados de las mediciones experimentales para los dos casos anteriores ($\varepsilon_1, T_{OSC_1}, \varepsilon_2$ y T_{OSC_2}). Estas ecuaciones se obtienen operando matemáticamente en las ecuaciones (212), (213) y (214).

$$L_p = \frac{T_{OSC_2}^2(1 - \varepsilon_{-2}^2) - T_{OSC_1}^2(1 - \varepsilon_{-1}^2)}{4\pi^2 C_{adic}} \quad (215)$$

$$C_p = \frac{C_{adic} T_{OSC_1}^2(1 - \varepsilon_{-1}^2)}{T_{OSC_2}^2(1 - \varepsilon_{-2}^2) - T_{OSC_1}^2(1 - \varepsilon_{-1}^2)} \quad (216)$$

El cálculo de las reactancias parasitas puede ser simplificado, asumiendo en las ecuaciones (215) y (216) que $\xi_{-1} = \xi_{-2} = 0$. El error introducido en el cálculo es pequeño. Debido a que, la resistencia parasita (R_p) es pequeña comparada con los demás parámetros del sistema.

4.3.2. Deducción de las ecuaciones para calcular el valor de la capacitancia y de la resistencia del Snubber RCD

En esta sección se proponen las ecuaciones para el cálculo del valor del condensador C_{SN} y de la resistencia R_{SN} en función del valor del pico esperado en el voltaje v_{ce} , y del valor de las reactancias parasitas calculadas con base en el procedimiento descrito en la sección anterior. Para facilitar los cálculos matemáticos, las ecuaciones desprecian la caída de voltaje en las resistencias parasitas del lazo de corriente del colector y la caída de voltaje en los semiconductores del circuito de la figura 116(a).

A. Deducción de la ecuación de cálculo para el condensador C_{SN}

La sumatoria de corrientes y voltajes en el circuito de la figura 116(a) permiten obtener las ecuaciones de (217) a (221), en el periodo comprendido entre t_3 y t_4 , cuando se produce el pico de voltaje en v_{ce} .

$$i_{sn} = i_s = i_L - i_D, \text{ donde } i_C \triangleq 0 \quad (217)$$

$$R_L i_L + L_L \frac{di_L}{dt} \triangleq 0 \quad (218)$$

$$-v_s + L_p \frac{di_s}{dt} + v_{ce} \triangleq 0 \quad (219)$$

$$\frac{1}{C_p} \int_{t_3}^{t_4} i_{sn} dt \triangleq v_{ce} \quad (220)$$

$$-v_s + L_p \frac{di_{sn}}{dt} + \frac{1}{C_p} \int_{t_3}^{t_4} i_{sn} dt \triangleq 0 \quad (221)$$

Asumiendo v_s constante en el periodo de análisis y derivando respecto al tiempo se obtiene la ecuación (222)

$$\frac{d^2 i_{sn}}{dt^2} + \frac{1}{L_p C_p} i_{sn} \triangleq 0 \quad (222)$$

La ecuación (222) corresponde a una ecuación diferencial homogénea, cuya solución se presenta en la ecuación (223). Las condiciones iniciales para la solución de la ecuación diferencial son $i_{sn}(0) = I_L$ y $i'_{sn}(0) = 0$, donde I_L es la corriente de carga del circuito.

$$i_{sn}(t) \triangleq I_L \cos\left(\frac{t}{\sqrt{L_p C_{SN}}}\right) \quad (223)$$

La derivada de la ecuación (224) respecto al tiempo está dada por:

$$\frac{di_{sn}}{dt} \triangleq \frac{-I_L}{\sqrt{L_p C_p}} \operatorname{sen}\left(\frac{t}{\sqrt{L_p C_p}}\right) \quad (224)$$

De la ecuación (224) se deduce que.

$$\frac{di_s}{dt} = \frac{di_{sn}}{dt} \triangleq \frac{v_s - v_{ce}}{L_p} \quad (225)$$

Igualando las ecuaciones (224) y (225) se obtiene la siguiente expresión.

$$\frac{v_s - v_{ce}}{L_p} \triangleq \frac{-I_L}{\sqrt{L_p C_p}} \operatorname{sen}\left(\frac{t}{\sqrt{L_p C_p}}\right) \quad (226)$$

Despejando el v_{ce} de la ecuación (226) se obtiene

$$v_{ce} \triangleq v_s + I_L \sqrt{\frac{L_p}{C_p}} \operatorname{sen}\left(\frac{t}{\sqrt{L_p C_p}}\right) \quad (227)$$

El pico de voltaje en v_{ce} ($v_{ce \text{ pico}}$) se produce cuando $\frac{t}{\sqrt{L_p C_p}} = \frac{\pi}{2}$.

$$v_{ce \text{ pico}} \triangleq v_s + I_L \sqrt{\frac{L_p}{C_p}} \quad (228)$$

De la ecuación (228) se puede obtener la expresión que permite el cálculo del valor del condensador C_{SN} . El valor de condensador calculado limita $v_{ce} \leq v_{ce \text{ pico}}$ en el apagado del interruptor al valor deseado. La selección del valor del $v_{ce \text{ pico}}$ debe garantizar que el interruptor operara por debajo de los límites máximos de voltaje permitidos.

$$C_{SN} \triangleq \frac{L_p I_L^2}{(v_{ce \text{ pico}} - v_s)^2} - C_p \quad (229)$$

B. Deducción de la ecuación de cálculo para la resistencia R_{SN}

La descarga total del condensador C_{SN} se debe completar en el tiempo de encendido del interruptor (t_{on}), garantizando las condiciones iniciales del snubber RCD en el siguiente ciclo de conmutación. Cuando el condensador no se descarga completamente, su capacidad para almacenar la energía proveniente del inductor L_p está limitada, permitiendo la aparición de picos en el voltaje en v_{ce} superiores a los calculados.

El tiempo de descarga del condensador C_{SN} esta limitado por la resistencia R_{SN} . La constante de tiempo de descarga del circuito $R_{SN} C_{SN}$ (τ), definida en la ecuación (230), se puede aproximar en 5τ .

$$\tau = R_{SN} C_{SN} \quad (230)$$

El periodo de conmutación del interruptor de potencia (T_{sw}) se define en la ecuación (231). Las técnicas de modulación de los convertidores DC-DC, AC-DC y DC-AC pueden causar tiempos de encendido cortos, del orden de $t_{on} = 0.1 T_{sw}$. En consecuencia, se debe garantizar que $5\tau < 0.1 T_{sw}$. La ecuación (232) permite calcular el valor máximo de la resistencia que garantiza la descarga del condensador C_{SN} , cuando $t_{on} \leq 0.1 T_{sw}$.

$$T_{sw} = \frac{1}{f_{sw}} = t_{on} + t_{off} \quad (231)$$

Donde f_{sw} es la frecuencia de conmutación.

$$R_{SN} \leq \frac{0.1}{5 C_{SN} f_{sw}} \quad (232)$$

La potencia disipada por la resistencia R_{SN} ($P_{R_{SN}}$), puede ser calculada mediante la siguiente ecuación [128].

$$P_{R_{SN}} = \frac{1}{2} C_{SN} v_s^2 f_{sw} \quad (233)$$

4.4. PROCEDIMIENTO PARA EL DISEÑO DEL *SNUBBER* RCD

Antes de diseñar el circuito *snubber* RCD, se recomienda reducir la inductancia parasita del circuito de conmutación tanto como sea posible, logrando reducir el tamaño y costo de los elementos del *snubber* RCD y aumentar la eficiencia energética del circuito de conmutación [129]. Los pasos propuestos para el diseño del circuito *snubber* RCD se detallan a continuación.

- Determinar el valor de las reactancias parasitas del circuito de conmutación, usando el procedimiento mostrado en la figura 117 y las ecuaciones (214), (215) y (216).
- Determinar el valor del condensador C_{SN} y de la resistencia R_{SN} , usando las ecuaciones (229), (230), (231) y (232), en función del pico en el voltaje v_{ce} deseado y de la frecuencia de conmutación f_{sw} .
- Verificar los resultados del diseño teórico mediante la simulación del circuito y la realización de pruebas experimentales.

4.5. SIMULACIONES Y RESULTADOS EXPERIMENTALES

Las simulaciones y las pruebas experimentales se realizaron con el circuito electrónico de potencia mostrado en la figura 116(a), utilizando en la simulación los mismos parámetros obtenidos del circuito experimental. La tabla 20 muestra el valor de los parámetros del circuito y las referencias de los semiconductores usados. La simulación del circuito se realiza con base en los modelos de *Spice* suministrados por el fabricante de los elementos semiconductores. La señal de compuerta usada para conmutar el interruptor se obtiene con base en el circuito de excitación ISO5500 del fabricante Texas Instruments, y una resistencia de compuerta de 10 Ω . El ISO5500 suministra una corriente máxima de 2A a la compuerta del IGBT desde una fuente aislada de 20 V.

Tabla 20. Parámetros y valores usados en las simulaciones y en las pruebas experimentales

Parámetro	Valor
IGBT	IRG4PC40FD, $V_{CES} = 600V$, $I_C = 27A$
D y D_{SN}	FR154
R_L	$56,6 \Omega$
L_L	10 mH
V_s	172 Vdc
I_L	2,85 A

4.5.1. Determinacion de las reactivancias parasitas

Las figuras 118(a) y 118(b) muestran los oscilogramas del voltaje v_{ce} para las condiciones de funcionamiento 1 y 2 respectivamente. Las mediciones se realizan como se indica en la figura 117. Estos oscilogramas permiten encontrar el valor de las variables necesarias para calcular las reactivancias parasitas. La figura 118(a) muestra el oscilograma del voltaje v_{ce} en el apagado del interruptor del circuito de conmutacion mostrado en la figura 117 para la condicion 1 de funcionamiento (sin incluir el condensador C_{adic}). En esta condicion de funcionamiento, la frecuencia de oscilacion del voltaje es 6,58MHz y el pico de voltaje v_{ce} maximo es 335 V. La figura 118(b) muestra el oscilograma del voltaje v_{ce} en el apagado del interruptor, para la condicion 2 de funcionamiento (incluyendo el condensador $C_{adic} = 3300 pF$). En esta condicion de funcionamiento, la frecuencia de oscilacion es 1,22 MHz y el pico de voltaje v_{ce} maximo es 276 V.

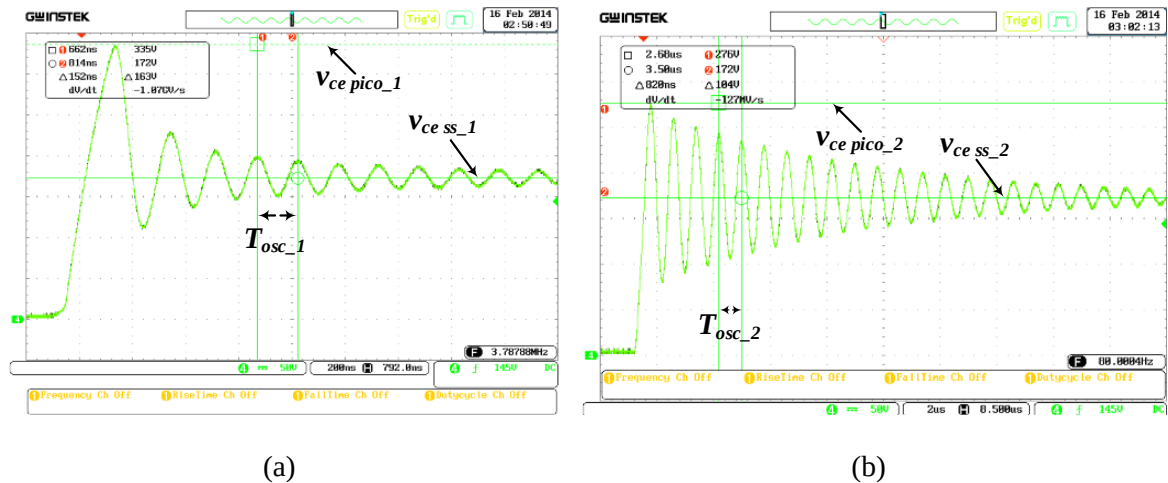


Figura 118. Oscilogramas del voltaje V_{ce} . (a). Condición 1 (voltaje 50V/div, tiempo 792 ns/div). (b) Condición 2 (voltaje 50V/div, tiempo 0,5μS/div)

La tabla 21 resume los resultados de las mediciones hechas en los oscilogramas presentados en las figuras 4(a) y 4(b)

Tabla 21. Valor de las variables medidas en el voltaje v_{ce} para las dos condiciones de funcionamiento.

Variable	$v_{ce\text{pico}_1}$	$v_{ce\text{pico}_2}$	$v_{ce\text{ss}_1}$	$v_{ce\text{ss}_2}$	T_{osc_1}	T_{osc_2}
Valor	335 V	276 V	172 V	172 V	152 ns	820 ns

El valor de las reactivancias parasitas L_p y C_p pueden ser calculadas con base en las ecuaciones (8), (9) y (10). Los resultados de dichos cálculos se resumen en la tabla 22.

Tabla 22. Valor calculado de las reactancias parasitas L_p y C_p

Parametro	ϵ_1	ϵ_2	L_p	C_p
Valor	0,0171	0,1581	4,85 μH	121 pF

4.6. VALIDACIÓN DE LAS ECUACIONES DE LAS ECUACIONES DE CÁLCULO DE LOS ELEMENTOS DEL *SNUBBER* RCD

Para la validación experimental se seleccionaron 6 condensadores de poliéster metalizados con valores en el rango entre 3,3 nF y 100nF (tabla 4). La ecuación (22) permite calcular el pico de voltaje máximo que se produce con cada valor de capacitancia seleccionado en el ensayo.

Las figuras 119(a) y 119(b) permiten comparar el voltaje v_{ce} y la corriente i_c en el circuito de conmutación sin snubber RCD y con el snubber RCD ($C_{SN} = 100nF$). El voltaje v_{ce} en el circuito sin snubber RCD (figura 119(a)) presenta oscilaciones de alta frecuencia y el pico de voltaje de 335 V. En contraste, El voltaje v_{ce} en el circuito con snubber RCD (figura 119(b)) se incrementa de forma amortiguada y no se observan oscilaciones de alta frecuencia, alcanzando un pico de voltaje de 193 V.

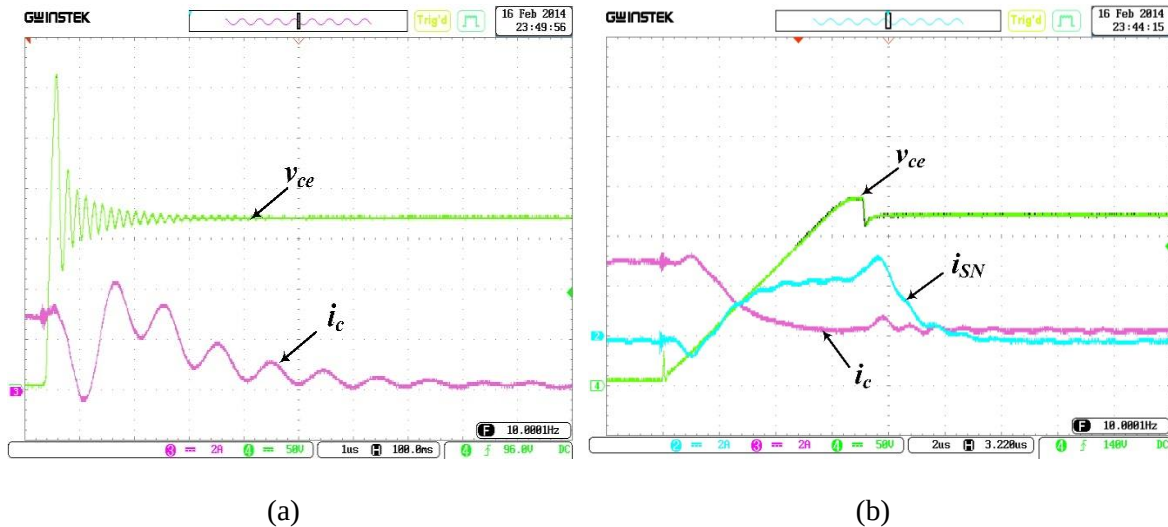


Figura 119. Oscilogramas del voltaje v_{ce} , la corriente de colector i_c y la corriente del snubber RCD i_{SN} . En el apagado del interruptor, (a) sin snubber RCD (voltaje 50V/div, corriente 2A/div, tiempo 1 μ s/div) (b) con snubber RCD, $C_{SN} = 100nF$ (voltaje 50V/div, corriente 2A/div, tiempo 1 μ s/div)

La figura 120(a) y la tabla 23 permiten comparar los resultados de los cálculos teóricos, los resultados de las simulaciones y los resultados experimentales. Estos resultados corroboran la pertinencia de las ecuaciones (29) y (30) para relacionar la capacitancia C_{SN} con el voltaje v_{ce} pico.

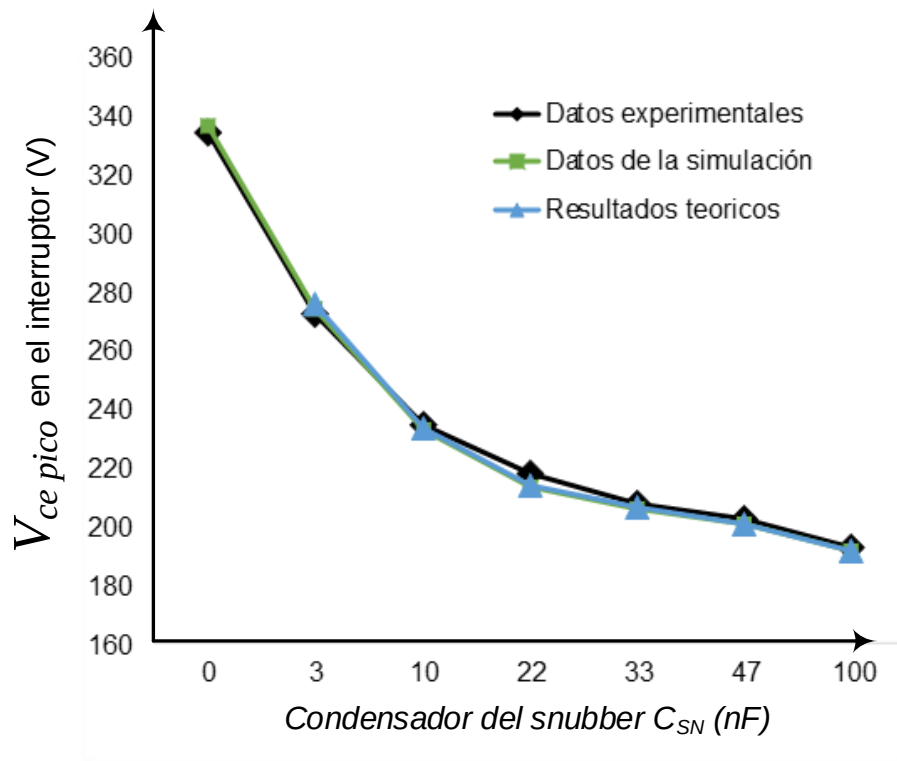


Figura 120. Comparación de los resultados teóricos, experimentales y de la simulación para $v_{ce\ pico}$ en función C_{SN} .

Tabla 23. Comparación de los resultados del valor del $v_{ce\ pico}$ en función C_{SN} con cálculos teóricos, los resultados de las simulaciones y los resultados experimentales.

$C_{SN}(nF)$ $v_{ce\ pico}(V)$	0	3,3	10	22	33	47	100
Calculo teorico		276	234	214	206,5	200,9	191,9
Simulación	337	274,2	233,3	213,4	206,4	201	192
Experimental	335	273	235	218	208	203	193

La figura 121(a) muestra las líneas de carga del interruptor de potencia en el circuito de la figura 117(a), funcionando sin el circuito del snubber RCD. La figura 121(a) muestra los picos y las oscilaciones en el voltaje v_{ce} y en la corriente i_c con niveles significativos. El interruptor pasa por la región activa en varias ocasiones, conmutando entre corte y saturación. La figura 121(b) muestra la línea de carga del interruptor de potencia en el circuito de la figura 117(a), funcionando con el circuito snubber RCD. La figura 121(b) muestra que el circuito snubber RCD reduce los picos y las oscilaciones en el voltaje v_{ce} y en la corriente i_c del interruptor. Además, la figura 121(b) muestra que el snubber RCD disminuye el estrés eléctrico en el interruptor, comparando las líneas de carga del circuito de conmutación con snubber RCD y sin el snubber RCD.

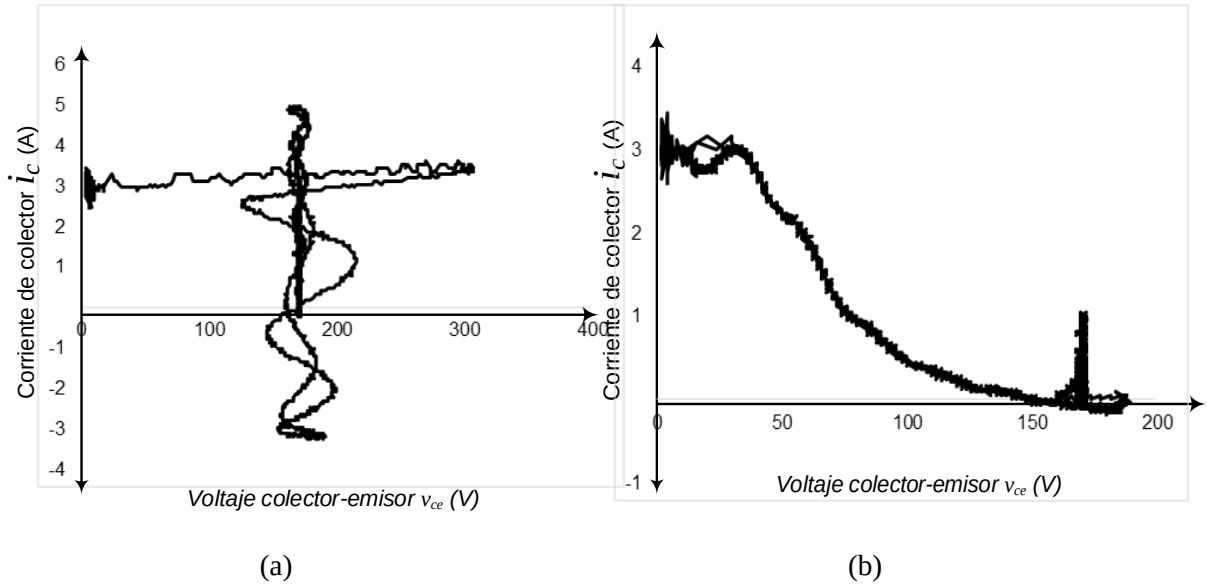


Figura 121. Línea de carga de V_{ce} e I_C . (a). sin snubber. RCD (b) con snubber RCD ($C_{SN} = 100n$)

4.7. CONCLUSIONES DELCAPITULO

El *snubber* RCD reduce los picos de voltaje en el apagado del interruptor, creando un camino alternativo para que la energía almacenada en la inductancia parasita L_p se almacene en el condensador C_{SN} y no fluya a través del interruptor de potencia en el t_{off} . Además, el *snubber* RCD permite adicionar C_{SN} a C_p , aumentando la capacitancia total del circuito resonante. En consecuencia, el *snubber* RCD amortigua las oscilaciones de alta frecuencia en v_{ce} . El *snubber* RCD reduce el estrés eléctrico en el interruptor, aumentando el tiempo de subida del voltaje v_{ce} , mientras que la corriente i_c disminuye rápidamente en el t_{off} .

Usualmente, los *snubber* RCD se desarrollan con base en la experiencia del diseñador y métodos empíricos, limitando el análisis que se realiza antes de la implementación experimental del circuito *snubber*. El procedimiento y las ecuaciones de cálculo propuestas en este artículo se constituyen en una gran herramienta para el análisis y el diseño de los circuitos *snubber* RCD, aplicados en la mayoría de los circuitos electrónicos de potencia. Las ecuaciones de diseño deducidas permiten calcular teóricamente el valor del condensador C_{SN} y de la resistencia R_{SN} en función de las reactancias parasitas del circuito real y del pico de voltaje en v_{ce} , haciendo posible verificar mediante simulación el desempeño dinámico del circuito antes de la implementación experimental.

Las pruebas experimentales permiten evidenciar la pertinencia de las ecuaciones propuestas en este artículo para el cálculo de los elementos parásitos del circuito y para el cálculo de los elementos del *snubber* RCD, observando que el error de los resultados teóricos respecto a los resultados experimentales es pequeño. Este error puede estar asociado a la tolerancia en el valor de los componentes pasivos disponibles comercialmente y a las alinealidades no considerados en el comportamiento dinámico de los componentes.

5. DESARROLLO DEL RESTAURADOR DINÁMICO DE VOLTAJE

El restaurador dinámico de voltaje (DVR, Dinamic Voltage Restorer) provee una solución avanzada y económica para los *sags* y *swells*. Este dispositivo es usado para proteger cargas sensibles conectadas al sistema de distribución eléctrica, ubicándose en serie entre la fuente y la carga sensible. En este capítulo se presenta el desarrollo de un DVR para redes de distribución monofásicas y se valida su efectividad para la compensación de los *sags* y *swells*. El método de detección del pico de voltaje y el método de compensación en fase se usan en el desarrollo del DVR para obtener respuesta dinámica rápida y precisa. El sistema de control digital es implementado con el sistema embebido CompacRIO y programado usando el software LabVIEW. La efectividad del sistema DVR propuesto es verificada y validada mediante pruebas experimentales.

Las cargas electrónicas sensibles como los equipos médicos y los equipos de automatización son vulnerables a perturbaciones en el voltaje de la fuente de suministro [134]. En consecuencia, la alta calidad de la potencia y la regulación del voltaje en la fuente son necesarios. Los *sags* y los *swells* son eventos de falla comunes que ocurren en los sistemas eléctricos [135]. Estos eventos generan pérdidas de producción en la industria, causando la salida de operación y la interrupción de cargas sensibles [136], [137].

El estándar IEEE 1159-2009 define el *sag* como la disminución del valor efectivo nominal del voltaje de la línea entre 0.1 y 0.9 p.u. con una duración entre medio ciclo de la red y un minuto. Similarmente, el *swell* es definido como el incremento del valor efectivo nominal del voltaje de la línea entre 1.1 y 1.8 p.u. con una duración entre medio ciclo y algunos segundos [138]. Los *sags* son clasificados como eventos instantáneos, momentáneos y temporales. Los *sags* instantáneos están definidos entre 0.5 ciclos y 30 ciclos, los *sags* momentáneos están definidos entre 30 ciclos y 3 segundos y los *sags* temporales están definidos entre 3 segundos y 1 minuto [138]. Los *sags* y los *swells* son variaciones del voltaje causadas por fallas remotas como: los corto circuito en las líneas de distribución o transmisión conectadas al punto de acoplamiento común, las corrientes de arranque de motores grandes, los cambios grandes de carga en la línea, cambios de operación en la red de suministro, entre otras [139], [140].

Los métodos convencionales para reducir las variaciones de voltaje que alimentan las cargas sensibles incluyen el uso de transformadores con cambiadores de *taps*, y fuentes ininterrumpidas de alimentación (UPS, Uninterruptible Power Supply) [141], [142]. No obstante, los transformadores con cambiadores de *taps* y las UPSs tienen un volumen y costo económico elevado. Además, el transformador con cambiador de *taps* no responde apropiadamente a las variaciones rápidas del voltaje en la línea de alimentación, y las UPSs requieren el reemplazo de las baterías cuando su ciclo de vida útil se ha completado [80]. La protección de las cargas sensibles contra las variaciones del voltaje se puede lograr usando el DVR. Este ofrece una forma eficiente para mitigar los eventos de los *sags* y los *swells* [140], [143], [144].

En [13], los autores presentan el diseño del DVR para redes monofásicas con un sistema de control en lazo cerrado. No obstante, los *sags* no son compensados completamente. El sistema de control y el método de detección presentado por Bae [145] permite mitigar los *sags* en menos de medio ciclo. Los resultados de la investigación presentada por Errabelli En [146] muestran el desarrollo de un DVR para redes monofásicas con control por modos deslizantes, logrando la compensación de los *sags* en tres ciclos de la red de suministro. En este capítulo, se propone el desarrollo del DVR para redes de distribución monofásicas que incluye el diseño del sistema de control que reduce los *sags* y los *swells* en dos o tres ciclos de la red.

La sección 5.1 introduce la operación del DVR y describe los métodos de detección y los métodos de compensación del voltaje. La sección 5.2 presenta el desarrollo del DVR para sistemas de distribución monofásicos, la metodología de diseño y la implementación del sistema de control digital. Finalmente, la sección 5.3 resume los resultados de las pruebas experimentales.

5.1. PRINCIPIO DE OPERACIÓN DEL DVR

El restaurador dinámico de voltaje permite mitigar las variaciones de voltaje en la carga, inyectando un voltaje controlado dinámicamente ubicado en serie con la fuente de alimentación [137]. Este dispositivo inyecta el voltaje (amplitud y/o fase) requerido para compensar las variaciones del voltaje suministrado a la carga [147].

Los principales módulos funcionales del sistema de control del DVR son el detector del *sag* o del *swell*, y el método de compensación de la variación del voltaje. El método de detección del *sag* o del *swell* permite determinar el momento de la ocurrencia de la falla (inicio y fin), la magnitud del voltaje, y el ángulo de fase. El método de compensación permite determinar la amplitud y el ángulo de fase del voltaje que debe ser inyectado por el DVR para compensar las variaciones de voltaje [148].

5.1.1. Métodos de detección del DVR

Los métodos de detección de la variación del voltaje (*sag* o *swell*) determina el comportamiento dinámico del DVR. La respuesta rápida y precisa del método de detección es indispensable para el desempeño correcto del DVR. Alguno de los métodos de detección documentados en la literatura técnica son: 1) el método de detección del pico del voltaje (PD, Peak Detector), 2) el detector del voltaje RMS (RMSVD, RMS Voltage Detector), 3) detector por el método de la transformada rápida de Fourier (DFFTD, Discrete Fast Fourier Transform Detector), 4) detector con la transformada wavelet (WTD, Wavelet Transform Detector), y 5) detector con el filtro de Kalman (KFD, Kalman Filter Detector) [149].

El RMSVDs y el PD permiten detectar el valor RMS y el pico de voltaje respectivamente, calculando en medio ciclo la magnitud de la perturbación. Sin embargo, los *sags* y los *swells* suelen estar acompañados por saltos de fase, dificultando la detección del evento por los detectores RMSVDs y el PD [149], [150].

Los DFFTDs, WTDs, y KFDs determinan la amplitud y el ángulo de fase de la señal del voltaje. No obstante, estos algoritmos requieren más potencia de procesamiento y tiempo de cálculo comparado con los algoritmos PD and RMSVD [148]–[153].

5.1.2. Métodos de compensación del DVR

La estructura del sistema de control depende del método de compensación del DVR. Algunos de los métodos de compensación son: 1) método de compensación pre-*sag*, 2) método de compensación en fase, y 3) método de compensación de mínima energía. Los diagramas de fase de los métodos de compensación se muestran en las figuras 122, 123 y 124. Las líneas continuas representan el estado del voltaje y de la corriente (V_{grid} , V_{load} and I_{load}) en presencia del evento del *sag*. Las líneas punteadas representan el voltaje y la corriente (V'_{grid} , V'_{load} , V'_{DVR} and I'_{load}) después de la acción correctiva del DVR. Los métodos de pre-*sag*, en fase y de mínima energía se describen a continuación.

A. Método de compensación pre-*sag*

El método de compensación pre-*sag* está basado en la detección de la amplitud y la fase del voltaje antes de la ocurrencia de los *sags* o de los *swells*. El DVR calcula e inyecta el voltaje con la amplitud y la fase requerida para compensar las variaciones de voltaje en la línea de la carga [140], [154].

La figura 122 muestra que el voltaje inyectado por el DVR (V'_{DVR}) no está en cuadratura con la corriente de la línea (I'_{LOAD}). En consecuencia, el DVR debe inyectar potencia activa y potencia reactiva para corregir las variaciones de la amplitud y los saltos de fase del voltaje en la carga. Este método de compensación requiere la inyección de potencia activa en el bus DC. La figura 122 muestra que el ángulo φ permanece constante antes y después de la ocurrencia del *sag*. El método de compensación *pre-sag* provee respuesta rápida y distorsión armónica baja. Este método de compensación no corrige el error en estado estable. Debido a que, el sistema de control no es realimentado [155].

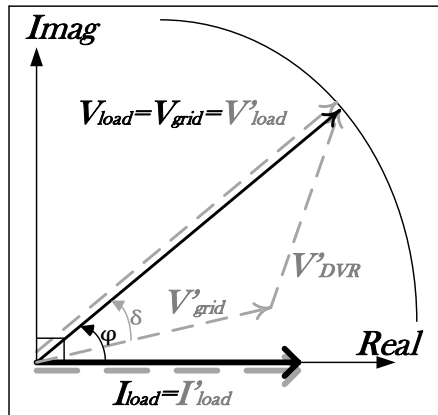


Figura 122. Diagrama de fase del método de compensación *pre-sag*

B. Método de compensación de mínima energía

El método de compensación de la mínima energía reduce los efectos de las variaciones de voltaje mediante la inyección del voltaje (V'_{DVR}) en cuadratura con la corriente de la línea (I'_{LOAD}), ver la figura 123. En este método de compensación, el DVR inyecta potencia reactiva en serie con la línea de alimentación de la carga sensible. Este método de compensación no requiere la inyección del potencia activa al bus DC [135]. El método de compensación de mínima energía tiene las siguientes desventajas: 1) el DVR produce un salto de fase en el voltaje que suministra a la carga, como resultado de la compensación. 2) la amplitud del voltaje es mayor que el voltaje necesario para compensar el *sag* con el método de compensación *pre-sag* y en fase. 3) el nivel del voltaje en el bus DC debe ser mayor [155], [156].

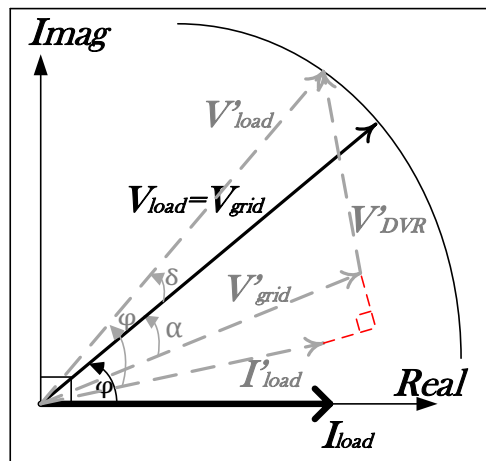


Figura 123. Diagrama de fase del método de compensación con la mínima energía

C. Método de compensación en fase

La figura 124 muestra el diagrama de fase en el método de compensación en fase. El DVR puede operar en dos formas diferentes: 1) en presencia del *sag*, el DVR inyecta voltaje con la amplitud necesaria para compensar el *sag* en fase con el voltaje de la red de suministro. 2) en la presencia del *swell*, el DVR inyecta voltaje con la amplitud necesaria para compensar el *swell*, pero con la fase opuesta del voltaje de la red de suministro [135].

El método de compensación en fase requiere la sincronización del DVR con la red de red de distribución. Algunos de los métodos de sincronización son: el lazo de enganche de fase PLL y la detección del cruce por cero (ZCD, Zero Crossing Detector) [148]. El error en estado estable del método de compensación en fase es menor que el método de compensación pre-*sag* y de mínima energía. Debido a que, el sistema de control del método de compensación en fase puede ser realimentado. El voltaje inyectado con el método de compensación en fase inyecta el voltaje con la menos magnitud, y se requiere menor nivel del voltaje en el bus DC. En contraste, este método no puede corregir los saltos de fase [157].

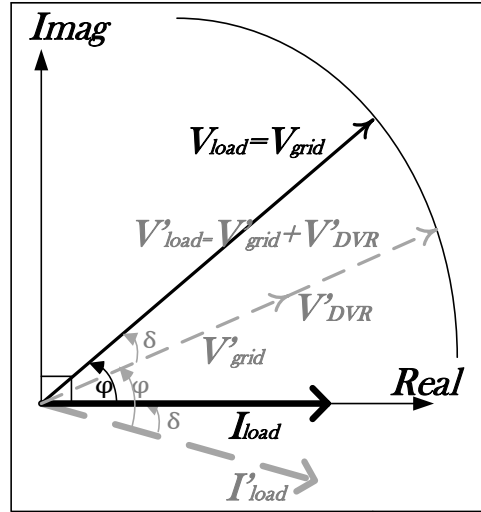


Figura 124. Diagrama de fase del método de compensación en fase

5.2. IMPLEMENTACIÓN DEL DVR CON EL MÉTODO DE COMPENSACIÓN EN FASE

El sistema de control debe generar las acciones correctivas necesarias para compensar los *sags* y los *swells* de forma rápida y precisa. En consecuencia, para la implementación en esta tesis se selecciona el método de compensación en fase y el método de detección PD.

La topología del DVR implementado se muestra en la figura 125. El DVR está compuesto por: 1) la fuente de potencia DC, 2) el banco de condensadores en el bus DC, 3) el convertidor como fuente de voltaje (VSC), 4) el filtro pasivo LC, 5) transformadores de acoplamiento, y 6) el sistema de control [149].

En la implementación del DVR, el voltaje de la carga (V_{LOAD}) es medido con la frecuencia de muestreo de 30720 Hz. El sistema de detección PD determina el pico del voltaje en la carga (V_{PEAK}) cada medio ciclo. El sistema de control PI genera las acciones correctivas necesarias para reducir la

diferencia entre la amplitud deseada y V_{PEAK} . La acción de control modifica el índice de modulación (m) en el generador de las señales de conmutación con base en la estrategia SPWM [158]. El índice de modulación m es definida en la ecuación (234):

$$m = \frac{A_m}{A_c} \quad (234)$$

Donde A_m es la amplitud de la señal moduladora y A_c es la amplitud de la señal portadora.

El sistema PLL genera la señal de sincronización (V_{SYNC}) con la frecuencia y la fase de V_{LOAD} [105]. La estrategia SPWM permite generar las señales para conmutar los IGBTs en el VSC. La señal SPWM es una señal cuadrada con frecuencia fija y con ciclo de trabajo útil (D). D controla el voltaje instantáneo inyectado por el DVR. El filtro LC permite filtrar los armónicos con una frecuencia de corte de 1.1KHz en el voltaje generado por el DVR (V_{DVR}). La corriente de carga es suministrada por la fuente de voltaje y el DVR.

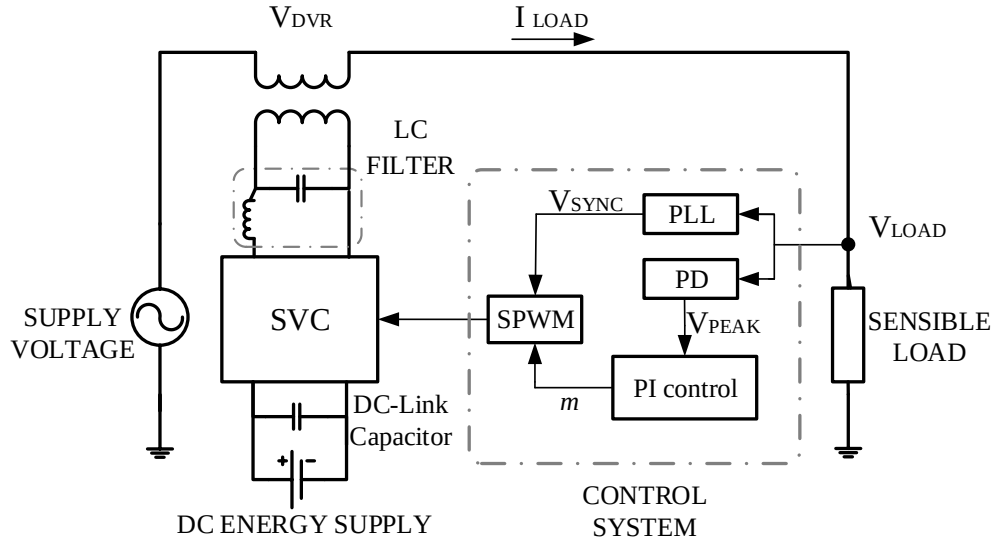


Figura 125. Topología del DVR

Los algoritmos de control son implementados con base en el sistema embebido CompacRio de National Instruments y son programados usando el software LabView. Los algoritmos están compuestos por: el PLL, el método de detección PD, el sistema de control PI, y la estrategia de modulación SPWM.

El diseño del sistema de control requiere el modelo del VSC monofásico. El modelo del VSC se presenta en la ecuación (235). Este modelo ignora las pérdidas de potencia en los IGBTs y en los inductores del filtro de salida. El modelo representa la relación entre el voltaje de salida del filtro LC (V_{out}) y el ciclo de trabajo útil D [158]. La frecuencia de corte del filtro LC (ω_0) se expresa en la ecuación (236). La tabla 24 resume los valores de los parámetros usados en la implementación.

$$\frac{V_{out}}{D} = \frac{2V_{DC}}{LCS^2 + \frac{L}{R}S + 1} \quad (235)$$

$$\omega_0 = \sqrt{\frac{1}{LC}} \quad (236)$$

Tabla 24. Parámetros usados en la implementación del DVR

Parámetro	Valor
Voltaje en el bus DC	100V
Frecuencia del voltaje de salida	60Hz
Condensador en el bus DC	4400 uF
Inductor en el filtro de salida (L)	3.1 mH
Capacitor en el filtro de salida (C)	10uF
Carga	20ohms
IGBTs	IRG4PC50UD
Relación de acoplamiento del transformador	1/1

La figura 126 muestra la respuesta al escalón unitario del sistema VSC y el filtro LC en lazo abierto y en lazo cerrado. El sistema en lazo abierto tiene una respuesta sub-amortiguada que causa variaciones en el voltaje de salida. El sistema con el control en lazo cerrado tiene una respuesta sobre-amortiguada al escalón unitario, reduciendo las variaciones de voltaje en el voltaje de salida. El sistema de control en lazo cerrado se implementa a través de un controlador PI. El método de ubicación de las raíces permite modificar la posición de los polos en lazo cerrado y alcanzar el comportamiento dinámico deseado.

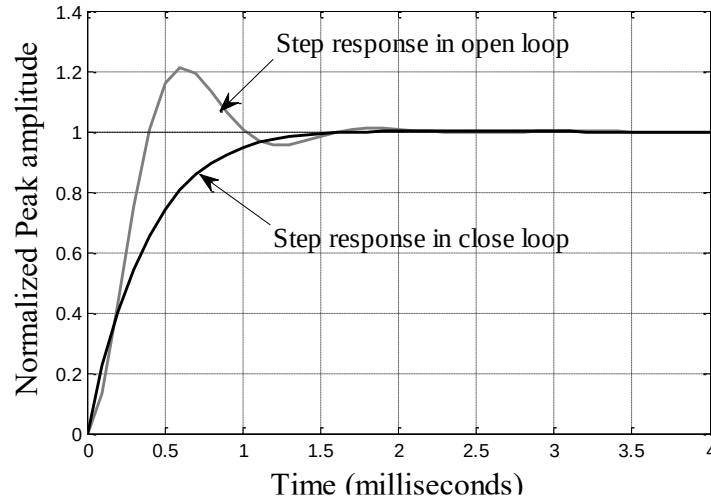


Figura 126. Respuesta dinámica del VSC entrada escalón unitario lazo abierto y lazo cerrado.

La ecuación (237) muestra la función de transferencia del sistema de control PI usada en el diseño e implementación del DVR en tiempo continuo, mientras que la ecuación (238) muestra la función de transferencia del controlador en tiempo discreto. El periodo de muestreo es 2ms.

$$G_{control} = K_c \left(1 + \frac{1}{T_i S} \right) = 15.38 \left(1 + \frac{1}{15S} \right) \quad (237)$$

$$G_{d_control} = \frac{15.38 z - 15.38}{z - 1} \quad (238)$$

El detector del pico de voltaje es diseñado para determinar la magnitud de la perturbación en medio ciclo. La detección del voltaje pico puede ser alcanzada usando la derivada de la señal de voltaje mostrada en la ecuación (239). Sin embargo, las señales eléctricas suelen tener ruido eléctrico y el detector de pico con la derivada daría señales falsas.

$$\frac{dv(t)}{dt} = 0 \quad (239)$$

El algoritmo de detección de pico usado en esta implementación se muestra en la figura 127. Los resultados experimentales muestran la efectividad del algoritmo de detección de pico. El algoritmo detecta y almacena en la variable V_p el valor máximo de la señal de voltaje en medio ciclo de la red.

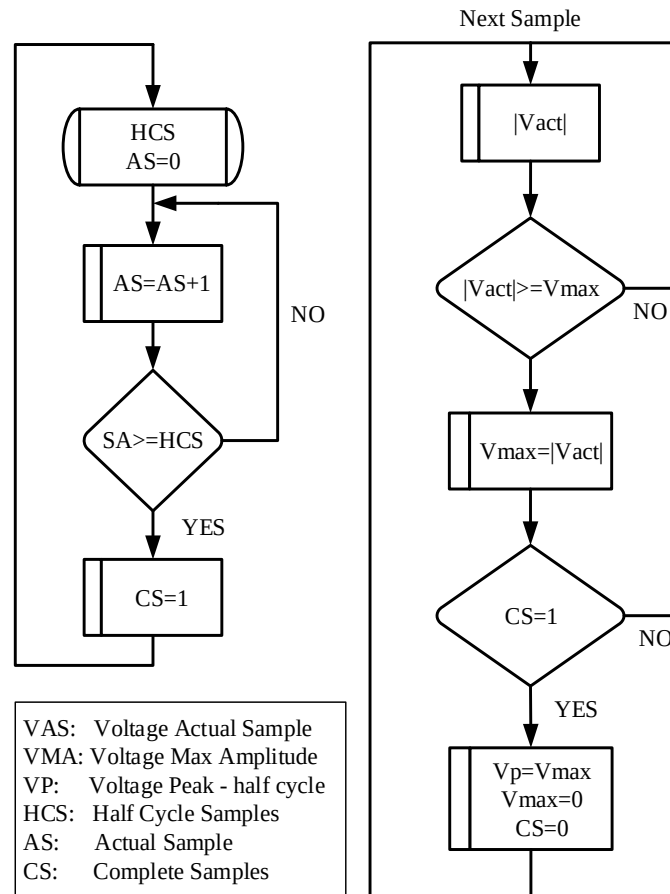


Figura 127. Algoritmo de detección del pico de voltaje

5.3. RESULTADOS EXPERIMENTALES DEL DVR

La figura 128 muestra la operación del PLL. La señal de referencia que sigue el PLL es el voltaje en la carga (V_{ref}). El PLL permite sincronizar la señal del voltaje generado por el DVR con la señal del voltaje presente en la carga o en la fuente. Luego del encendido del DVR, el PLL permite que el DVR se sincronice con el voltaje en la carga en menos de 4 ciclos de la red.

La figura 129 muestra el comportamiento dinámico del DVR en presencia de un *swell* de voltaje de 0.1 p.u. El DVR permite detectar y compensar la variación de voltaje en dos ciclos de la red (33,3 ms). El DVR inyecta un voltaje en serie con la fuente de voltaje (V_{source}) y con la carga (V_{load}). El voltaje V_{DVR} está desfasado 180° respecto a los voltajes V_{source} y V_{load} . El comportamiento

dinámico del DVR en lazo cerrado muestra la respuesta sobre amortiguada diseñada en el controlador. El voltaje V_{DVR} es opuesto al voltaje V_{source} para la compensación del swell.

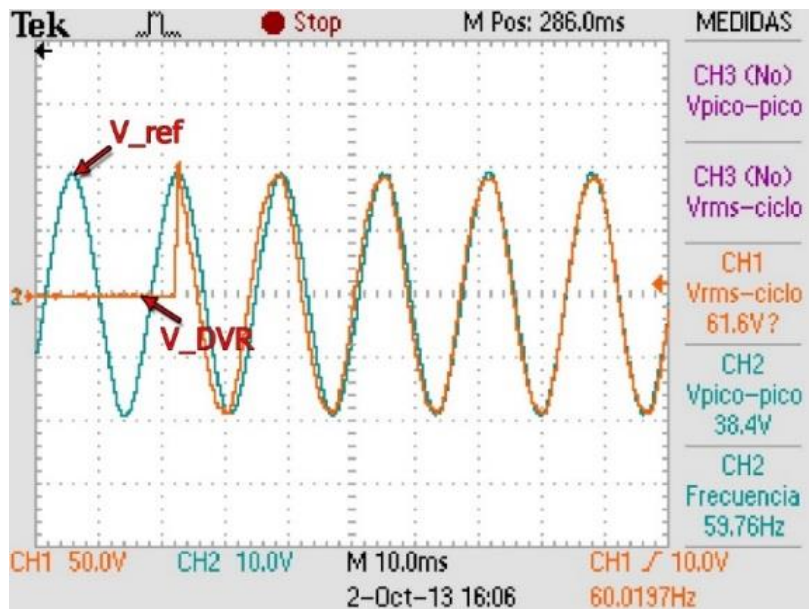


Figura 128. Sincronización de la frecuencia y la fase del voltaje del DVR mediante el PLL (completa en 4 ciclos de la red de suministro)

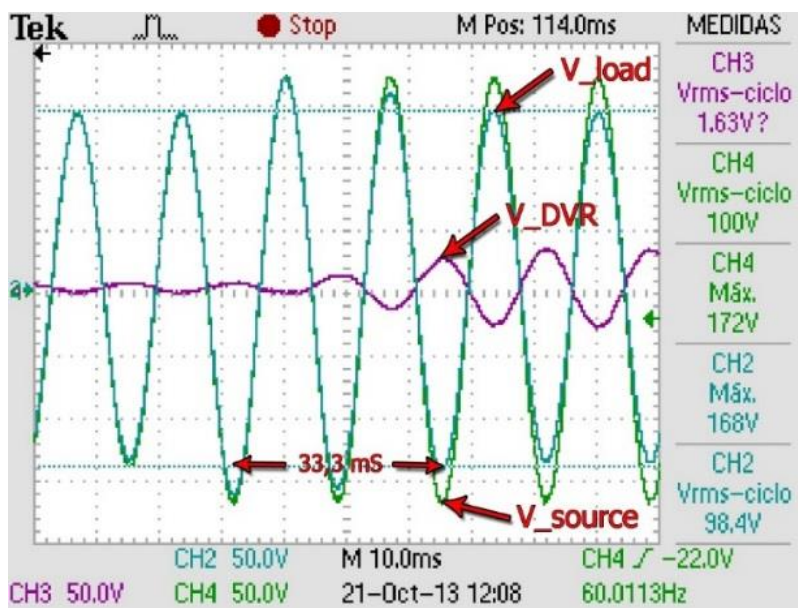


Figura 129. Desempeño del DVR en presencia de un swell de 0.1 p.u. (La compensación se completa en 33.3 ms)

La figura 130 muestra la respuesta del DVR en presencia de un sag de 0.1 p.u. Las variaciones de voltaje se reducen en 2 ciclos. El voltaje V_{DVR} está en fase con el voltaje V_{source} y el voltaje V_{load} .

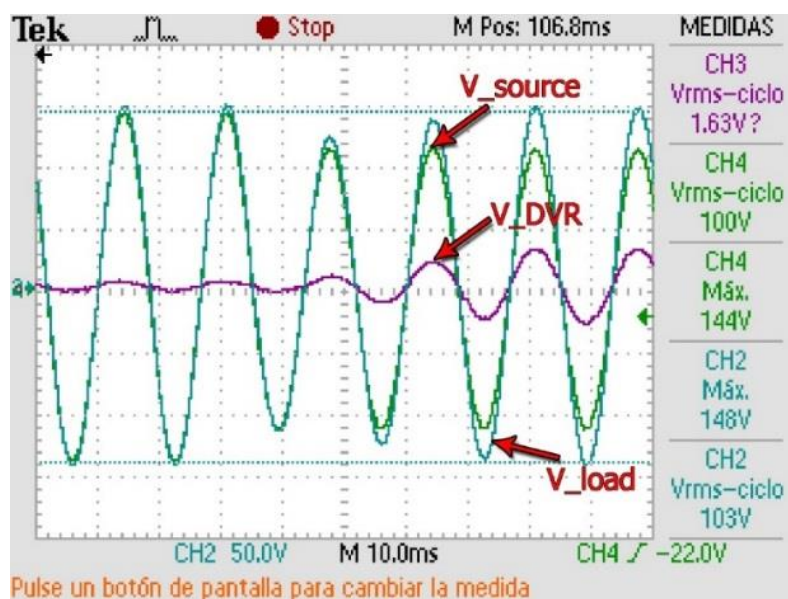


Figura 130. Comportamiento dinámico del DVR en presencia de un sag de 0.1 p.u.

La figura 131 muestra la respuesta del DVR en presencia de un sag de 0.5 p.u. Las variaciones de voltaje son reducidas en 3 ciclos de la red de suministro. En este ensayo, el voltaje V_{DVR} está en fase con el voltaje V_{load} y el voltaje V_{source} .

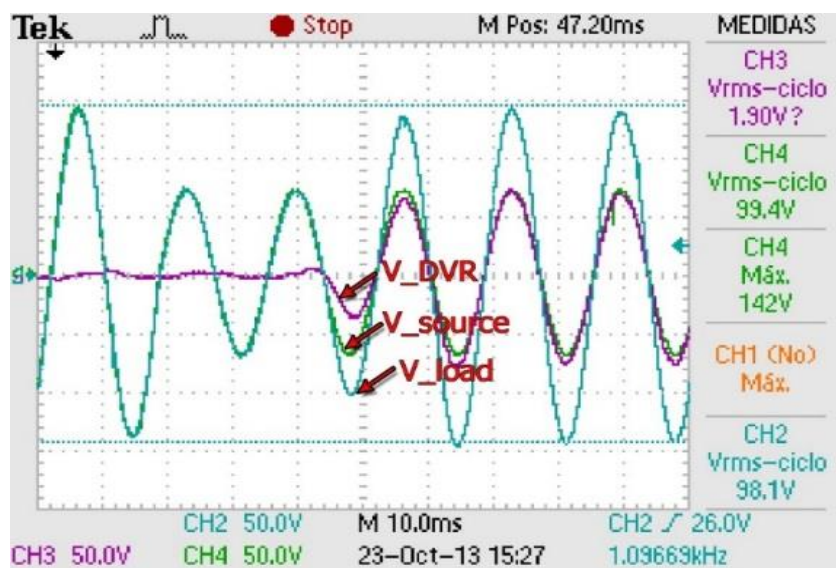


Figura 131. Respuesta del DVR en presencia de un sag de 0.5 p.u.

5.4. CONCLUSIONES DELCAPITULO

Los sags y los swells son perturbaciones de los sistemas eléctricos que afectan negativamente la calidad de la potencia. El incremento de la integración de cargas sensibles en las redes de distribución eléctrica requiere la compensación rápida de los sags y swells en la red de suministro.

El DVR que se propone en este capítulo es una solución económica para mitigar los efectos de los *sags* y de los *swells*. La estructura de control propuesta es verificada en un amplio rango de operación del DVR y su efectividad es demostrada. El incremento de la magnitud del *sag* implica el incremento del tiempo de respuesta del DVR. No obstante, la compensación de los *sags* de 0.5 p.u. tarda menos de 3 ciclos de la red de suministro. El sistema de control PI permite alcanzar la respuesta temporal sobre amortiguada esperada, reduciendo las oscilaciones en el voltaje inyectado por el DVR. El sistema de control PI también reduce el error en estado estable a cero, corrigiendo los *sags* de forma rápida y precisa.

La respuesta dinámica del DVR para corregir los *sags* y los *swells* está limitada por el tamaño de los elementos reactivos presentes en el filtro LC (bobina y condensador). No obstante, el DVR propuesto permite corregir los *sags* instantáneos de acuerdo al estándar IEEE 1159-2009.

6. APORTES, LÍNEAS DE TRABAJO FUTURO, Y PUBLICACIÓN DE RESULTADOS

6.1. APORTACIONES

En esta sección se detallan las aportaciones más relevantes de esta tesis.

- Se propone un procedimiento novedoso para el diseño del *snubber* RCD en circuitos electrónicos de potencia. El procedimiento incluye un método para la determinación de los elementos parásitos en el circuito de conmutación y la deducción matemática de las ecuaciones de diseño. El procedimiento propuesto se constituye en una gran herramienta para el análisis y el diseño de los circuitos *snubber* RCD, aplicados en la mayoría de los circuitos electrónicos de potencia. Las ecuaciones de diseño deducidas permiten calcular teóricamente el valor del condensador y de la resistencia del *snubber* RCD en función de las reactancias parasitas del circuito implementado y del voltaje máximo de operación del interruptor, haciendo posible verificar mediante simulación el desempeño dinámico del circuito antes de la implementación experimental.
- Se propone el modelo matemático promedio de pequeña señal para el convertidor AC-DC elevador sin puente. Este modelo permite analizar el comportamiento dinámico del convertidor y diseñar el sistema de control en lazo cerrado. La literatura técnica no reporta modelos matemáticos para esta topología.
- Se desarrolla el convertidor de potencia de una a tres fases. En este desarrollo se propone el uso del convertidor elevador sin puente con corrección activa del factor de potencia para ser usado en la etapa de rectificación. El uso de esta topología y el sistema de control implementado permite satisfacer los estándares de calidad de la energía EN 61000-3-2 (IEC 1000-3-2) con potencias de operación de hasta 908W.
- Se desarrolló un convertidor DC-AC trifásico de dos niveles que puede funcionar en dos modos: 1) modo con control de la amplitud del voltaje: en este modo de funcionamiento es posible controlar la amplitud en lazo cerrado, y controlar la frecuencia y la fase en lazo abierto del voltaje AC trifásico suministrado a la carga. Es decir, la salida del convertidor puede ser usado como una fuente tensión trifásica variable. 2) Modo con control de la corriente AC: el convertidor DC-AC se comporta como una fuente de corriente controlada. Este modo de control es usado para la inyección de potencia activa y reactiva a la red de distribución y es ampliamente usado como interfaz entre las fuentes de energía renovables (eólica y fotovoltaica) y la red de distribución.
- Se desarrolló un restaurador dinámico de voltaje para redes de distribución monofásicas. Este restaurador permite mitigar los efectos de los sags y los swells instantáneos de acuerdo al estándar IEEE 1159-2009.

6.2. LINEAS DE TRABAJO FUTURO

Las líneas de trabajo futuro que permitan continuar la investigación mostrada en esta tesis se presentan a continuación:

- Desarrollar un sistema de control automático para la corrección del factor de potencia que permita controlar la forma de onda de la corriente en la fuente con desempeño y eficiencia igual en todo el rango de operación. Este sistema de control puede ser adaptativo, predictivo o no lineal.
- Desarrollar un modelo matemático o estocástico del convertidor de una a tres fases, cuya representación digital permita la implementación de algoritmos de control más complejos y con menor tiempo de respuesta dinámica.
- Desarrollar un prototipo de laboratorio unificado del convertidor de una a tres fases, donde el sistema se alimente desde la fuente de energía monofásica y responda a los eventos externos de forma autónoma y sin supervisión humana.
- Desarrollar un prototipo de convertidor de una a tres fases que permita el flujo de potencia bidireccional entre el sistema AC monofásico y el sistema AC trifásico. Este prototipo podría ser usado en aplicaciones como el back-to-back, el transformador electrónico o el control de generadores eólicos doblemente alimentados. La estructura del sistema de control de voltaje y de corriente se pueden conservar.

6.3. PUBLICACIÓN DE RESULTADOS

En relación con el trabajo realizado en la presente tesis se han presentado en congresos internacionales, o se encuentran en proceso de revisión para su publicación en revistas científicas los siguientes artículos:

1) Procedimiento novedoso para el diseño de *snubbers* RCD y deducción matemática de las ecuaciones

Gabriel E. Mejía, Nicolás Muñoz, y Juan B. Cano

Revista: *Información tecnológica*. Revista chilena

Enviado en Julio de 2014. A la espera de resolución.

2) Transient voltage compensation by a power electronics-based device

Gabriel E. Mejía, Juan M. Ramírez, y Nicolás Muñoz

Congreso: *2014 IEEE Power Energy (PES) General Meeting* – (Washington, DC Metro Area), USA

Presentación de la ponencia el: 27 de julio del 2014

3) Dispositivos y metodologías de diseño para el desarrollo de sistemas embebidos en convertidores de potencia

Gabriel E. Mejía, Nicolás Muñoz, y Juan B. Cano

Congreso: *Cumbre internacional de ingeniería* – Coatzacoalcos, estado de Veracruz - México

Presentación de la ponencia el: 29 de octubre del 2013

7. REFERENCIAS

- [1] E. Cipriano, C. B. Jacobina, E. R. C. da Silva, and N. Rocha, "Single-Phase to Three-Phase Power Converters: State of the Art," *Power Electronics, IEEE Transactions on*, vol. 27, no. 5. pp. 2437–2452, 2012.
- [2] M. D. D. Bellar, M. Aredes, J. L. L. Silva Neto, L. G. B. G. B. Rolim, F. C. C. Aquino, and V. C. C. Petersen, "Comparative analysis of single-phase to three-phase converters for rural electrification," *Ind. Electron. 2004 IEEE Int. Symp.*, vol. 2, pp. 1255–1260 vol. 2, 2004.
- [3] B. Zahedi and S. Vaez-Zadeh, "Efficiency Optimization Control of Single-Phase Induction Motor Drives," *Power Electronics, IEEE Transactions on*, vol. 24, no. 4. pp. 1062–1070, 2009.
- [4] V. Kinnarees and C. Charumit, "Modulating Functions of Space Vector PWM for Three-Leg VSI-Fed Unbalanced Two-Phase Induction Motors," *Power Electronics, IEEE Transactions on*, vol. 24, no. 4. pp. 1135–1139, 2009.
- [5] X. Wang, H. Zhong, Y. Yang, and X. Mu, "Study of a Novel Energy Efficient Single-Phase Induction Motor With Three Series-Connected Windings and Two Capacitors," *Energy Conversion, IEEE Transactions on*, vol. 25, no. 2. pp. 433–440, 2010.
- [6] K. Hisano, H. Kobayashi, and T. Kobayashi, "A new type single-phase to three-phase converter," *Magnetics, IEEE Transactions on*, vol. 2, no. 3. pp. 643–647, 1966.
- [7] S. B. Dewan and M. Showleh, "A novel static single-to three-phase converter," *Magnetics, IEEE Transactions on*, vol. 17, no. 6. pp. 3287–3289, 1981.
- [8] M.-K. Nguyen, Y.-G. Jung, and Y. Lim, "Single-Phase AC-AC Converter Based on Quasi-Z-Source Topology," *Power Electronics, IEEE Transactions on*, vol. 25, no. 8. pp. 2200–2210, 2010.
- [9] M.-K. Nguyen, Y.-G. Jung, and Y. Lim, "Single-Phase Z-Source Buck-Boost Matrix Converter," *Applied Power Electronics Conference and Exposition, 2009. APEC 2009. Twenty-Fourth Annual IEEE*. pp. 846–850, 2009.
- [10] C. Brandao Jacobina, N. Rocha, N. Segundo De Moraes Lima Marinus, and E. Cipriano dos Santos Junior, "Single-Phase to Three-Phase DC-Link Converters With Reduced Controlled Switch Count," *Industry Applications, IEEE Transactions on*, vol. 50, no. 2. pp. 1150–1160, 2014.
- [11] A. Azam, "Three to single-phase high-power quality switch-mode cycloconverter," *Power Electronics, IET*, vol. 7, no. 6. pp. 1603–1617, 2014.
- [12] R. Q. Machado, S. Buso, and J. A. Pomilio, "A Line-Interactive Single-Phase to Three-Phase Converter System," *IEEE Trans. Power Electron.*, vol. 21, no. 6, pp. 1628–1636, Nov. 2006.
- [13] P. Enjeti, A. Rahman, and R. Jakkli, "Economic single phase to three phase converter topologies for fixed frequency output," *Applied Power Electronics Conference and Exposition, 1991. APEC '91. Conference Proceedings, 1991., Sixth Annual*. pp. 88–94, 1991.
- [14] P. N. Enjeti, A. Rahman, and R. Jakkli, "Economic single-phase to three-phase converter topologies for fixed and variable frequency output," *Power Electronics, IEEE Transactions on*, vol. 8, no. 3. pp. 329–335, 1993.
- [15] P. N. Enjeti and A. Rahman, "A new single-phase to three-phase converter with active input current shaping for low cost AC motor drives," *Industry Applications, IEEE Transactions on*, vol. 29, no. 4. pp. 806–813, 1993.

- [16] P. Enjeti and A. Rahman, "A new single phase to three phase converter with active input current shaping for low cost AC motor drives," Industry Applications Society Annual Meeting, 1990., Conference Record of the 1990 IEEE. pp. 935–942 vol.2, 1990.
- [17] E. R. C. Da Silva, S. B. de Souza Filho, and F. A. Coelho, "A single phase to three phase soft-switched converter, isolated and with active input current shaping," Power Electronics Specialists Conference, 1995. PESC '95 Record., 26th Annual IEEE, vol. 2. pp. 1252–1257 vol.2, 1995.
- [18] T. Ohnishi, "PWM control method for single-phase to three-phase converter with a three-phase switching power module," Power Electronics Specialists Conference, 1998. PESC 98 Record. 29th Annual IEEE, vol. 1. pp. 464–469 vol.1, 1998.
- [19] T. B. Bashaw and T. A. Lipo, "B4 topology options for operating three phase induction machines on single phase grids," Applied Power Electronics Conference and Exposition, 2005. APEC 2005. Twentieth Annual IEEE, vol. 3. pp. 1894–1902 Vol. 3, 2005.
- [20] C. B. Jacobina, E. Cipriano dos Santos, M. B. de Rossiter Correa, and E. R. Cabral da Silva, "Single-Phase-Input Reduced-Switch-Count AC-AC Drive Systems," Industry Applications, IEEE Transactions on, vol. 44, no. 3. pp. 789–798, 2008.
- [21] H. Douglas and M. Malengret, "Symmetrical PWM with a split-capacitor single-phase to three-phase converter for rural electrification," Industrial Electronics, 1998. Proceedings. ISIE '98. IEEE International Symposium on, vol. 1. pp. 289–293 vol.1, 1998.
- [22] C. B. Jacobina, E. C. dos Santos, M. B. R. Correa, and A. M. N. Lima, "Component minimized AC-AC single-phase to three-phase-four-wire converters," Electric Machines and Drives, 2005 IEEE International Conference on. pp. 789–796, 2005.
- [23] C. B. Jacobina, E. C. dos Santos, and M. B. R. Correa, "Control of the Single-Phase to Three-Phase Four-leg Converter for Constant Frequency Output Voltage," Power Electronics Specialists Conference, 2005. PESC '05. IEEE 36th. pp. 52–58, 2005.
- [24] C. B. Jacobina, E. C. dos Santos, and M. B. R. Correa, "Single-phase to Three-phase-Four-Wire AC-AC Component Minimized Converters Without Capacitor DC-Bus Mid-point Connection," Power Electronics Specialists Conference, 2005. PESC '05. IEEE 36th. pp. 2415–2421, 2005.
- [25] J.-I. Itoh and K. Fujita, "Novel unity power factor circuits using zero-vector control for single-phase input systems," Power Electronics, IEEE Transactions on, vol. 15, no. 1. pp. 36–43, 2000.
- [26] P. N. Enjeti, W. Sulistyono, and S. Choi, "A new direct phase converter to power three phase induction motor from a single phase supply," Power Electronics Specialists Conference, PESC '94 Record., 25th Annual IEEE. pp. 1173–1179 vol.2, 1994.
- [27] K. Iino, K. Kondo, and Y. Sato, "An experimental study on induction motor drive with a single phase-AC; Three phase matrix converter," Power Electronics and Applications, 2009. EPE '09. 13th European Conference on. pp. 1–9, 2009.
- [28] M. Saito, T. Takeshita, and N. Matsui, "A single to three phase matrix converter with a power decoupling capability," Power Electronics Specialists Conference, 2004. PESC 04. 2004 IEEE 35th Annual, vol. 3. pp. 2400–2405 Vol.3, 2004.
- [29] Y. Ohnuma and J.-I. Itoh, "Novel control strategy for single-phase to three-phase power converter using an active buffer," Power Electronics and Applications, 2009. EPE '09. 13th European Conference on. pp. 1–10, 2009.

- [30] Y. Ohnuma and J.-I. Itoh, "A control method for a single-to-three-phase power converter with an active buffer and a charge circuit," Energy Conversion Congress and Exposition (ECCE), 2010 IEEE. pp. 1801–1807, 2010.
- [31] C. B. Jacobina, E. C. dos Santos, N. Rocha, and E. L. Lopes Fabricio, "Single-Phase to Three-Phase Drive System Using Two Parallel Single-Phase Rectifiers," Power Electronics, IEEE Transactions on, vol. 25, no. 5. pp. 1285–1295, 2010.
- [32] C. B. Jacobina, E. C. dos Santos, and E. Fabrocio, "Single-phase to three-phase drive system using two parallel single-phase rectifiers," Power Electronics Specialists Conference, 2008. PESC 2008. IEEE. pp. 901–905, 2008.
- [33] C. B. Jacobina, E. C. dos Santos, N. Rocha, and E. Fabricio, "Single-phase to three-phase five-leg converter based on two parallel single-phase rectifiers," Industrial Electronics, 2009. IECON '09. 35th Annual Conference of IEEE. pp. 850–855, 2009.
- [34] C. B. Jacobina, E. C. dos Santos, B. de S.Gouveia, and E. R. C. Da Silva, "Reversible AC Drive Systems Based on Parallel AC-AC DC-Link Converters," Industry Applications Society Annual Meeting, 2008. IAS '08. IEEE. pp. 1–7, 2008.
- [35] F. Musavi, M. Edington, W. Eberle, and W. G. Dunford, "Evaluation and Efficiency Comparison of Front End AC-DC Plug-in Hybrid Charger Topologies," Smart Grid, IEEE Transactions on, vol. 3, no. 1. pp. 413–421, 2012.
- [36] M. M. Jovanovic and Y. Jang, "State-of-the-art, single-phase, active power-factor-correction techniques for high-power applications - an overview," Industrial Electronics, IEEE Transactions on, vol. 52, no. 3. pp. 701–708, 2005.
- [37] "IEEE Draft Guide for Applying Harmonic Limits on Power Systems," IEEE P519.1/D12, July 2012. pp. 1–124, 2012.
- [38] "IEEE Recommended Practice--Adoption of IEC 61000-4-15:2010, Electromagnetic compatibility (EMC)--Testing and measurement techniques--Flickermeter--Functional and design specifications - Redline," IEEE Std 1453-2011 - Redline. pp. 1–89, 2011.
- [39] J. W. Dixon, "Feedback control strategies for boost type PWM rectifiers," Colloquium in South America, 1990., Proceedings of the 1990 IEEE. pp. 193–198, 1990.
- [40] B. Singh, B. N. Singh, A. Chandra, K. Al-Haddad, A. Pandey, and D. P. Kothari, "A review of single-phase improved power quality AC-DC converters," Industrial Electronics, IEEE Transactions on, vol. 50, no. 5. pp. 962–981, 2003.
- [41] J.-W. Lim and B.-H. Kwon, "A power-factor controller for single-phase PWM rectifiers," Industrial Electronics, IEEE Transactions on, vol. 46, no. 5. pp. 1035–1037, 1999.
- [42] J. P. M. Figueiredo, F. L. Tofoli, and B. L. A. Silva, "A review of single-phase PFC topologies based on the boost converter," Industry Applications (INDUSCON), 2010 9th IEEE/IAS International Conference on. pp. 1–6, 2010.
- [43] M. Pahlevaninezhad, P. Das, J. Drobniak, P. K. Jain, and A. Bakhshai, "A ZVS Interleaved Boost AC/DC Converter Used in Plug-in Electric Vehicles," Power Electronics, IEEE Transactions on, vol. 27, no. 8. pp. 3513–3529, 2012.
- [44] Y. Jang and M. M. Jovanovic, "Interleaved Boost Converter With Intrinsic Voltage-Doubler Characteristic for Universal-Line PFC Front End," Power Electronics, IEEE Transactions on, vol. 22, no. 4. pp. 1394–1401, 2007.
- [45] J. P. R. Balestero, F. L. Tofoli, R. C. Fernandes, G. V Torrico-Bascope, and F. J. M. De Seixas, "Power Factor Correction Boost Converter Based on the Three-State Switching Cell," Industrial Electronics, IEEE Transactions on, vol. 59, no. 3. pp. 1565–1577, 2012.

- [46] Y. Fukaishi, K. Higuchi, H. Furuya, and Y. Satake, "Design of robust digital controller for interleaved PFC boost converter with DC-DC converter load," *Electron Devices and Solid State Circuit (EDSSC)*, 2012 IEEE International Conference on, pp. 1–2, 2012.
- [47] A. F. de Souza and I. Barbi, "A new ZVS-PWM unity power factor rectifier with reduced conduction losses," *Power Electronics, IEEE Transactions on*, vol. 10, no. 6, pp. 746–752, 1995.
- [48] L. Huber, Y. Jang, and M. M. Jovanovic, "Performance Evaluation of Bridgeless PFC Boost Rectifiers," *Power Electronics, IEEE Transactions on*, vol. 23, no. 3, pp. 1381–1390, 2008.
- [49] A. F. de Souza and I. Barbi, "High power factor rectifier with reduced conduction and commutation losses," *Telecommunication Energy Conference, 1999. INTELEC '99. The 21st International*, p. 5 pp., 1999.
- [50] P. Kong, S. Wang, and F. C. Lee, "Common Mode EMI Noise Suppression for Bridgeless PFC Converters," *Power Electronics, IEEE Transactions on*, vol. 23, no. 1, pp. 291–297, 2008.
- [51] Y. Jang and M. M. Jovanovic, "A Bridgeless PFC Boost Rectifier With Optimized Magnetic Utilization," *Power Electronics, IEEE Transactions on*, vol. 24, no. 1, pp. 85–93, 2009.
- [52] K. I. Hwu, C. F. Chuang, and W. C. Tu, "High Voltage-Boosting Converters Based on Bootstrap Capacitors and Boost Inductors," *Industrial Electronics, IEEE Transactions on*, vol. 60, no. 6, pp. 2178–2193, 2013.
- [53] J. (ON semiconductor) Turchi, "Power Factor Correction (PFC) Handbook," ON semiconductor, p. 130, 2011.
- [54] B. Choi, S.-S. Hong, and H. Park, "Modeling and small-signal analysis of controlled on-time boost power-factor-correction circuit," *Industrial Electronics, IEEE Transactions on*, vol. 48, no. 1, pp. 136–142, 2001.
- [55] S.-P. Yang, S.-J. Chen, and C.-M. Huang, "Small-signal modeling and controller design of BCM boost PFC converters," *Industrial Electronics and Applications (ICIEA)*, 2012 7th IEEE Conference on, pp. 1096–1101, 2012.
- [56] G. W. Wester and R. D. Middlebrook, "Low-Frequency Characterization of Switched dc-dc Converters," *Aerospace and Electronic Systems, IEEE Transactions on*, vol. AES-9, no. 3, pp. 376–385, 1973.
- [57] H. Y. Kanaan, G. Sauriol, and K. Al-Haddad, "Small-signal modelling and linear control of a high efficiency dual boost single-phase power factor correction circuit," *Power Electronics, IET*, vol. 2, no. 6, pp. 665–674, 2009.
- [58] S. Abdel-Rahman, "CCM PFC Boost Converter Design," *Infineon Technologies North America (IFNA) Corp*, p. 18, 2013.
- [59] J. R. Rodriguez, J. W. Dixon, J. R. Espinoza, J. Pontt, and P. Lezana, "PWM regenerative rectifiers: state of the art," *Industrial Electronics, IEEE Transactions on*, vol. 52, no. 1, pp. 5–22, 2005.
- [60] M. Chen and J. Sun, "Feedforward current control of boost single-phase PFC converters," *Applied Power Electronics Conference and Exposition, 2004. APEC '04. Nineteenth Annual IEEE*, vol. 2, pp. 1187–1193 vol.2, 2004.
- [61] P. T. Prathapan, M. Chen, and J. Sun, "Feedforward current control of boost-derived single-phase PFC converters," *Applied Power Electronics Conference and Exposition, 2005. APEC 2005. Twentieth Annual IEEE*, vol. 3, pp. 1716–1722 Vol. 3, 2005.

- [62] E. Najafi, A. Vahedi, A. Mahanfar, and A. H. M. Yatim, "A new controlling method based on peak current mode (PCM) for PFC," Power and Energy Conference, 2008. PECon 2008. IEEE 2nd International. pp. 1103–1107, 2008.
- [63] X. Du, L. Zhou, and H.-M. Tai, "Average Current Control of a Series-Type Single-Phase PFC With Hybrid Modulation," Power Electronics, IEEE Transactions on, vol. 26, no. 9. pp. 2381–2385, 2011.
- [64] P. T. L. Rossetto, G. Spiazzi, "Control techniques for power factor correction converters," Power Electronics, Motion Control (PEMC), pp. pp. 1310–1318.
- [65] L. H. S. C. Barreto, M. G. Sebastiao, L. C. de Freitas, E. A. Alves Coelho, V. J. Farias, and J. B. Vieira, "Analysis of a soft-switched PFC boost converter using analog and digital control circuits," Industrial Electronics, IEEE Transactions on, vol. 52, no. 1. pp. 221–227, 2005.
- [66] Y.-J. Ke, Y. Zhou, and J. Chen, "Control Bifurcation in PFC Boost Converter under Peak Current-Mode Control," Power Electronics and Motion Control Conference, 2006. IPEMC 2006. CES/IEEE 5th International, vol. 2. pp. 1–5, 2006.
- [67] B. Bryant and M. K. Kazimierczuk, "Voltage loop of boost PWM DC-DC converters with peak current-mode control," IEEE Trans. Circuits Syst. I Regul. Pap., vol. 53, no. 1, 2006.
- [68] T. K. Jappe and S. A. Mussa, "Current technique applied in single phase PFC boost converter based on discrete-time One Cycle Control," Telecommunications Energy Conference (INTELEC), 2011 IEEE 33rd International. pp. 1–5, 2011.
- [69] Y.-S. Lai, C.-A. Yeh, and K.-M. Ho, "A Family of Predictive Digital-Controlled PFC Under Boundary Current Mode Control," Industrial Informatics, IEEE Transactions on, vol. 8, no. 3. pp. 448–458, 2012.
- [70] S. Chattopadhyay, V. Ramanarayanan, and V. Jayashankar, "A predictive switching modulator for current mode control of high power factor boost rectifier," Power Electronics, IEEE Transactions on, vol. 18, no. 1. pp. 114–123, 2003.
- [71] M. Perez, J. Rodriguez, and A. Coccia, "Predictive current control in a single phase PFC boost rectifier," 2009 IEEE Int. Conf. Ind. Technol., 2009.
- [72] F. Segura, J. M. Andujar, and E. Dura, "Analog Current Control Techniques for Power Control in PEM Fuel-Cell Hybrid Systems: A Critical Review and a Practical Application," Industrial Electronics, IEEE Transactions on, vol. 58, no. 4. pp. 1171–1184, 2011.
- [73] K. Ogata, Ingenier a de control moderna. Pearson Educaci n, 2003.
- [74] S.-P. Yang, S.-J. Chen, and C.-M. Huang, "Small-signal modeling and controller design of BCM boost PFC converters," Industrial Electronics and Applications (ICIEA), 2012 7th IEEE Conference on. pp. 1096–1101, 2012.
- [75] A. Yazdani and R. Iravani, Voltage-Sourced Converters in Power Systems: Modeling, Control, and Applications. Wiley, 2010.
- [76] C. Y. Seng and Z. Ibrahim, "Vector control drive of permanent Magnet Synchronous Motor based dSPACE DS1103 implementation," Power Eng. Optim. Conf. Melaka, Malaysia, 2012 Ieee Int., no. June, pp. 147–152, 2012.
- [77] T. Lazzarin, G. Bauer, and I. Barbi, "A Control Strategy for Parallel Operation of Single-Phase Voltage Source Inverters: Analysis, Design and Experimental Results," IEEE Trans. Ind. Electron., 2012.

- [78] L. Barote, C. Marinescu, and M. N. Cirstea, "Control Structure for Single-Phase Stand-Alone Wind-Based Energy Sources," *IEEE Trans. Ind. Electron.*, vol. 60, no. 2, pp. 764–772, Feb. 2013.
- [79] B. Singh, K. Al-Haddad, and A. Chandra, "A review of active filters for power quality improvement," *Industrial Electronics, IEEE Transactions on*, vol. 46, no. 5, pp. 960–971, 1999.
- [80] M. Moradlou and H. R. Karshenas, "Design Strategy for Optimum Rating Selection of Interline DVR," *Power Delivery, IEEE Transactions on*, vol. 26, no. 1, pp. 242–249, 2011.
- [81] M. Liserre, F. Blaabjerg, and S. Hansen, "Design and control of an LCL-filter-based three-phase active rectifier," *Industry Applications, IEEE Transactions on*, vol. 41, no. 5, pp. 1281–1291, 2005.
- [82] J. Huang and R. Xiong, "Study on Modulating Carrier Frequency Twice in SPWM Single-Phase Inverter," *Power Electronics, IEEE Transactions on*, vol. 29, no. 7, pp. 3384–3392, 2014.
- [83] A. Kavousi, B. Vahidi, R. Salehi, M. Bakhshizadeh, N. Farokhnia, and S. S. Fathi, "Application of the Bee Algorithm for Selective Harmonic Elimination Strategy in Multilevel Inverters," *Power Electronics, IEEE Transactions on*, vol. 27, no. 4, pp. 1689–1696, 2012.
- [84] A. M. Trzynadlowski, F. Blaabjerg, J. K. Pedersen, R. L. Kirlin, and S. Legowski, "Random pulse width modulation techniques for converter-fed drive systems-a review," *Industry Applications, IEEE Transactions on*, vol. 30, no. 5, pp. 1166–1175, 1994.
- [85] D. O. Neacsu, S. Member, E. Wagner, and B. S. Borowy, "A Simulation Benchmark for Selection of the PWM Algorithms for Three-Phase Interleaved Converters," vol. 55, no. 4, pp. 1628–1636, 2008.
- [86] J.-H. Cho, N.-J. Ku, R.-Y. Kim, and D.-S. Hyun, "Small-signal modeling and control of three-phase grid-connected three-level neutral-point-clamped inverter with a LCL filter," *Energy Conversion Congress and Exposition (ECCE), 2013 IEEE*, pp. 4076–4081, 2013.
- [87] S. Hiti, D. Boroyevich, and C. Cuadros, "Small-signal modeling and control of three-phase PWM converters," *Industry Applications Society Annual Meeting, 1994., Conference Record of the 1994 IEEE*, pp. 1143–1150 vol.2, 1994.
- [88] N. Pogaku, M. Prodanovic, and T. C. Green, "Modeling, Analysis and Testing of Autonomous Operation of an Inverter-Based Microgrid," *Power Electronics, IEEE Transactions on*, vol. 22, no. 2, pp. 613–625, 2007.
- [89] M. C. Chandorkar, D. M. Divan, and R. Adapa, "Control of parallel connected inverters in standalone AC supply systems," *Industry Applications, IEEE Transactions on*, vol. 29, no. 1, pp. 136–143, 1993.
- [90] H. R. Karshenas and H. Saghafi, "Basic Criteria in Designing LCL Filters for Grid Connected Converters," *Industrial Electronics, 2006 IEEE International Symposium on*, vol. 3, pp. 1996–2000, 2006.
- [91] J. F. Manwell, J. G. McGowan, and A. L. Rogers, *Wind Energy Explained: Theory, Design and Application*. Wiley, 2010.
- [92] F. Liu, X. Zha, Y. Zhou, and S. Duan, "Design and research on parameter of LCL filter in three-phase grid-connected inverter," *Power Electronics and Motion Control Conference, 2009. IPEMC '09. IEEE 6th International*, pp. 2174–2177, 2009.
- [93] M. El-Habrouk, M. K. Darwish, and P. Mehta, "Active power filters: a review," *Electric Power Applications, IEE Proceedings*, vol. 147, no. 5, pp. 403–413, 2000.

- [94] H. Akagi, "Active Harmonic Filters," *Proceedings of the IEEE*, vol. 93, no. 12. pp. 2128–2141, 2005.
- [95] T. C. Y. Wang, Z. Ye, G. Sinha, and X. Yuan, "Output filter design for a grid-interconnected three-phase inverter," *Power Electronics Specialist Conference, 2003. PESC '03. 2003 IEEE 34th Annual*, vol. 2. pp. 779–784 vol.2, 2003.
- [96] K. H. Ahmed, S. J. Finney, and B. W. Williams, "Passive Filter Design for Three-Phase Inverter Interfacing in Distributed Generation," *Compatibility in Power Electronics, 2007. CPE '07*. pp. 1–9, 2007.
- [97] M. Hanif, V. Khadkikar, W. Xiao, and J. L. Kirtley, "Two Degrees of Freedom Active Damping Technique for LCL Filter-Based Grid Connected PV Systems," *Industrial Electronics, IEEE Transactions on*, vol. 61, no. 6. pp. 2795–2803, 2014.
- [98] S. G. Parker, B. P. McGrath, and D. G. Holmes, "Regions of Active Damping Control for LCL Filters," *Industry Applications, IEEE Transactions on*, vol. 50, no. 1. pp. 424–432, 2014.
- [99] P. A. Dahono, "A control method to damp oscillation in the input LC filter," *Power Electronics Specialists Conference, 2002. pesc 02. 2002 IEEE 33rd Annual*, vol. 4. pp. 1630–1635, 2002.
- [100] W. Yin and Y. Ma, "Research on three-phase PV grid-connected inverter based on LCL filter," *Industrial Electronics and Applications (ICIEA), 2013 8th IEEE Conference on*. pp. 1279–1283, 2013.
- [101] E. V. Appleton, "Automatic synchronization of triode oscillators.," *Proc. Cambridge Phil. Soc.*, vol. 21, no. 3, p. pp. 231., 1923.
- [102] H. de Bellescize, "La reception synchrone," *Onde Electr*, vol. 11, pp. 230–240, 1932.
- [103] S.-K. Chung, "A phase tracking system for three phase utility interface inverters," *Power Electronics, IEEE Transactions on*, vol. 15, no. 3. pp. 431–438, 2000.
- [104] V. Kaura and V. Blasko, "Operation of a phase locked loop system under distorted utility conditions," *Industry Applications, IEEE Transactions on*, vol. 33, no. 1. pp. 58–63, 1997.
- [105] G.-C. Hsieh and J. C. Hung, "Phase-locked loop techniques. A survey," *Industrial Electronics, IEEE Transactions on*, vol. 43, no. 6. pp. 609–615, 1996.
- [106] L. G. B. Rolim, D. R. da Costa, and M. Aredes, "Analysis and Software Implementation of a Robust Synchronizing PLL Circuit Based on the pq Theory," *Industrial Electronics, IEEE Transactions on*, vol. 53, no. 6. pp. 1919–1926, 2006.
- [107] P. Rodriguez, J. Pou, J. Bergas, J. I. Candela, R. P. Burgos, and D. Boroyevich, "Decoupled Double Synchronous Reference Frame PLL for Power Converters Control," *Power Electronics, IEEE Transactions on*, vol. 22, no. 2. pp. 584–592, 2007.
- [108] R. I. Bojoi, G. Griva, V. Bostan, M. Guerriero, F. Farina, and F. Profumo, "Current control strategy for power conditioners using sinusoidal signal integrators in synchronous reference frame," *Power Electronics, IEEE Transactions on*, vol. 20, no. 6. pp. 1402–1412, 2005.
- [109] M. Karimi-Ghartemani and M. R. Iravani, "A method for synchronization of power electronic converters in polluted and variable-frequency environments," *Power Systems, IEEE Transactions on*, vol. 19, no. 3. pp. 1263–1270, 2004.
- [110] M. Karimi-Ghartemani, "A novel three-phase magnitude-phase-locked loop system," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 53, no. 8. pp. 1792–1802, 2006.

- [111] M. Karimi-Ghartemani, H. Karimi, and M. R. Iravani, "A magnitude/phase-locked loop system based on estimation of frequency and in-phase/quadrature-phase amplitudes," *Industrial Electronics, IEEE Transactions on*, vol. 51, no. 2. pp. 511–517, 2004.
- [112] S. Shinnaka, "A Robust Single-Phase PLL System With Stable and Fast Tracking," *Industry Applications, IEEE Transactions on*, vol. 44, no. 2. pp. 624–633, 2008.
- [113] B. Han and B. Bae, "Novel phase-locked loop using adaptive linear combiner," *Power Delivery, IEEE Transactions on*, vol. 21, no. 1. pp. 513–514, 2006.
- [114] S. Pavljasevic and F. Dawson, "Synchronization to Disturbed Utility-Network Signals Using a Multirate Phase-Locked Loop," *Industrial Electronics, IEEE Transactions on*, vol. 53, no. 5. pp. 1410–1417, 2006.
- [115] D. Jovcic, "Phase locked loop system for FACTS," *Power Systems, IEEE Transactions on*, vol. 18, no. 3. pp. 1116–1124, 2003.
- [116] F. Blaabjerg, R. Teodorescu, M. Liserre, and A. V Timbus, "Overview of Control and Grid Synchronization for Distributed Power Generation Systems," *Industrial Electronics, IEEE Transactions on*, vol. 53, no. 5. pp. 1398–1409, 2006.
- [117] R. T.-H. Li, H. S.-H. Chung, and A. K. T. Sung, "Passive Lossless Snubber for Boost PFC With Minimum Voltage and Current Stress," *Power Electronics, IEEE Transactions on*, vol. 25, no. 3. pp. 602–613, 2010.
- [118] T. Isobe, K. Kato, N. Kojima, and R. Shimada, "Soft-Switching Single-Phase Grid-Connecting Converter Using DCM Operation and a Turn-Off Snubber Capacitor," *Power Electronics, IEEE Transactions on*, vol. 29, no. 6. pp. 2922–2930, 2014.
- [119] P. Ranstad and H.-P. Nee, "On Dynamic Effects Influencing IGBT Losses in Soft-Switching Converters," *Power Electronics, IEEE Transactions on*, vol. 26, no. 1. pp. 260–271, 2011.
- [120] H. Zhang, Q. Wang, E. Chu, X. Liu, and L. Hou, "Analysis and Implementation of A Passive Lossless Soft-Switching Snubber for PWM Inverters," *Power Electronics, IEEE Transactions on*, vol. 26, no. 2. pp. 411–426, 2011.
- [121] M. Mahesh and A. K. Panda, "High-power factor three-phase ac-dc soft-switched converter incorporating zero-voltage transition topology in modular systems for high-power industry applications," *Power Electronics, IET*, vol. 4, no. 9. pp. 1032–1042, 2011.
- [122] A. Abramovitz, C.-S. Liao, and K. Smedley, "State-Plane Analysis of Regenerative Snubber for Flyback Converters," *Power Electronics, IEEE Transactions on*, vol. 28, no. 11. pp. 5323–5332, 2013.
- [123] D. De and V. Ramanarayanan, "Analysis, Design, Modeling, and Implementation of an Active Clamp HF Link Converter," *Circuits and Systems I: Regular Papers, IEEE Transactions on*, vol. 58, no. 6. pp. 1446–1455, 2011.
- [124] A. Cetin and M. Ermis, "VSC-Based D-STATCOM With Selective Harmonic Elimination," *Industry Applications, IEEE Transactions on*, vol. 45, no. 3. pp. 1000–1015, 2009.
- [125] W. McMurray, "Optimum Snubbers for Power Semiconductors," *Industry Applications, IEEE Transactions on*, vol. IA-8, no. 5. pp. 593–600, 1972.
- [126] W. McMurray, "Selection of Snubbers and Clamps to Optimize the Design of Transistor Switching Converters," *Industry Applications, IEEE Transactions on*, vol. IA-16, no. 4. pp. 513–523, 1980.
- [127] K. S. Rajashekara, J. Vithyathil, and V. Rajagopalan, "Protection and Switching-Aid Networks for Transistor Bridge Inverters," *Industrial Electronics, IEEE Transactions on*, vol. IE-33, no. 2. pp. 185–192, 1986.

- [128] S. J. Finney, B. W. Williams, and T. C. Green, "RCD snubber revisited," *Industry Applications, IEEE Transactions on*, vol. 32, no. 1. pp. 155–160, 1996.
- [129] I. Josifovic, J. Popovic-Gerber, and J. A. Ferreira, "Improving SiC JFET Switching Behavior Under Influence of Circuit Parasitics," *Power Electronics, IEEE Transactions on*, vol. 27, no. 8. pp. 3843–3854, 2012.
- [130] R. Withanage and N. Shamma, "Series Connection of Insulated Gate Bipolar Transistors (IGBTs)," *Power Electronics, IEEE Transactions on*, vol. 27, no. 4. pp. 2204–2212, 2012.
- [131] H.-J. Schulze, F.-J. Niedernostheide, F. Pfirsch, and R. Baburske, "Limiting Factors of the Safe Operating Area for Power Devices," *Electron Devices, IEEE Transactions on*, vol. 60, no. 2. pp. 551–562, 2013.
- [132] D. Reusch and J. Strydom, "Understanding the Effect of PCB Layout on Circuit Performance in a High-Frequency Gallium-Nitride-Based Point of Load Converter," *Power Electronics, IEEE Transactions on*, vol. 29, no. 4. pp. 2008–2015, 2014.
- [133] N. Oswald, P. Anthony, N. McNeill, and B. H. Stark, "An Experimental Investigation of the Tradeoff between Switching Losses and EMI Generation With Hard-Switched All-Si, Si-SiC, and All-SiC Device Combinations," *Power Electronics, IEEE Transactions on*, vol. 29, no. 5. pp. 2393–2407, 2014.
- [134] G.-J. Lee, M. M. Albu, and G. T. Heydt, "A power quality index based on equipment sensitivity, cost, and network vulnerability," *Power Delivery, IEEE Transactions on*, vol. 19, no. 3. pp. 1504–1510, 2004.
- [135] A. K. Sadigh and K. M. Smedley, "Review of voltage compensation methods in dynamic voltage restorer (DVR)," *Power and Energy Society General Meeting, 2012 IEEE*. pp. 1–8, 2012.
- [136] P. Kanjiya, B. Singh, A. Chandra, and K. Al-Haddad, "SRF Theory Revisited; to Control Self-Supported Dynamic Voltage Restorer (DVR) for Unbalanced and Nonlinear Loads," *Industry Applications, IEEE Transactions on*, vol. 49, no. 5. pp. 2330–2340, 2013.
- [137] F. Badrkhani Ajaei, S. Farhangi, and R. Iravani, "Fault Current Interruption by the Dynamic Voltage Restorer," *Power Delivery, IEEE Transactions on*, vol. 28, no. 2. pp. 903–910, 2013.
- [138] "IEEE Recommended Practice for Monitoring Electric Power Quality," *IEEE Std 1159-2009 (Revision of IEEE Std 1159-1995)*. pp. c1–81, 2009.
- [139] T. Jimichi, H. Fujita, and H. Akagi, "Design and Experimentation of a Dynamic Voltage Restorer Capable of Significantly Reducing an Energy-Storage Element," *Industry Applications, IEEE Transactions on*, vol. 44, no. 3. pp. 817–825, 2008.
- [140] E. Babaei, M. F. Kangarlu, and M. Sabahi, "Mitigation of Voltage Disturbances Using Dynamic Voltage Restorer Based on Direct Converters," *Power Delivery, IEEE Transactions on*, vol. 25, no. 4. pp. 2676–2683, 2010.
- [141] Y. H. Chung, G. H. Kwon, T. B. Park, and K. Y. Lim, "Dynamic voltage regulator with solid state switched tap changer," *Quality and Security of Electric Power Delivery Systems, 2003. CIGRE/PES 2003. CIGRE/IEEE PES International Symposium*. pp. 105–108, 2003.
- [142] H. Toodeji and S. H. Fathi, "Cost reduction and control system improvement in Electrical Arc Furnace using DVR," *Industrial Electronics and Applications, 2009. ICIEA 2009. 4th IEEE Conference on*. pp. 211–215, 2009.

- [143] J. M. Lozano, M. A. Hernandez-Figueroa, and J. M. Ramirez, "An operative comparison of two DVR topologies based on a matrix converter without energy storage," IECON 2012 - 38th Annual Conference on IEEE Industrial Electronics Society. pp. 6050–6056, 2012.
- [144] P. M. Garcia-Vite, F. Mancilla-David, and J. M. Ramirez, "A Dynamic Voltage Restorer based on vector-switching matrix converters," Industrial Technology (ICIT), 2010 IEEE International Conference on. pp. 637–642, 2010.
- [145] B. Bae, J. Lee, J. Jeong, and B. Han, "Line-Interactive Single-Phase Dynamic Voltage Restorer With Novel Sag Detection Algorithm," Power Delivery, IEEE Transactions on, vol. 25, no. 4. pp. 2702–2709, 2010.
- [146] R. R. Errabelli, Y. Y. Kolhatkar, and S. P. Das, "Experimental investigation of DVR with sliding mode control," Power India Conference, 2006 IEEE. p. 5 pp., 2006.
- [147] P. Garcia-Vite, J. M. Ramirez, and J. C. Rosas-Caro, "Efficient implementation of DVR's control," Power & Energy Society General Meeting, 2009. PES '09. IEEE. pp. 1–7, 2009.
- [148] C. Fitzer, M. Barnes, and P. Green, "Voltage sag detection technique for a dynamic voltage restorer," Industry Applications, IEEE Transactions on, vol. 40, no. 1. pp. 203–212, 2004.
- [149] M. Mansor and N. A. Rahim, "Voltage sag detection - A survey," Technical Postgraduates (TECHPOS), 2009 International Conference for. pp. 1–6, 2009.
- [150] Z. Fan and X. Liu, "A novel universal grid voltage sag detection algorithm," Power Engineering and Automation Conference (PEAM), 2012 IEEE. pp. 1–4, 2012.
- [151] S. A. Saleh, C. R. Moloney, and M. Azizur Rahman, "Implementation of a Dynamic Voltage Restorer System Based on Discrete Wavelet Transforms," Power Delivery, IEEE Transactions on, vol. 23, no. 4. pp. 2366–2375, 2008.
- [152] H. Amaris, C. Alvarez, M. Alonso, D. Florez, T. Lobos, P. Janik, J. Rezmer, and Z. Wacławek, "Computation of voltage sag initiation with Fourier based algorithm, Kalman filter and Wavelets," PowerTech, 2009 IEEE Bucharest. pp. 1–6, 2009.
- [153] M. Gonzalez, V. Cardenas, and R. Alvarez, "A Fast Detection Algorithm for Sags, Swells, and Interruptions Based on Digital RMS Calculation and Kalman Filtering," International Power Electronics Congress, 10th IEEE. pp. 1–6, 2006.
- [154] P. Roncero-Sanchez, E. Acha, J. E. Ortega-Calderon, V. Feliu, and A. Garcia-Cerrada, "A Versatile Control Scheme for a Dynamic Voltage Restorer for Power-Quality Improvement," Power Delivery, IEEE Transactions on, vol. 24, no. 1. pp. 277–284, 2009.
- [155] C. Meyer, R. W. De Doncker, Y. W. Li, and F. Blaabjerg, "Optimized Control Strategy for a Medium-Voltage DVR; Theoretical Investigations and Experimental Results," Power Electronics, IEEE Transactions on, vol. 23, no. 6. pp. 2746–2754, 2008.
- [156] H. K. Al-Hadidi, A. M. Gole, and D. A. Jacobson, "A Novel Configuration for a Cascade Inverter-Based Dynamic Voltage Restorer With Reduced Energy Storage Requirements," Power Delivery, IEEE Transactions on, vol. 23, no. 2. pp. 881–888, 2008.
- [157] C. N. -m. Ho, H. S.-H. Chung, and K. T. K. Au, "Design and Implementation of a Fast Dynamic Control Scheme for Capacitor-Supported Dynamic Voltage Restorers," Power Electronics, IEEE Transactions on, vol. 23, no. 1. pp. 237–251, 2008.
- [158] R. W. Erickson and D. Maksimovic, Fundamentals of Power Electronics. Springer, 2001.

APÉNDICE 1

DIAGRAMAS ESQUEMATICOS Y CIRCUITOS IMPRESOS USADOS EN EL CONVERTIDOR DE POTENCIA AC-DC ELEVADOR SIN PUENTE

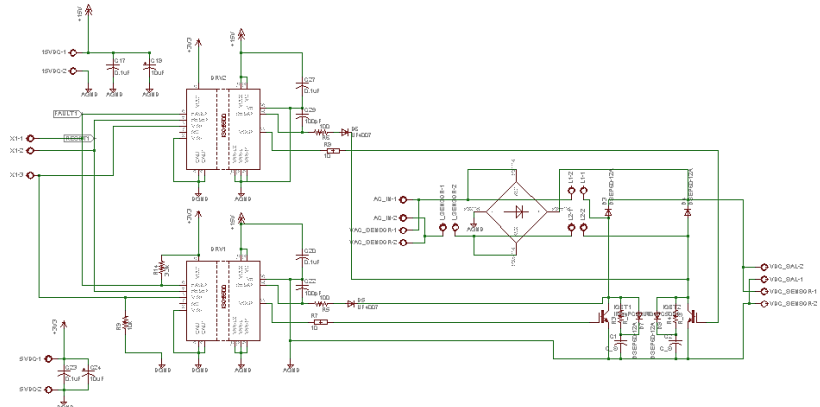


Figura 132. Diagrama esquemático del circuito del convertidor AC-DC elevador sin puente

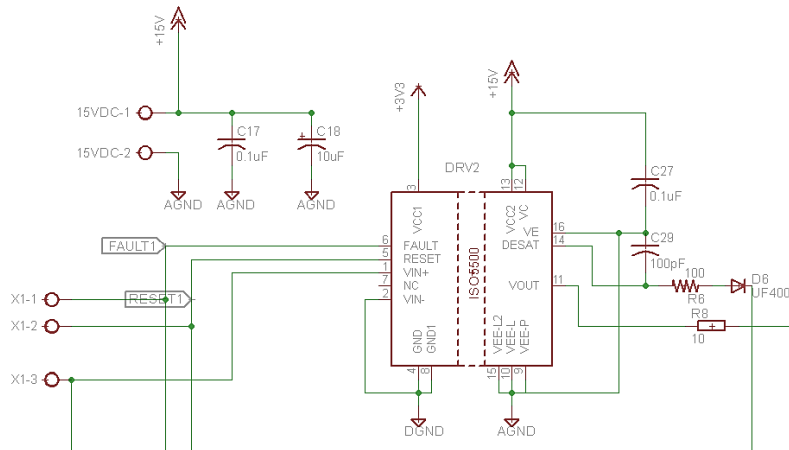


Figura 133. Diagrama esquemático del circuito de excitación y disparo usado en el convertidor AC-DC elevador sin puente

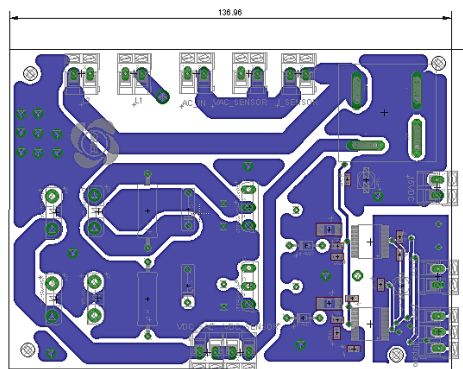


Figura 134. Cara posterior del circuito impreso del convertidor AC-DC elevador sin puente

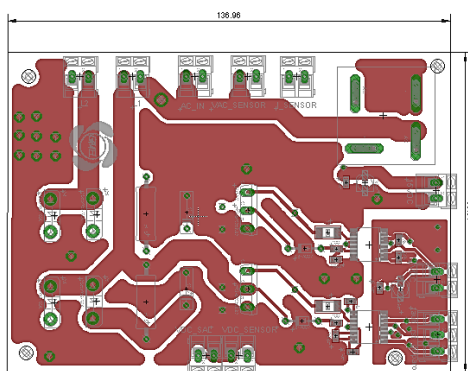


Figura 135. Cara anterior del circuito impreso del convertidor AC-DC elevador sin puente

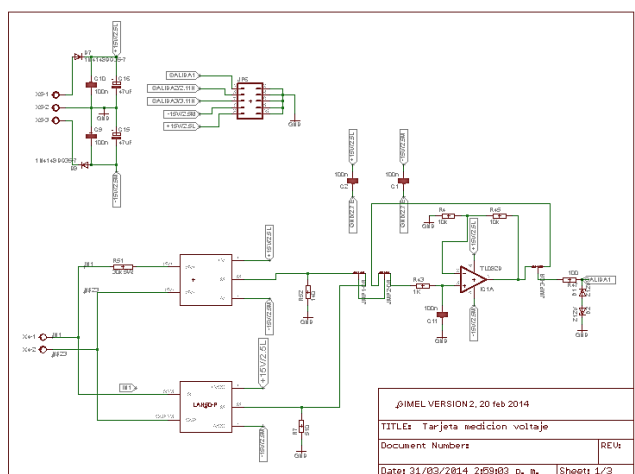


Figura 136. Diagrama esquemático de los circuitos de acondicionamiento usados en el convertidor AC-DC elevador sin puente

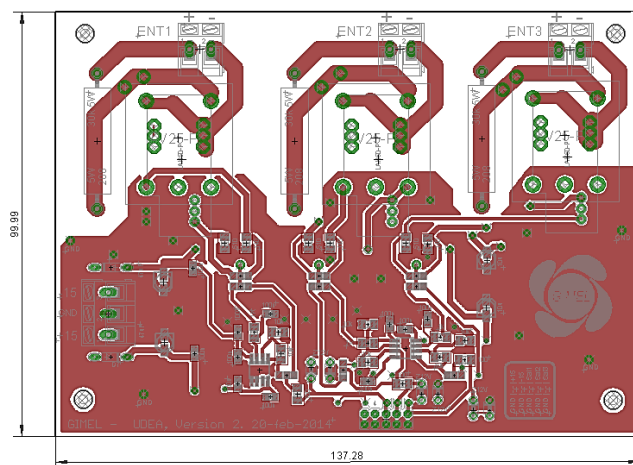


Figura 137. Cara anterior del circuito impreso acondicionamiento usado en el convertidor AC-DC elevador sin puente

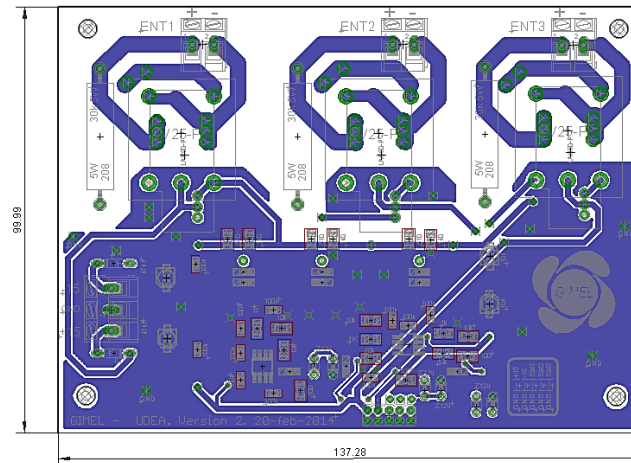


Figura 138. Cara posterior del circuito impreso acondicionamiento usado en el convertidor AC-DC elevador sin puente

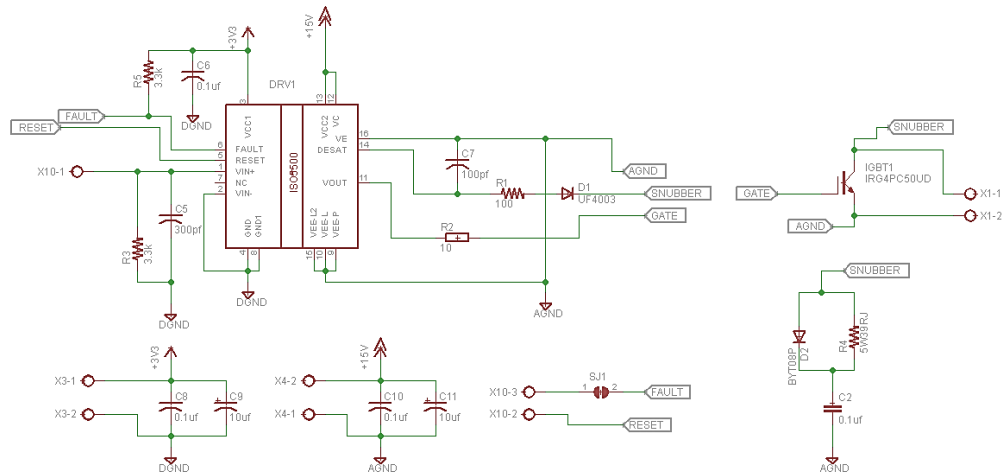


Figura 139. Diagrama esquemático del circuito de protección usado en el bus DC del convertidor AC-DC elevador sin puente

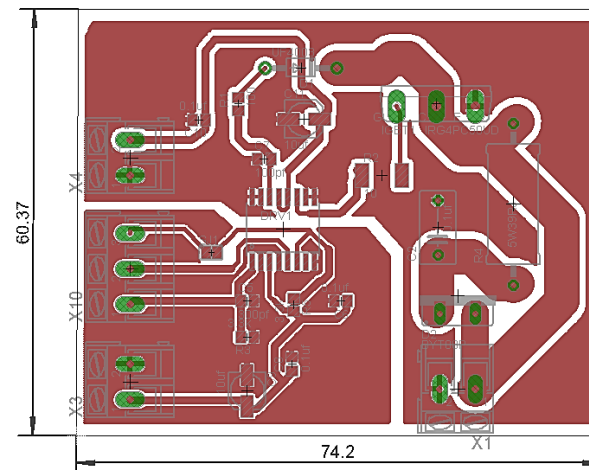


Figura 140. Cara posterior del circuito impreso del circuito de protección del bus DC usado en el convertidor AC-DC elevador sin puente

APÉNDICE 2

ALGORITMOS USADOS EN EL CONTROL DEL CONVERTIDOR AC-DC ELEVADOR SIN PUENTE

Lazo de mediciones analogas para monitoreo y control

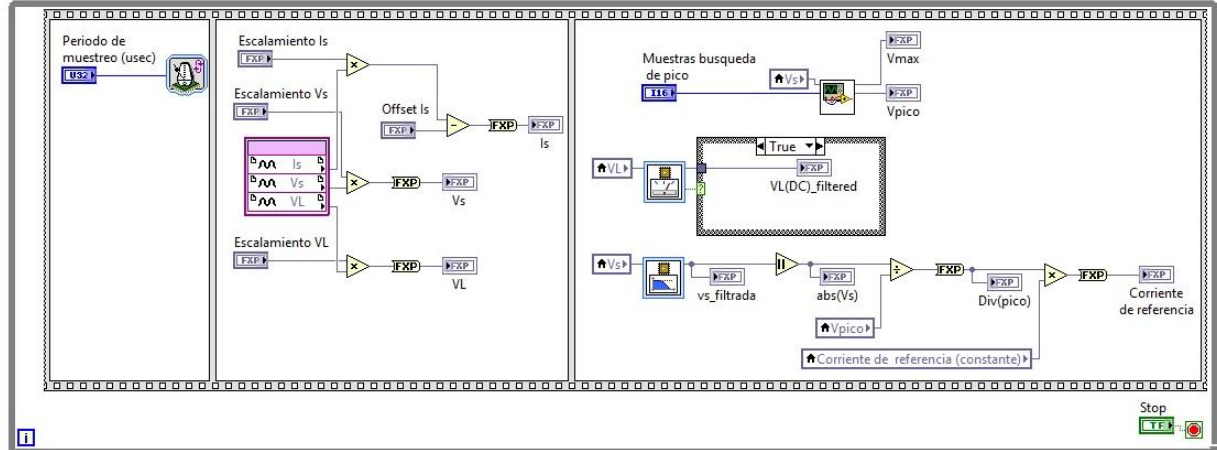


Figura 141. Lazo de control para las mediciones de las señales analógicas, el filtrado de la señal DC, la búsqueda del valor pico de v_s y el cálculo de la corriente de referencia

Lazo de control de corriente en cascada para el convertidor AC-DC

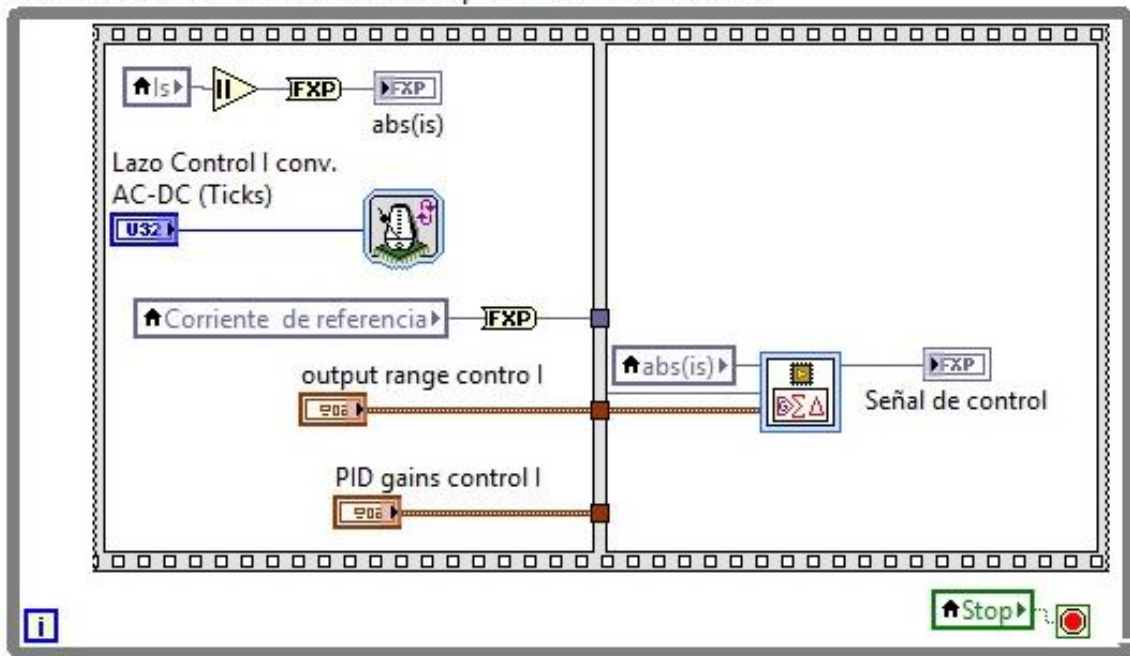


Figura 142. Lazo de control lineal de la corriente i_s

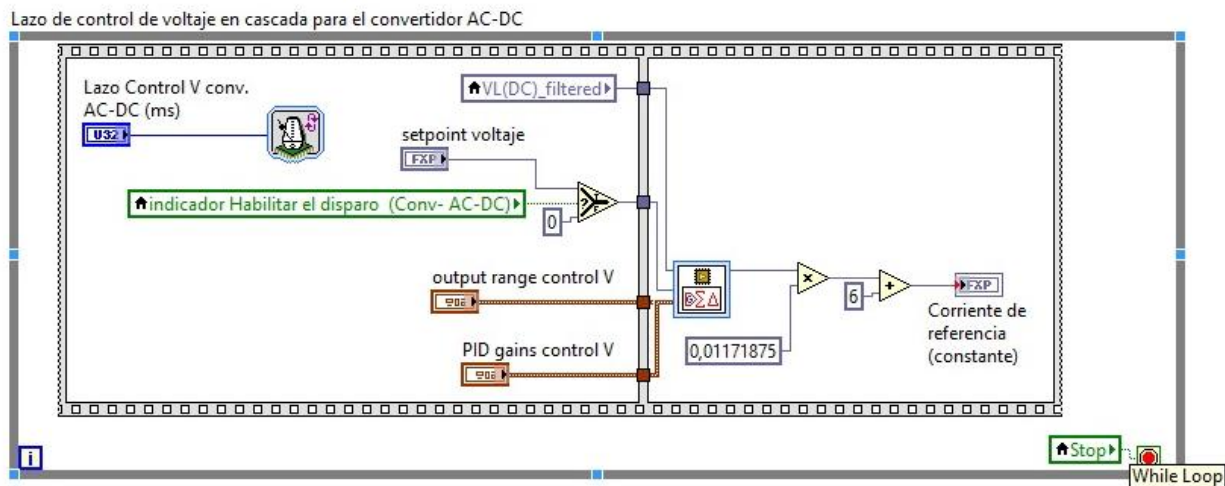


Figura 143. Lazo de control lineal del voltaje v_s

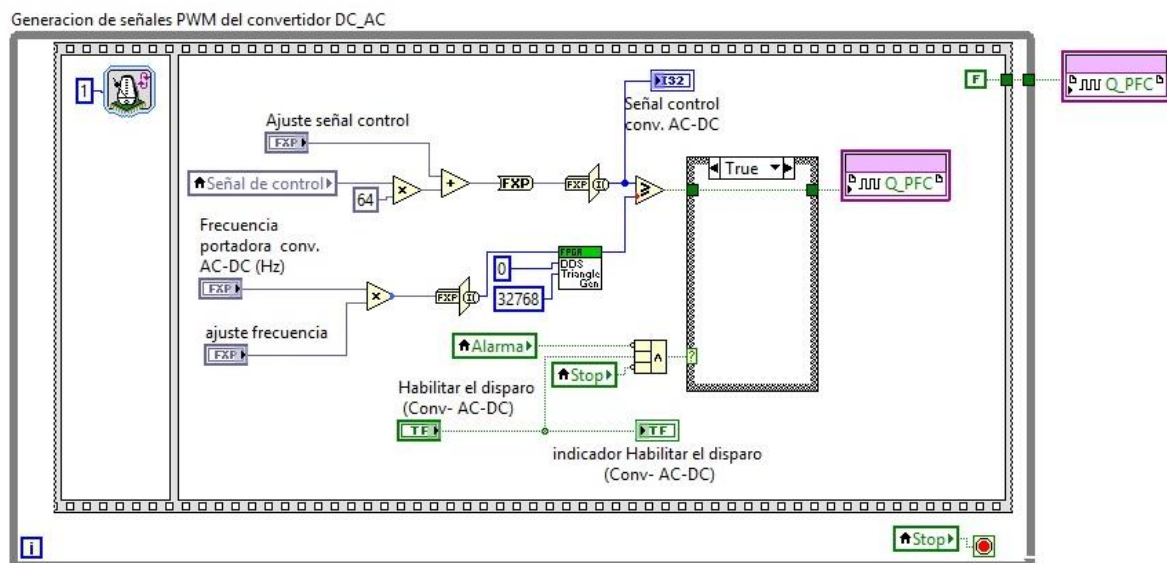


Figura 144. Lazo de generación de la señal PWM usada para activar los interruptores de potencia Q_1 y Q_2 .

Lazo de alarmas

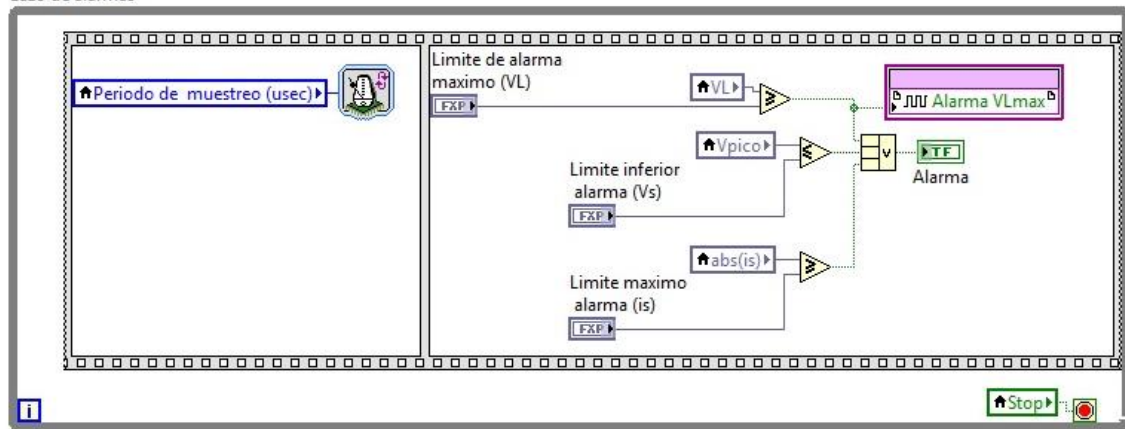


Figura 145. Lazo de control para las alarmas por sobre voltaje en la carga, sobre corriente en la fuente, y bajo voltaje en la fuente.

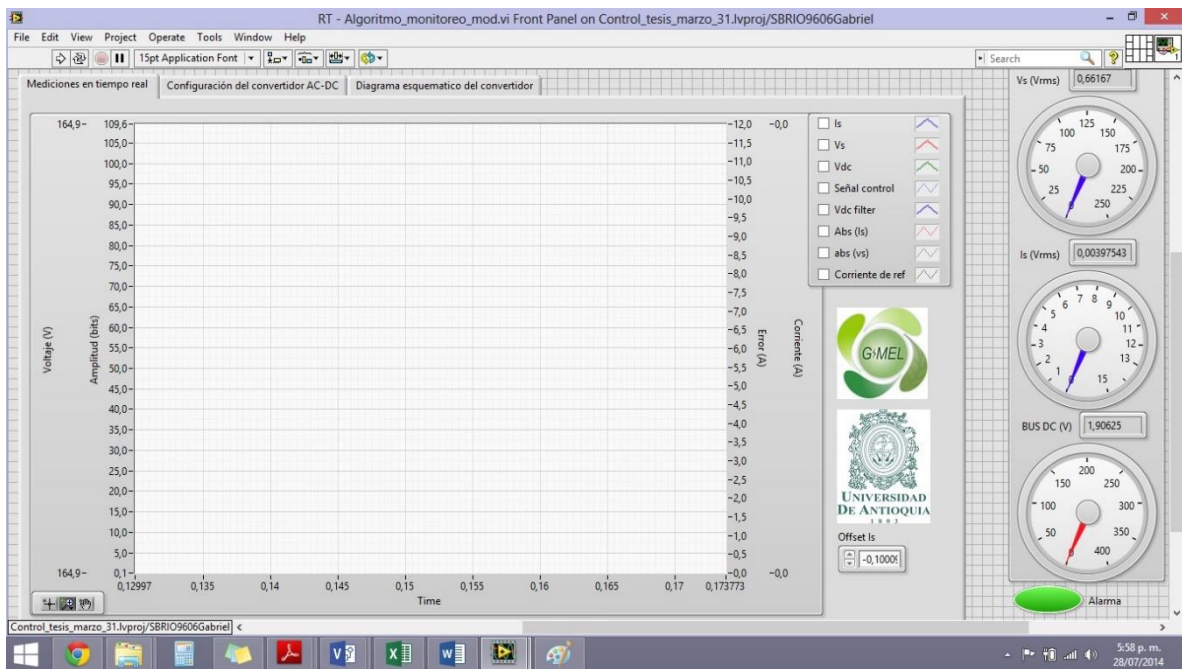


Figura 146. Interfaz para el monitoreo en tiempo real de las señales en el convertidor AC-DC elevador sin puente

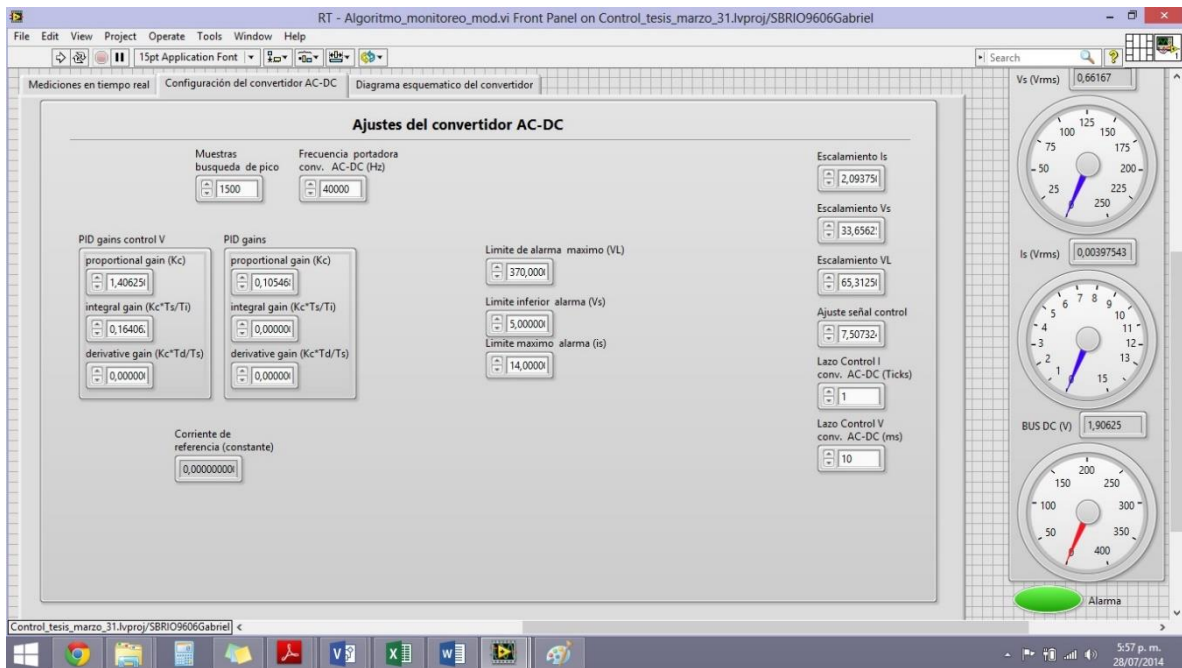


Figura 147. Interfaz para la configuración en tiempo real de los parámetros de control para el convertidor AC-DC elevador sin puente

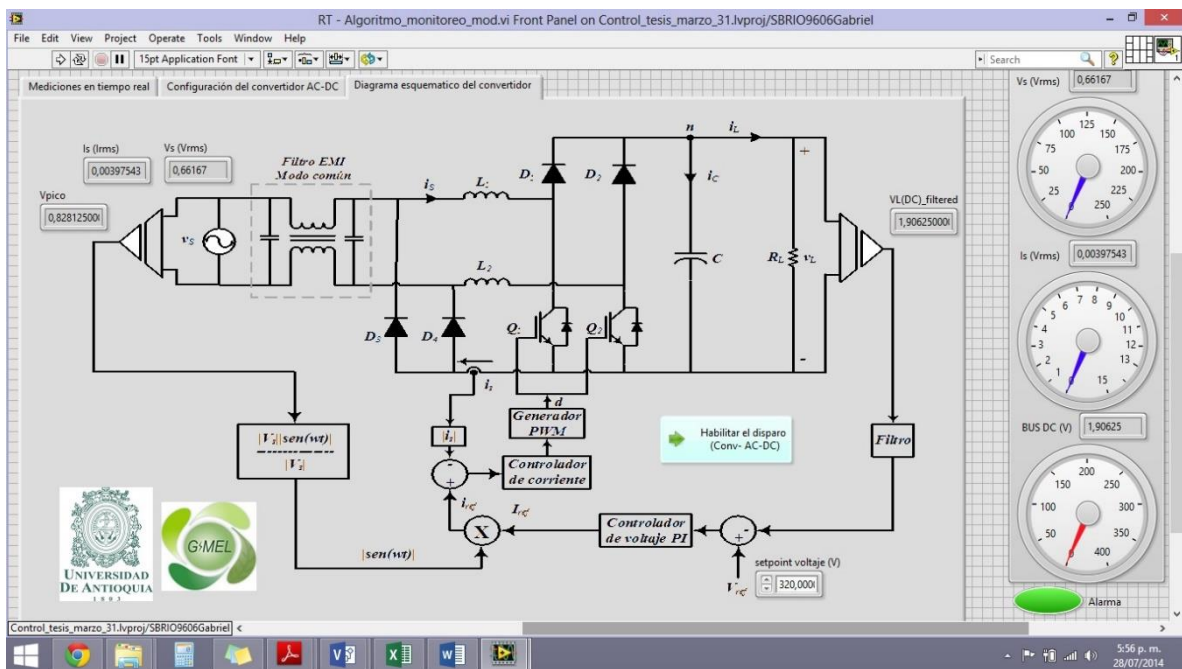


Figura 148. Interfaz para la visualización y modificación de algunos parámetros en el convertidor AC-DC elevador sin puente

APÉNDICE 3

DIAGRAMAS ESQUEMATICOS Y CIRCUITOS IMPRESOS USADOS EN EL CONVERTIDOR DE POTENCIA DC-AC TRIFASICO

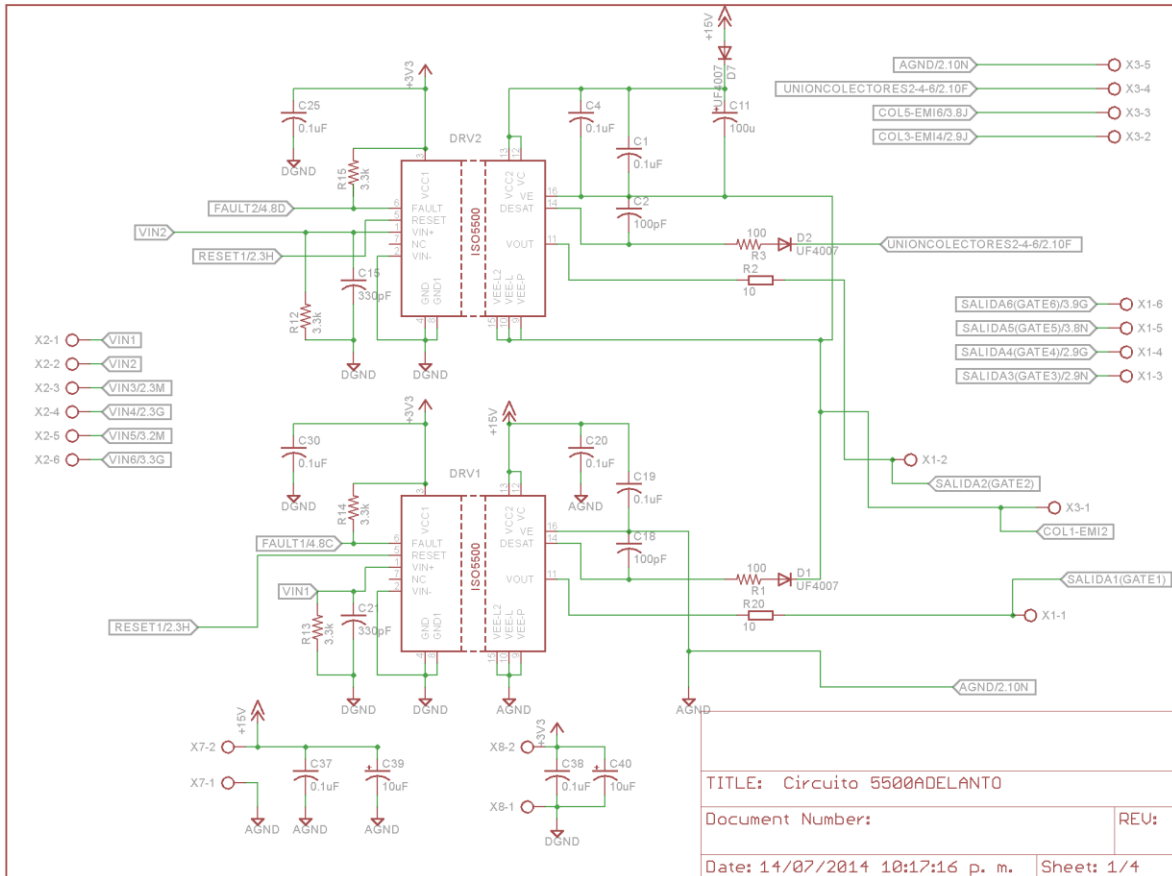


Figura 149. Diagrama esquemático del circuito de excitación y disparo de los interruptores de potencia del inversor trifásico

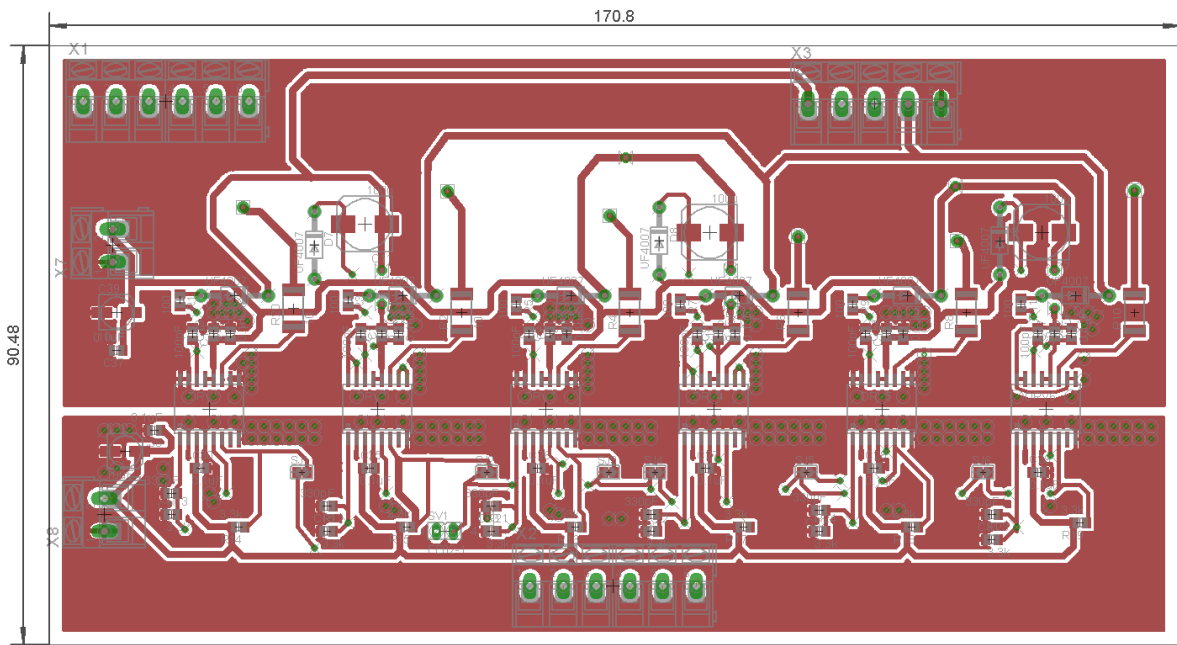


Figura 150. Cara anterior del circuito impreso del circuito de excitación y disparo de los interruptores de potencia del inversor trifásico

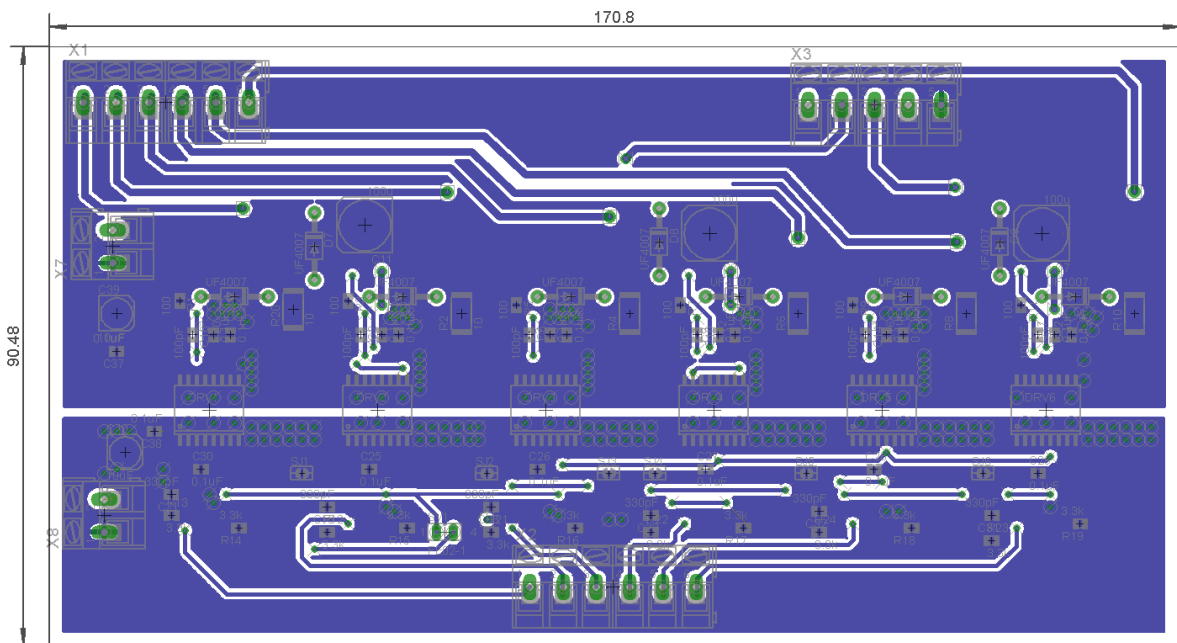


Figura 151. Cara anterior del circuito impreso del circuito de excitación y disparo de los interruptores de potencia del inversor trifásico

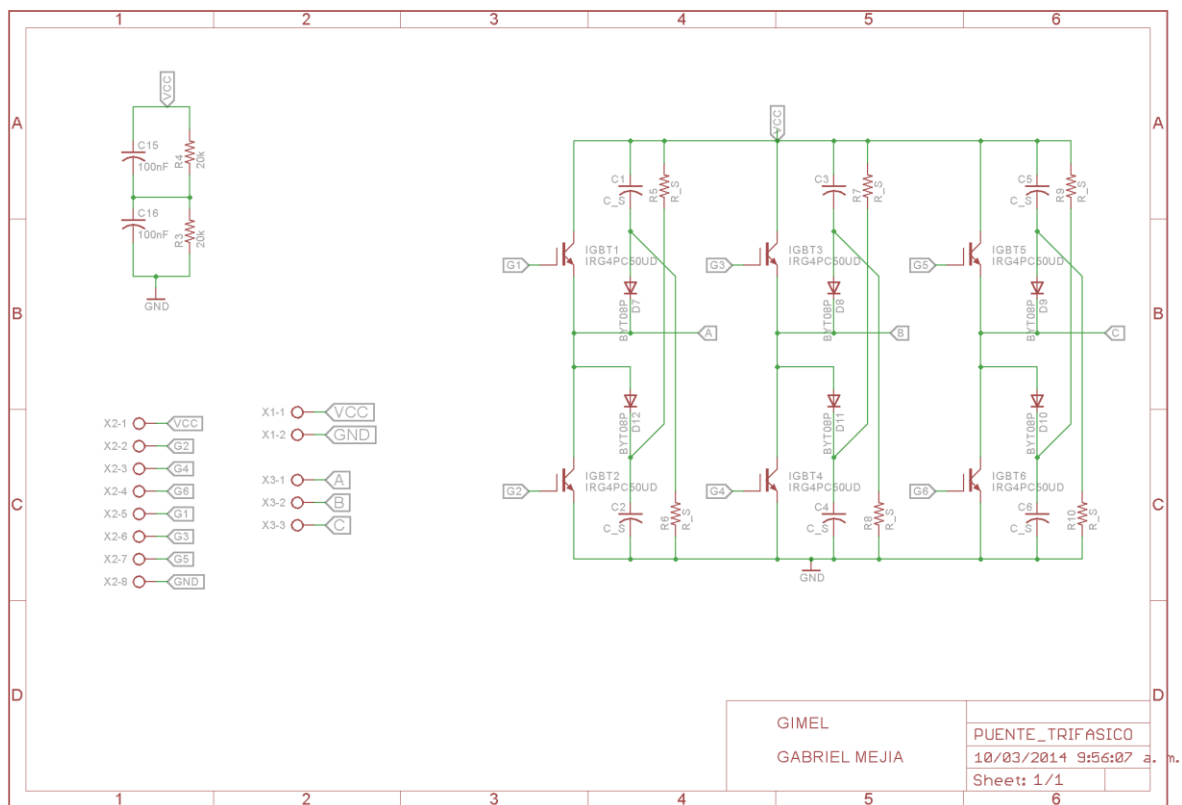


Figura 152. Diagrama esquemático del puente del inversor trifásico

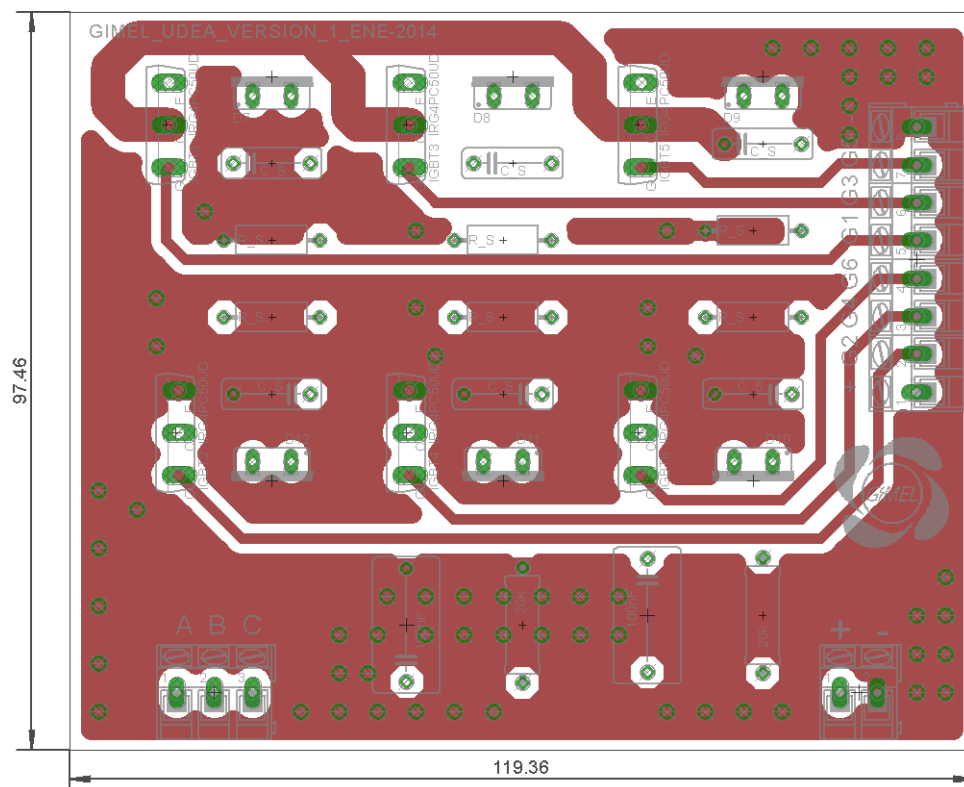


Figura 153. Cara anterior del circuito impreso del circuito del puente del inversor trifásico

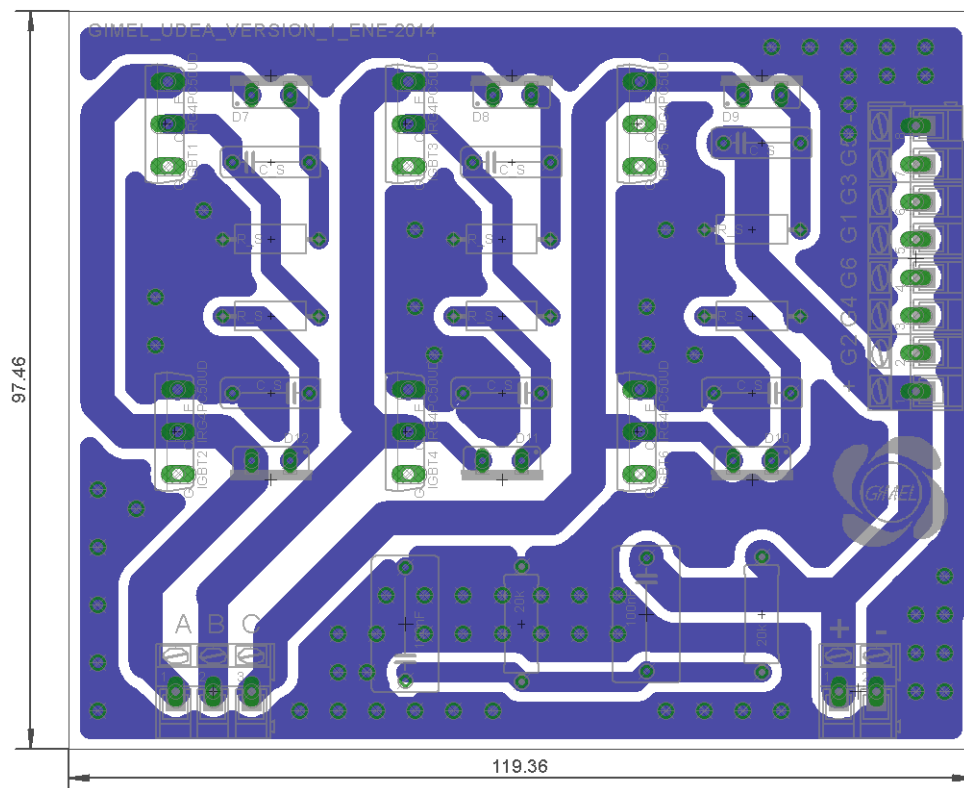


Figura 154. Cara anterior del circuito impreso del circuito del puente del inversor trifásico

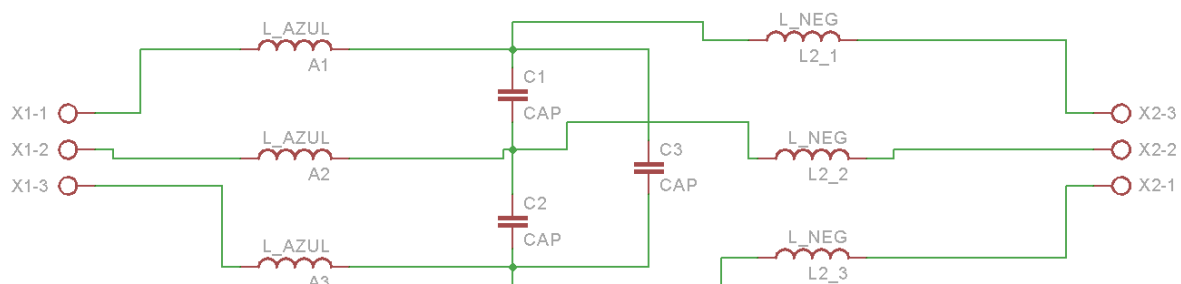


Figura 155. Diagrama esquemático del filtro LCL

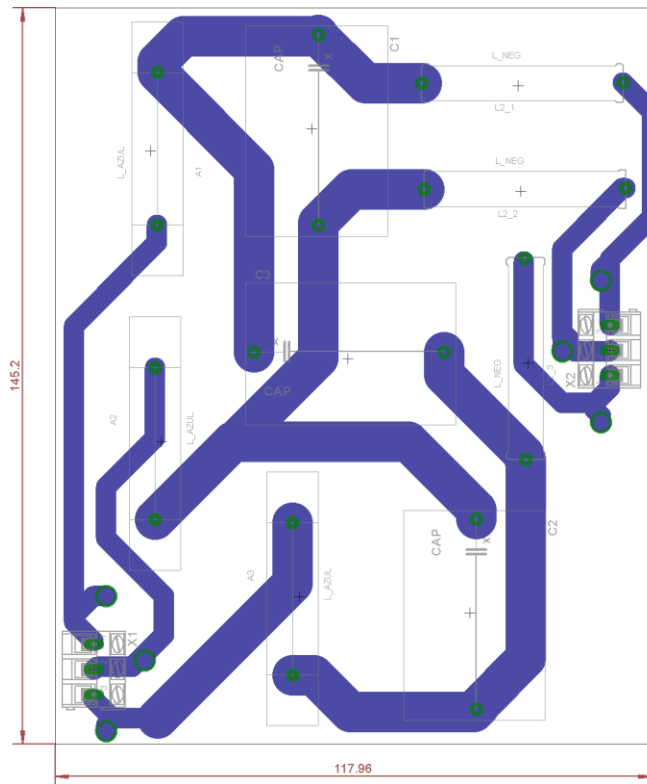


Figura 156. Circuito impreso del filtro LCL

APÉNDICE 4

ALGORITMOS USADOS EN EL SISTEMA DE CONTROL DE CORRIENTE DEL CONVERTIDOR DC-AC TRIFASICO

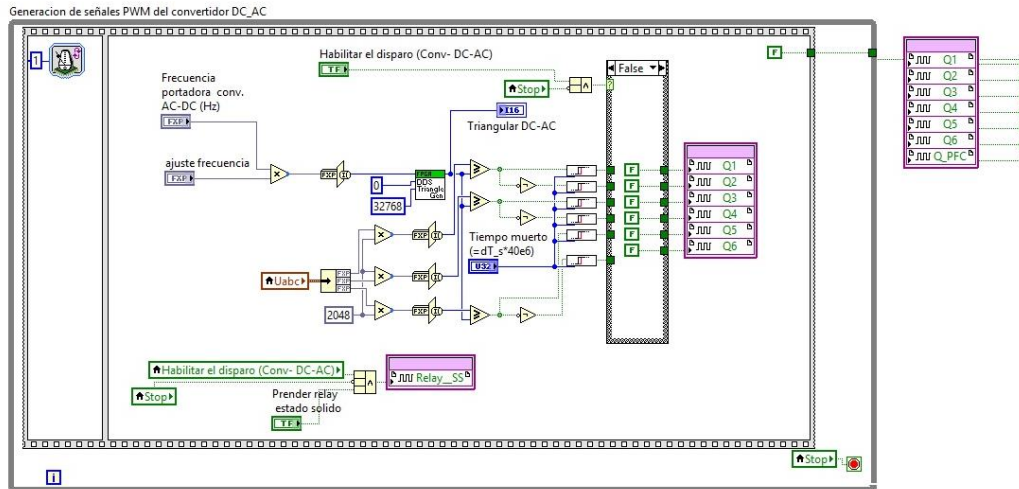


Figura 157. Algoritmo usado para la generación de las señales de disparo para los interruptores de potencia en el inversor trifásico

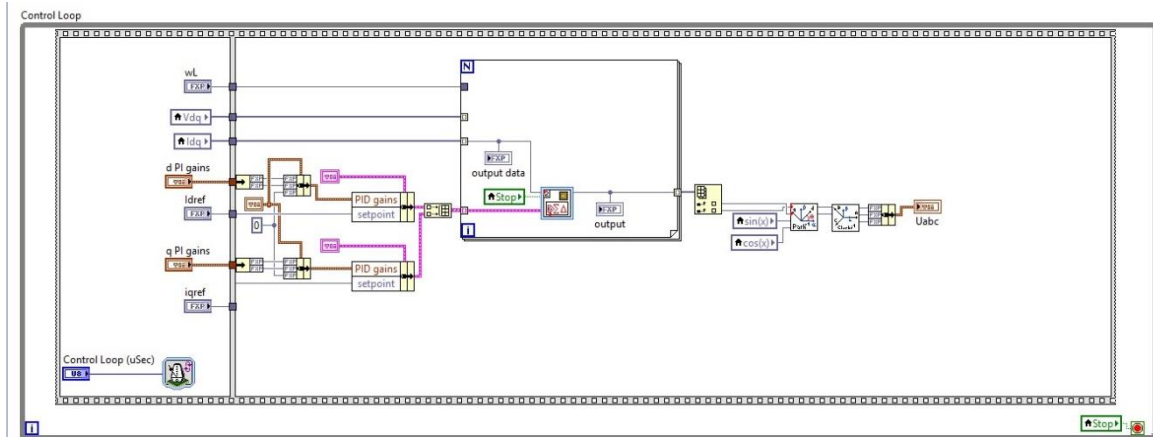


Figura 158. Algoritmo de control de la corriente en d,q para el inversor trifásico

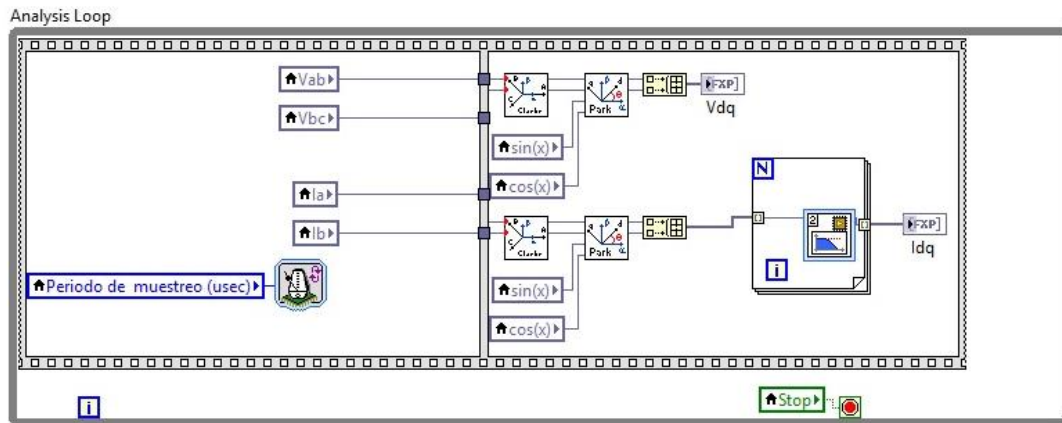


Figura 159. Algoritmos para realizar las transformadas de Clark y de Park en el control del inversor trifásico

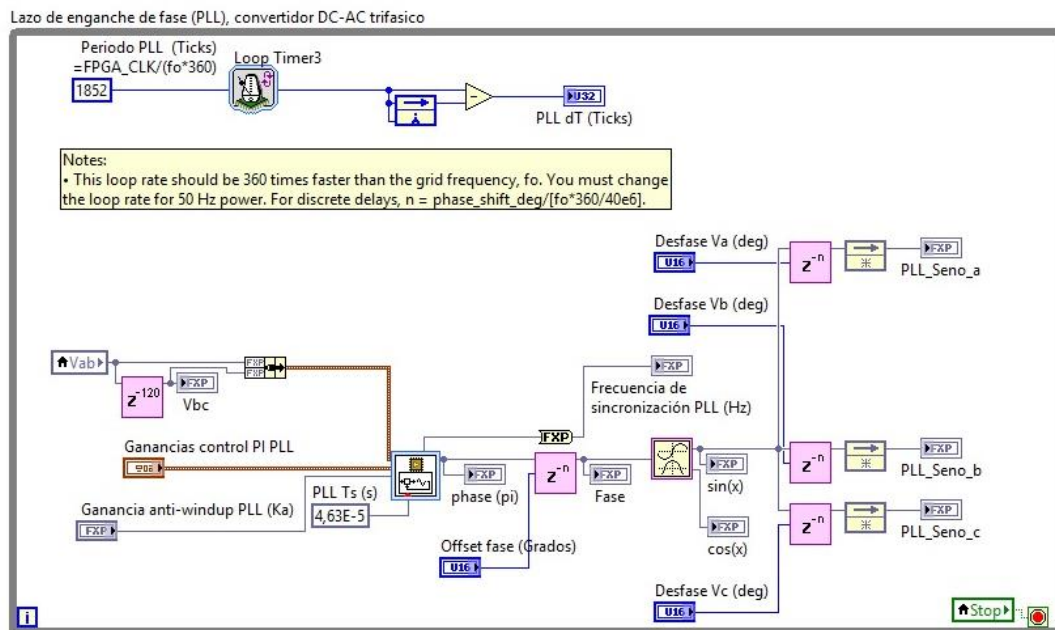


Figura 160. Algoritmo PLL para la generación de la señal de referencia para la sincronización a la red del inversor trifásico

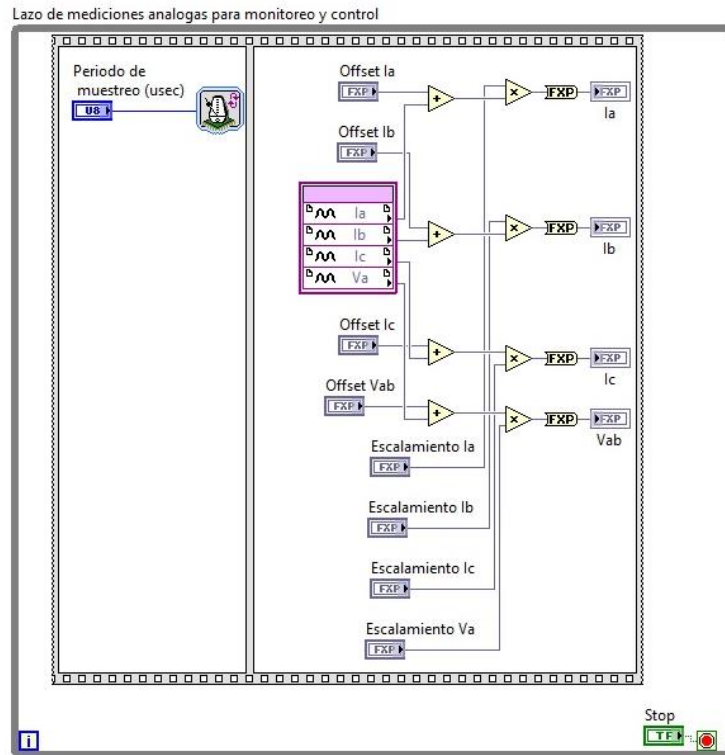


Figura 161. Algoritmo usado para la adquisición de datos de las señales análogas de voltaje y corriente

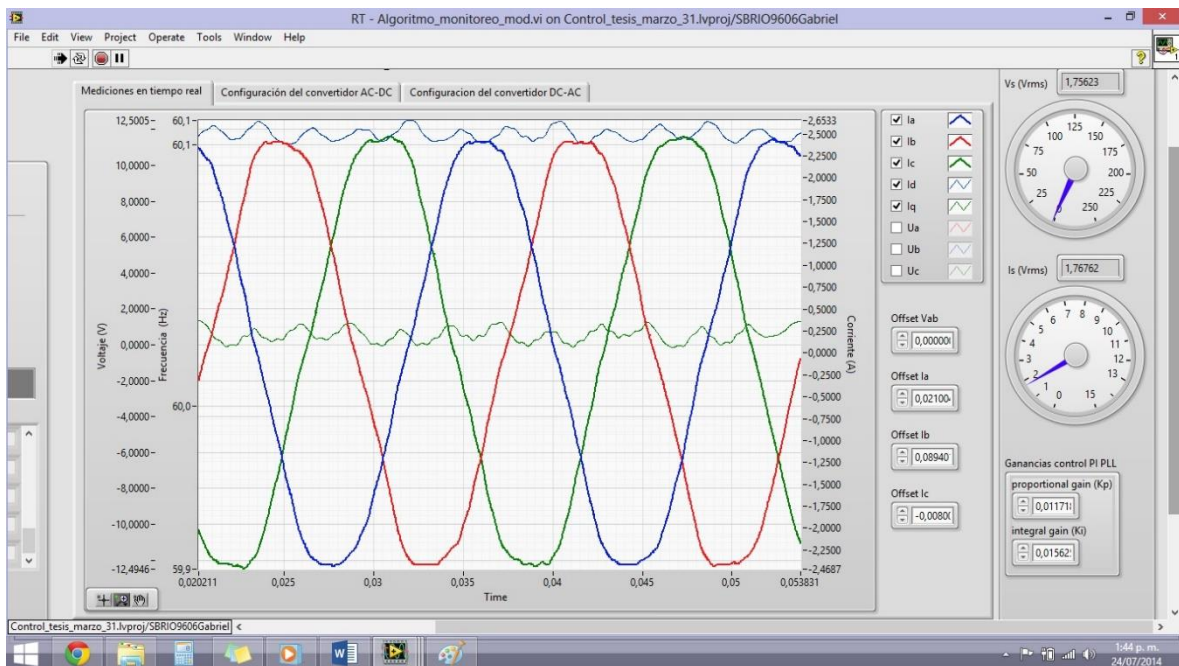
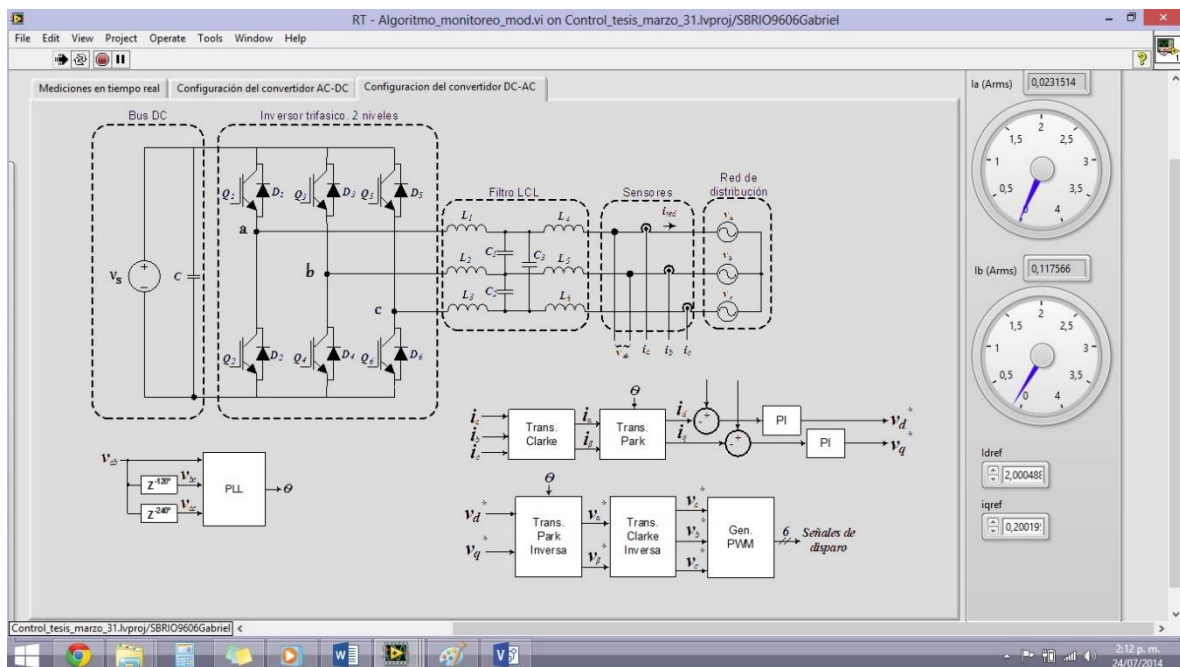
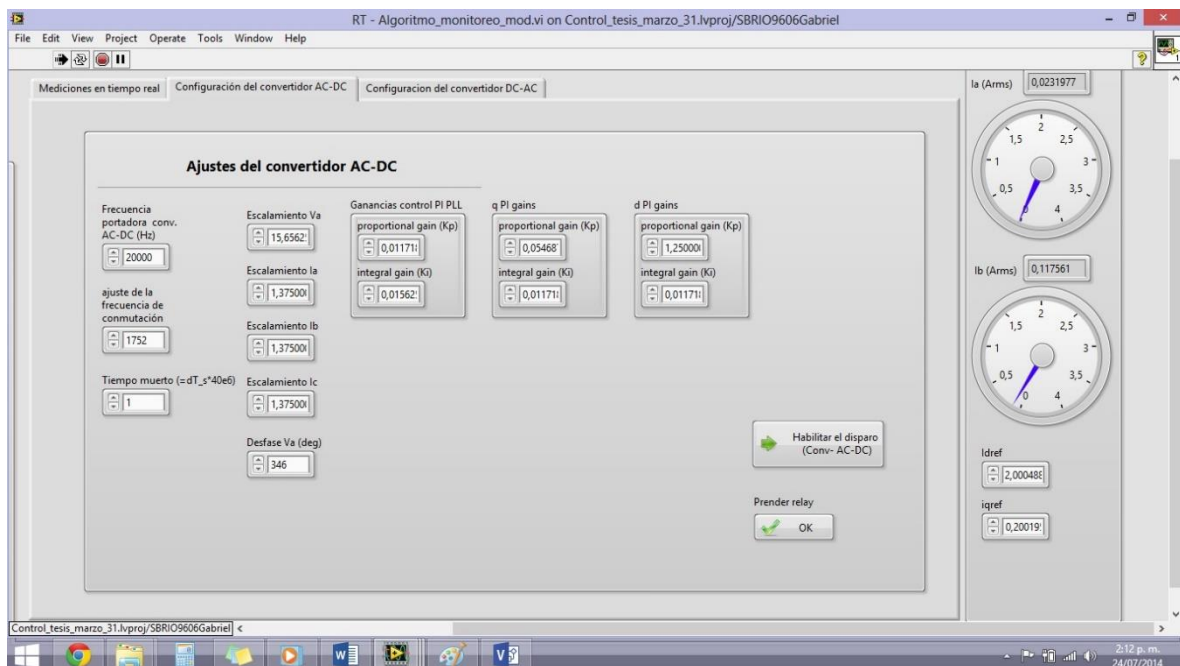


Figura 162. Interfaz para la visualización de las señales eléctricas del inversor trifásico



APÉNDICE 5

ALGORITMOS USADOS EN EL SISTEMA DE CONTROL DE VOLTAJE DEL CONVERTIDOR DC-AC TRIFASICO

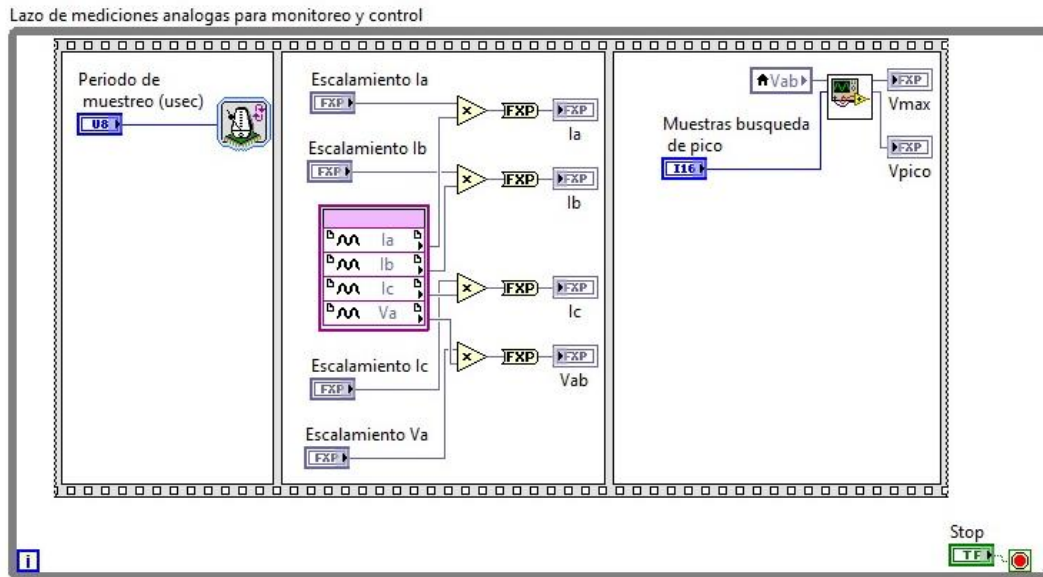


Figura 165. Algoritmo para la medición de las variables eléctricas del inversor trifásico con control de voltaje

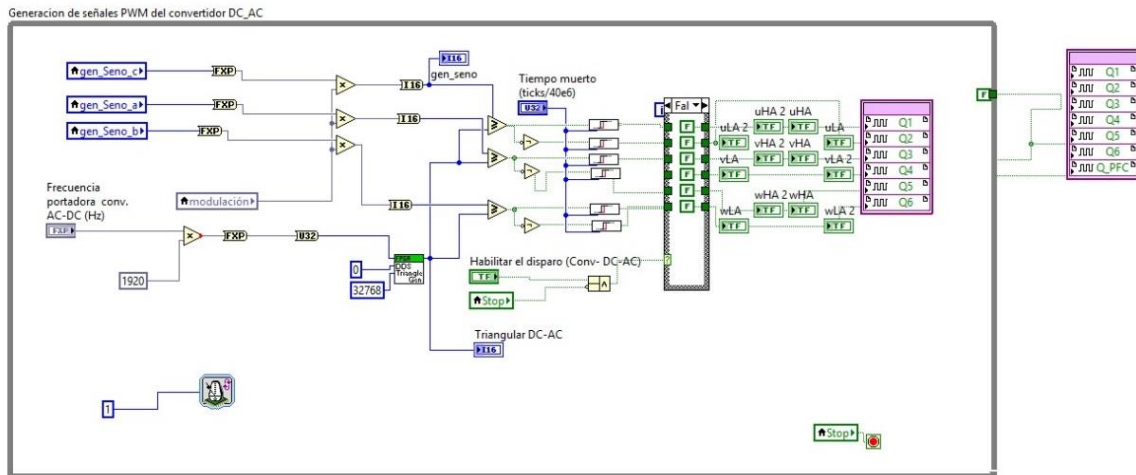


Figura 166. Algoritmo para la generación de las señales de disparo en el inversor trifásico con control de voltaje

Generación de las señales senoidales de referencia para la generación de la señal PWM

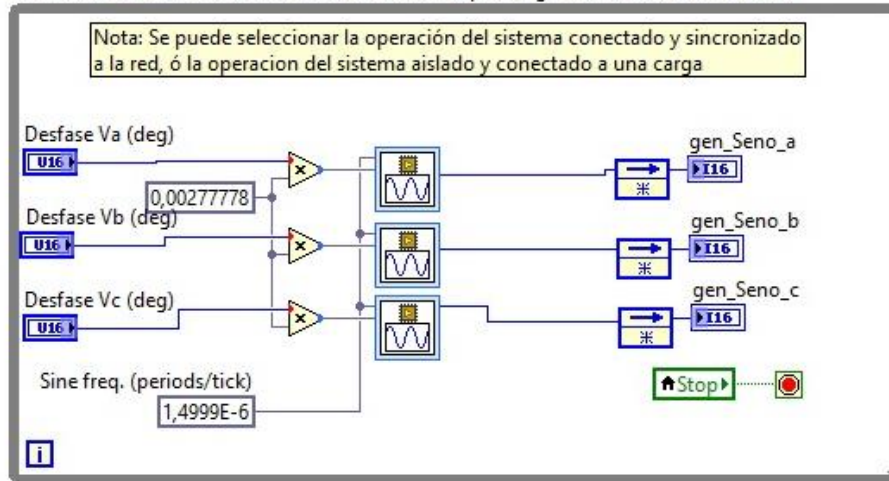


Figura 167. Algoritmo para la generación de las señales sinusoidales de referencia en el sistema de control del inversor trifásico con control de voltaje

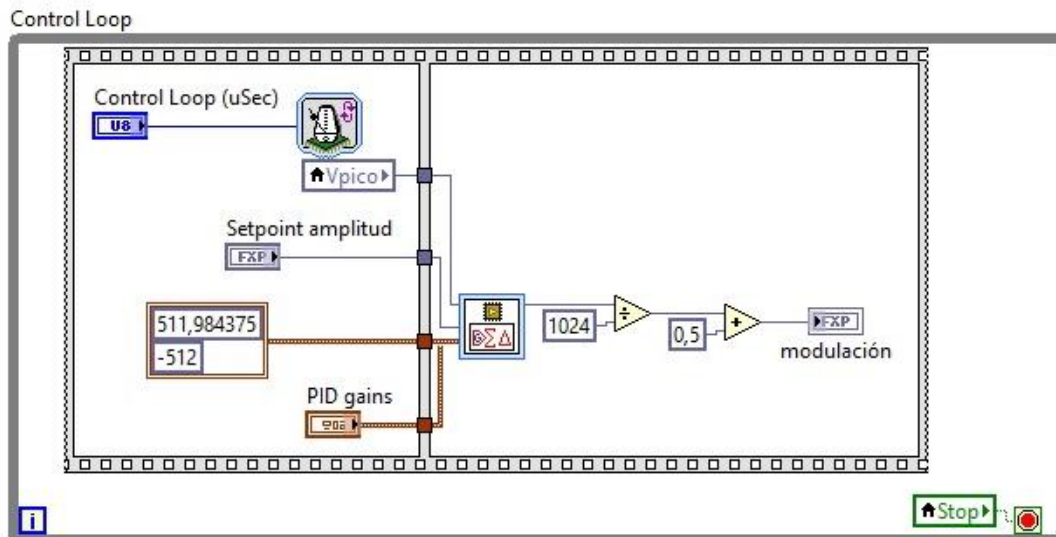


Figura 168. Algoritmo de control del inversor trifásico control del voltaje AC

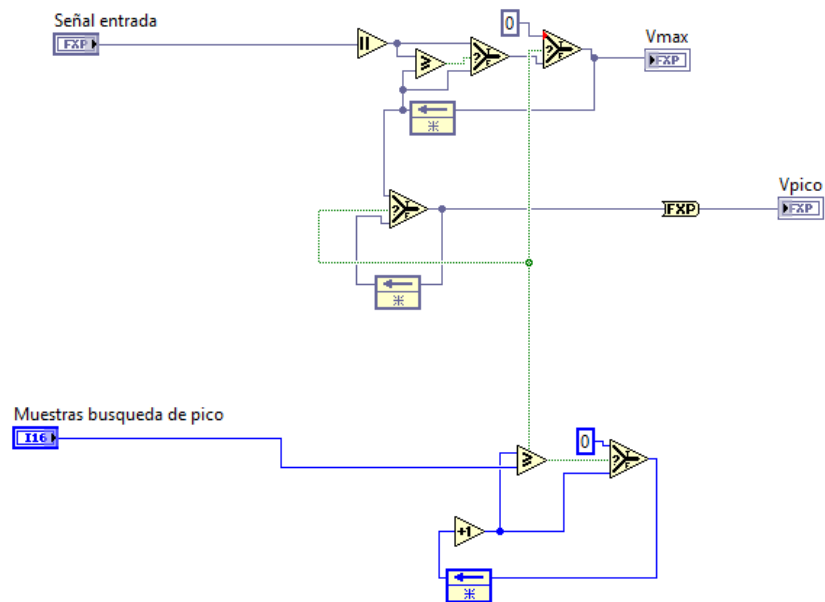


Figura 169. Algoritmo usado para la detección del voltaje pico

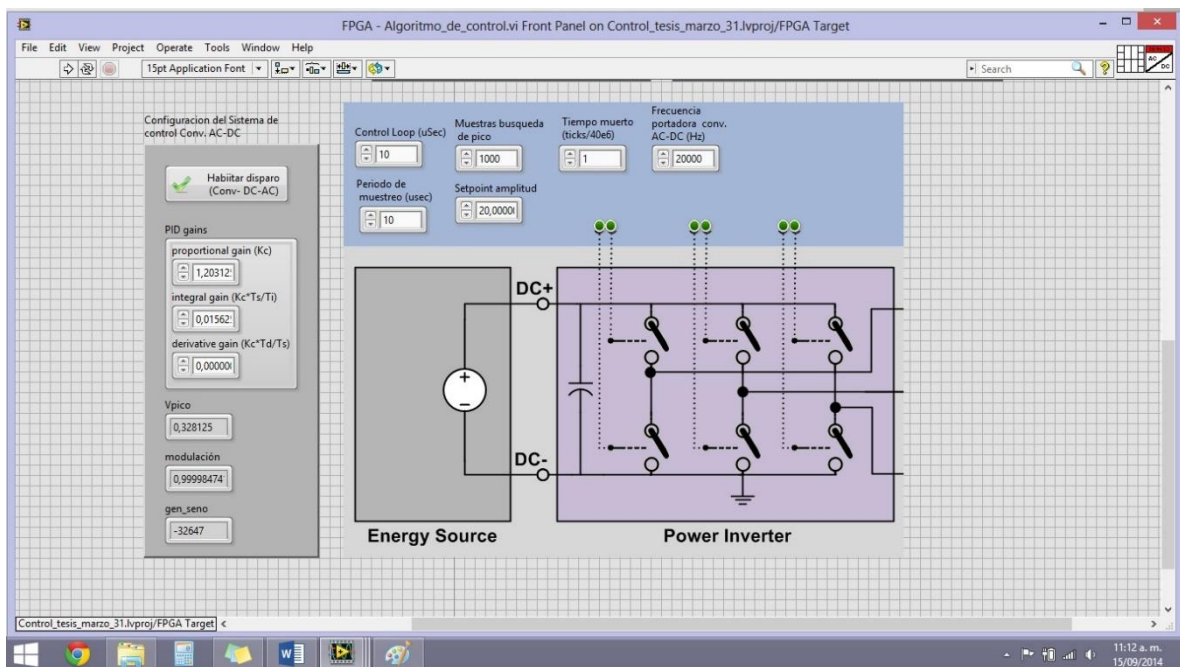


Figura 170. Interfaz para la visualización y modificación de algunos parámetros en el inversor trifásico con control de la amplitud del voltaje AC.

